

아리랑위성 프로세서간 동기화 설계

천이진, 정창호
한국항공우주연구소

The Design of Inter-processor Synchronization of KOMPSAT

Yee-Jin CHEON, Chang-Ho JUNG
Space Division, Korea Aerospace Research Institute

요 약

위성 시스템은 전력 분배, 자세 제어, 열 제어 및 임무 수행에 필요한 탑재체 지원과 지상과의 명령 수신 및 측정데이터의 수집을 위해서 프로세서를 내장하고 있다. 임무 수행 및 시스템의 복잡성 여부에 따라서 하나의 프로세서만을 탑재하기도 하지만 여러 개의 프로세서를 탑재하여 기능에 적합하게 분배하여 운용하기도 한다. 아리랑위성은 3개의 프로세서가 탑재되며, 크게 나누어 원격 측정 명령계, 자세 제어계 그리고 전력계에 기능을 담당하게 된다. 하나 이상의 프로세서를 탑재하게 되면 프로세서간의 동기화가 요구되며 프로세서간의 정보 전달을 위해서 통신 채널이 필요하게 된다. 실제로 프로세서간의 동기화는 상호 통신에 있어서 기준 점을 제공하므로 매우 중요한 의미를 가진다. 본 논문에서는 아리랑위성의 동기화는 어떤 방식으로 설계되었으며, 어떻게 운영되는지에 대해 설명한다.

1. 서 론

위성 시스템은 크게 나누어 전력 생성, 저장 및 분배를 담당하는 전력계와 자세 정보에 따라서 자세를 결정하고 제어하는 자세제어계, 지상 명령을 수신하고 위성의 상태를 지상으로 송신하는 역할을 담당하고 있는 원격 명령/측정 명령계, 그리고 위성의 열 제어를 위한 열 제어계로 나누어진다. 이와 같은 역할을 수행하기 위해서 위성 소프트웨어가 탑재되며 Flight Software라고 부른다[2].

아리랑 위성의 경우 전력 및 열 제어를 위해서 전력계 제어 장치(ECU: Electrical Power Subsystem Control Unit), 센서의 정보를 받아들이고 위성 자세를 제어하기 위해 원격 구동 장치(RDU: Remote Drive Unit), 그리고 원격 측정 명령계를 위해서 탑재 컴퓨터(OBC: On-Board Computer)의 3개의 80C186 프로세서가 사용되고 궤도 정보 및 동기화의 기준 신호를 위해 GPS 수신기가 사용된다. 하나 이상의 프로세서가 사용되는 경우 프로세서간의 통신, 원격 측정 데이터의 시간적 일치 등을 위해서 프로세서간 동기화가 요구된다. 아리랑 위성에서는 GPS 수신기로부터 발생하는 동기화 신호를 DPLL(Digital Phase-Lock Loop)의 입력으로 하여 3개의 프로세서에 대한 동기화 신호를 발생시키고, 이것을 이용하여 프로세서간 동기화를 구현하였다[1, 3].

본 논문에서는 아리랑위성에 사용된 GPS 수신기와 3개의 프로세서간 동기화 구조와 DPLL 로직의 구성과 작동원리에 대해서 설명한다.

2. GPS 수신기와 프로세서간 동기화

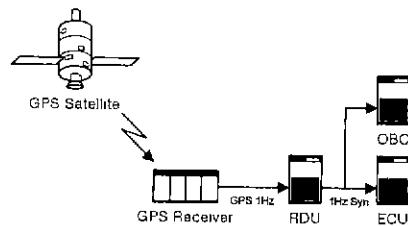


그림 1 GPS 수신기와 프로세서간 동기화

그림 1은 GPS 수신기와 프로세서간의 동기화 흐름을 나타낸 것이다. GPS 수신기는 GPS 위성으로부터 궤도 정보 및 시간정보를 받아들이고 프로세서간의 동기화를 위해 1 Hz 신호를 발생시킨다. RDU는 GPS 수신기로부터 오는 1 Hz 동기화 신호를 DPLL의 입력으로 받아들이고 RDU내의 DPLL 로직은 GPS 수신기의 출력인 1 Hz 신호에 동기화 시키고 OBC와 ECU를 위해 1 Hz 동기화 신호를 출력한다. OBC 및 ECU는 RDU와 마찬가지로 내부에 DPLL로직을 가지고 있으며 입력으로 RDU로부터 제공되는 1 Hz 동기화 신호를 받아들인다[1, 3].

GPS 수신기의 전원이 꺼져 있을 경우는 수신기의 동기화 신호가

출력되지 않고 RDU 내부로부터 발생하는 1 Hz 신호에 대해서 나머지 프로세서가 동기하게 된다. GPS 수신기가 GPS 위상에 대해서 Lock에 되지 않는 경우 GPS 수신기는 자세 정보와 시간 정보를 발생시키지 않지만 동기화 신호인 1 Hz를 발생시키므로 RDU 및 다른 프로세서의 DPLL은 GPS 수신기에 동기된다.

탐재되는 3개의 프로세서의 DPLL 로직이 GPS 수신기의 동기 신호에 따라 작동되는 지 여부는 지상 명령에 제어된다. 실제 이 지상 명령은 RDU의 DPLL 로직이 입력으로서 GPS 수신기로부터 동기화 신호를 받아들일 것 인지의 여부를 결정하게 된다. 정상적인 운영 개념은 초기에는 RDU에서 발생하는 1 Hz 동기화 신호에 대해 OBC 및 ECU가 동기되고 지상 명령에 의해 GPS 수신기의 전원을 인가한 후 수신기의 상태가 정상이라고 판단되는 경우 지상 명령에 의해 RDU의 DPLL 로직이 GPS 수신기의 동기화 신호에 따라 동기된다.

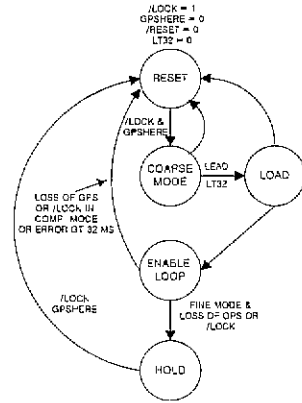


그림 3 Main Control State Diagram

3. DPLL 로직

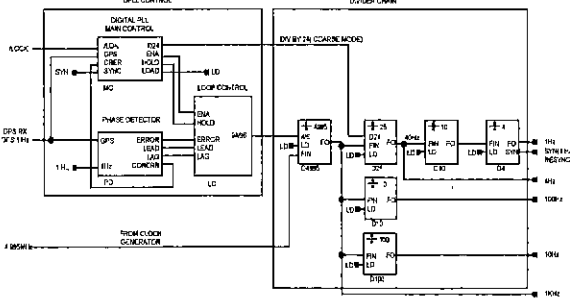


그림 2 DPLL Functional Block Diagram

그림 2는 간략화 된 DPLL의 기능적 블록도를 나타낸 것이다. DPLL 블록은 기능상 크게 디바이더 체인과 DPLL 제어 부분으로 나누어진다. 그림 2에서 디바이더 4995, 디바이더 25, 디바이더 10, 디바이더 4 그리고 DPLL 제어 위상 감지기(Phase Detector)가 DPLL을 구성하는 요소이다. 디바이더 체인의 4995 디바이더는 아날로그 PLL에서 VCO의 기능에 해당된다. 디바이더 25, 10 및 4는 4995 디바이더의 출력인 1 KHz 신호를 1 Hz로 낮추는 역할을 한다. 위상 감지기는 DPLL의 1 Hz 출력과 GPS 수신기의 1 Hz 기준 신호의 위상차를 감지한다. 위상 감지기의 에러 출력은 루프 제어 블록의 Up/Down 카운터를 제어하고 이 카운터는 4995 디바이더가 4994 나 4996 디바이더로 동작하는 횟수를 결정한다.

그림 2의 디바이더 체인은 GPS 1 Hz 신호가 공급되지 않거나 /LOCK이 "0"이 아니면 일반적인 디바이더 체인으로 동작하게 된다. 즉 클럭 발생기(Clock Generator)에서 오는 4.995 MHz에 대해서 분주를 하게 된다 DPLL이 활성화되면 디바이더 25는 Coarse Mode에서 디바이더 24로 동작을 하게 된다.

4. 주 제어 블록(Main Control Block)

주 루프 제어 블록은 State Machine, GPS 감지기, 32 ms 적분

기 그리고 루프 적재 제어기(Loop Load Controller)로 구성되어 있다. 주 루프 제어 블록의 각 모드에 대한 설명은 다음과 같다.

Reset Mode: DPLL의 디폴트 모드이고 GPS 1 Hz 신호가 감지되고 /LOCK이 "0"이 될 때까지의 모드이고, 모든 디바이더 체인은 정상적인 디바이더로 동작하며 루프 제어 블록은 활성화되지 않는다

Coarse Mode: 이 모드의 목적은 GPS 1Hz 신호와 DPLL의 1 Hz 신호 위상을 동상화(In-Phase) 시키기 위해서이다. 이 모드는 1 Hz 출력이 GPS 신호에 대해 32 ms 내에 있을 때까지 유지된다. /LOCK 명령이 제거되거나 GPS 신호를 잃어버렸을 때는 리셋모드로 천이(Transition)한다.

Load Mode: 이 모드는 에러가 32 ms 내에 있을 때 GPS 1 Hz 신호의 다음 트랜지션까지만 활성화된다. 즉 디바이더 체인이 GPS 신호의 Rising Edge에 동기화시키기 위해 사용되고 바로 Enable Mode로 천이한다.

Enable Mode: 이 모드동안에 디바이더 4995 앞 단의 루프 제어 블록이 활성화된다. /LOCK 명령이 제거되거나 GPS 신호를 잃어버렸거나 위상차가 32 ms 보다 크게 되지 않는 동안은 이 모드는 유지된다.

Hold Mode: 이 모드의 목적은 GPS 신호를 잃은 경우 혹은 퇴보(Deterioration)가 발생한 경우 클럭 발생기의 주파수 오프셋 보상을 유지시키기 위한 것이다. GPS 신호의 복구나 /LOCK 신호의 재인가로 인해 루프는 리셋 모드로 천이한다.

5. 루프 제어 블록(Loop Control Block)

루프 제어 블록은 주 제어 블록이 Enable Mode이고 루프가 활성화되면 동작을 한다. 이 블록은 루프 제어 State Machine, 2 μs 감지기, 7 비트 Up/Down 카운터, n times 제어 카운터로 구성된다. 그림 4는 루프 제어 State Machine을 나타낸 것이다.

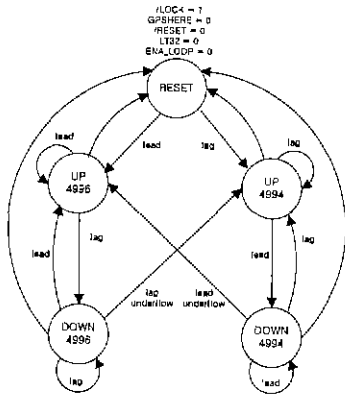


그림 4 Loop Control State Diagram

2 μ s 감지기는 현재 루프가 보상 모드(Compensate Mode) 혹은 상세 모드(Fine Mode)에 있는 지를 결정하기 위해서 사용된다. 만약 1 Hz 출력과 GPS의 기준 입력간의 위상차가 두 사이클 동안 2 μ s 미만이면, 감지기의 출력은 TRUE이며 상세 모드(Fine Mode)에 있는 것으로 간주된다.

7 비트 Up/Down 카운터는 디바이더 4995 블록이 몇 사이클 동안이나 디바이더 4995 나 4996으로 동작하는 지를 나타낸다. 이 카운터는 GPS 기준 입력의 매 두 사이클마다 갱신된다. 카운터의 증가 혹은 감소에 대한 제어는 그림 4에 나타나 있다. 또한 카운터는 클럭 발생기로부터 오는 4.995 MHz의 클럭을 사용하고 위상 감지기의 에러 출력에 의해서 동작한다. 따라서 카운터의 1 카운트는 200.2 ns를 나타낸다.

n times 제어 카운터는 Up/Down 카운터의 값을 저장하고 매 1 Hz 마다 10 Hz 출력 클럭의 두 번째 Rising Edge에서 갱신된다. 카운터 값이 로드되고 나면 디바이더 4995의 매 사이클마다 카운터 값이 감소되기 시작한다. 제어 카운터가 활성화되어 있는 동안, 그림 4의 루프 제어 State Machine에 결과에 따라서 디바이더 4995는 4996이나 4994로 설정되어 동작을 한다. 카운터 값이 감소되어 0으로 되면 디바이더 4995는 다음 카운터의 사이클이 올 때까지 디바이더 4995로 동작을 하게된다. 이 카운터의 1 카운트는 1 Hz 출력에 대한 200.2 ns를 나타내고 최대 카운터 값은 128이므로 최대 조정 구간은 25.63 μ s/sec이 된다

6. 루프 동작(Loop Operation)

루프는 주 제어 로직이 Coarse Mode 위상차 수정을 끝내고 1 Hz 출력이 GPS 기준 입력에 동기화 되고 나면 시작된다. 이 때 루프 제어 State Machine은 리셋모드에 있게 되고 U/D 카운터는 조정되지 않고 디바이더 4995는 4995로 설정되어 있다. 다음 순간의 GPS 기준 입력의 Rising Edge에서 1 Hz 출력은 클럭 발생기의 주파수 오프셋만큼 위상이 앞서거나 뒤서게 된다. 예를 들어 클럭 발생기의 출력이 2 PPM 만큼 높다면, 위상차는 2 μ s가 되고 위상 감지기의 출력이 루프 제어 State Machine을 초기화시키고 "UP 4996"상태로 천이된다. U/D 카운터는 업-모드에서 활성화되고 에러 출력에 의해

카운트는 9가 된다. 만약 루프가 초기화되기 전에 Coarse Mode에서 7 카운트가 있었다면 U/D 카운터는 16이 된다. 1 Hz 클럭의 200 ms Rising Edge에서 U/D 카운터의 값이 n times 제어 카운터에 로드되고 디바이더 4995는 (n+1) 만큼 디바이더 4996으로 동작을 한다. GPS 기준 입력의 다음 Rising Edge에서 위상 감지기는 비활성화(Disabled)되고 1 Hz 신호는 GPS에 동기화된다. 이 사이클 동안 디바이더 4996은 17이고 수정치(Correct Count)는 9가 된다. 다음 사이클에서 카운터 에러 8은 위상차 지연 1.6 μ s를 일으키게 되고 루프 제어 State Machine은 "DOWN 4996"으로 천이한다. 이 에러에 의해 U/D 카운터가 활성화 되고 제어 카운터에 8이 로드되며 디바이더는 4996으로 9 사이클동안 동작하게 된다. 만약 위상 감지기가 비활성화되고 클럭 발생기의 주파수가 동일하게 유지된다면 1 Hz 신호는 GPS 기준 입력과 동일하며 위상차 관계는 1 Hz에 대해 1.6 μ s 지연의 상수 값을 가지게 된다. GPS 기준 신호의 다음 Rising Edge에서 클럭 Edge를 동기화 시키는 것은 1.6 μ s 위상차를 제거할 수 있다. 만약 위상차 제거가 이루어지지 않으면 이러한 에러는 수정하는 동안 U/D 카운터를 감소시키고 다음 사이클에서 Leading 에러를 발생시키고 U/D 카운터의 범위 내에서 루프는 진동(Oscillation)하게 된다. 이상적인 조건하에서 U/D에 저장된 값은 클럭 발생기의 주파수 오프셋을 제거할 수 있고 위상차는 없으며 더 이상의 루프 동작을 요구하지 않지만, 조절 해상도(Adjustment Resolution)가 200 ns이고 GPS 기준 입력과 클럭 발생기는 위상 잡음과 단기 안정 편차(Short-term Stability Deviation)가 있으므로 1 Hz에서 +/- 200 ns의 편차는 존재하게 된다.

다음은 본 논문에서 설명한 루프에 대한 성능을 나타낸 것이다.

- 최대 Coarse Mode 조절 시간: 77 Second
- Coarse Mode 조절율: 19.6 ms/Sec
- 보상 및 상세 모드:
 - 조절 범위: +/- 266 PPM
 - 조절 해상도: 2 PPM
- 상세 모드: Error less than 2 μ s for 2 cycles

7. 결 론

본 논문에서는 프로세서간의 클럭 동기화를 위해 아리랑 위성에서 사용된 DPLL은 어떤 방식으로 설계되었으며, 어떻게 운영되는 지에 대해서 설명하였다. 클럭의 동기화는 프로세서간의 상호 통신에 있어서 기준점 및 원격 측정 데이터의 시간 표시(Time Mark)와 시간적 일치를 제공한다. 또한 DPLL은 GPS 수신기의 기준 입력에 프로세서들을 동기화 시키는 것 외에 클럭 발생기의 노화나 온도 변화에 의한 주파수 오프셋의 변화를 보상하는 역할을 한다.

8. 참고 문헌

- [1] KOMPSAT Equipment Specification for On-Board Computer, 1997
- [2] KOMPSAT Subsystem Specification for Telemetry, Command and Ranging, 1997
- [3] KOMPSAT On-Board Computer Critical Design Audit, 1996