

MATLAB을 이용한 주파수합성기의 모델링

오동익, 윤종락
부경대학교 정보통신공학과

Frequency Synthesizer Modeling Using MATLAB

Dong-Ick Oh, Jong-Rak Yoon
Dept. of Telematics, Pukyong National University

ohdik@woongbi.pknu.ac.kr, jryoon@dolphin.pknu.ac.kr

요 약

주파수 합성기는 주로 PLL을 이용하여 설계하는데, PLL(Phase-lock loop)이란 출력신호 주파수를 항상 일정하게 유지하도록 구성된 주파수 부귀환 회로로서 기본적인 구성은 위상출력기, 저역통과필터, 전압 제어 발진기로 이루어진다. 이런 PLL의 기본적인 구성에 프로그램머블카운터를 VCO의 출력단에 부가하여 구성한 형태가 주파수합성기이다. 이 주파수합성기의 출력을 프로그램머블 디바이더에 입력하기 전에 주파수를 낮출 필요가 있는데, 현재 슈퍼헤테로다인 다운 컨버터방식과 프리스케일러방식과 펄스 스웰로 카운터를 사용하는 방식 등의 3가지 방법이 있다.

본 논문에서는 펄스 스웰로 카운터 방식의 주파수 합성기를 MATLAB의 GUI환경과 병행하여 시뮬레이션 과정을 통한 동작특성을 이해하고, 한 화면에서 이루어지는 조작에 의해 모든 주파수 합성기의 요소를 관찰할 수 있도록 모델링하였다. 그리고, 모델링한 주파수합성기와 실제 주파수합성기에서 예상되는 출력과 비교하여 그 결과에 있어서 얼마나 유사한지 살펴보았다.

1. 서론

최근에 광범위하게 사용되고 MATLAB을 이용하여 주파수 합성기를 구성하고자 한다. 주파수합성기는 주로 PLL회로를 이용하여 구성하게 되는데, 이 PLL이 오늘날에는 AM 및 FM의 복조기, 모뎀, FSK 복조기, 스테레오 복조기, 전화기의 Tone 검출, 주파수 합성기, 디지털 시스템간의 클럭동기회로, 파형발생기, TV 동기 시스템 등에 이용되어 오고 있다.

최근의 스테레오 튜너는 대부분 주파수합성기 방식으로 되어 있다. 일반적으로 디지털주파수합성기란 프로그램머블 카운터의 값을 조정함으로써 보다 광범위한 주파수를 출력하는 PLL을 말한다. 오늘날 이동통신, 아마추어 무선, 시티즌 밴드, 항공기 등의 통신 시스템은 여러 가지 주파수합성기를 사용하고 있다. PLL의 기본적인 구성에 프로그램머블 카운터를 VCO의 출력단에 부가하여 구성한 형태가 주파수합성기이다. 주파수합성기의 출력을 프로그램머블 디바이더에 입력하기 전에 주파수를 낮출 필요가 있다. 프로그램머블 디바이더의 동작 주파수를 낮추는 방법은 현재 3가지방법이 이용되고 있다. 즉, 슈퍼헤테로다인 다운 컨버터방식과 프리스케일러방식과 펄스 스웰로 카운터를 사용하는 방식 등이 그것이다. 슈퍼 헤테로다인 다운 컨버터방식은 VCO의 출력과 국부발진기의 출력을 믹서에 입력하여 양자의 차 주파수를 프로그램머블 디바이더에 입력할 때, 국부발진기의 출력을 적당히 선정함으로써 자유로이 프로그램머블 디바이더의 입력주파수를 설정하는 방식으로 합성기 스텝주파수가 프로그램머블 디바이더의 최고 동작 주파수보다 높은 경우는 사용할 수 없고 믹서 다음에 저역통과 필터(또는 밴드패스필터)와 파형 정형 회로를 필요로 한다는 결점이 있다. 그리고, 프리스케일러방식은 VCO출력을 프리스케일러의 스케일만큼 나눈 동작주파수가 프로그램머블 디바이더에 입력한 후 다시 프로그램머블 디바이더에서 프로그램머블 디바이더의 스케일만큼 나눈 출력이 위상비교기에 입력되는 방식으로 기준주파수를 분주기를 거칠 때 분주 스케일도 프리스케일러의 스케일과 같도록 하지 않으면 위상비교기의 비교주파수가 낮아지고 이 비교주파수를 낮게 하면 루

프필터의 시정수를 아주 낮추어야 하므로 PLL의 특성을 유지하기가 곤란한 결점이 있다. 펄스 스왈로 카운터 방식은 프리스케일러방식의 문제점을 해결한 것으로 위상비교기에서 비교주파수를 낮추는 일없이 프로그래머블 디바이더의 동작주파수를 낮출 수 있다.

본 논문에서는 펄스 스왈로 카운터 방식의 주파수합성기를 MATLAB의 GUI환경과 병행하여 시뮬레이션 과정을 통한 동작특성을 이해하고, 한 화면에서 이루어지는 조작에 의해 모든 주파수합성기의 요소를 관찰할 수 있도록 모델링하였다. 그리고, 모델링한 주파수합성기와 실제 주파수 합성기 모델과 비교하여 그 결과가 있어서 얼마나 유사한지 검증하였다.

2. 주파수 합성기의 원리

PLL을 사용한 기본적인 주파수 합성기의 블록도는 Fig.1에 나타난 것과 같다.

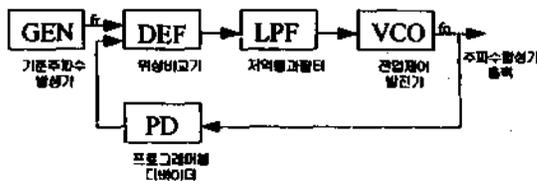


Fig.1 PLL Frequency Synthesizer

Fig.1과 같이 기준주파수 f_r 를 고정해두고 분주비 N 을 변화시킴으로써 f_o 를 설정할 수 있으므로 다음과 같은 식이 성립한다.

$$f_o = N \cdot f_r \quad (1)$$

식(1)과 같이 VCO의 출력주파수 f_o 를 프로그래머블 디바이더로 $1/N$ 분주하여 기준주파수 f_r 와 위상비교하게 된다. 여기서 f_o 를 분주비 N 을 바꿈으로써 f_r 시스템으로 자유로이 설정가능하다. 여기서 문제시 되는 것이 프로그래머블디바이더의 최고동작주파수로, 보통 프로그래머블디바이더를 C-MOS 또는 TTL로 구성하는데, 이때 VCO를 C-MOS나 TTL의 최고동작주파수 이상의 주파수로 발진시킬때는 프로그래머블 디바이더에 입력하기전에 주파수를 낮출필요가 있다. 이렇게 프로그래머블디바이더의 동작주파수를 낮추는 방법에는 현재 다음과 같은 3가지 방법이 이용되고 있다.

① 슈퍼 헤테로다인 다운 컨버터를 이용한 방법

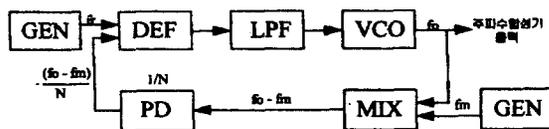


Fig.2 Super Heterodyne Frequency Synthesizer

Fig.2와 같이 VCO의 출력과 국부발진기의 출력을 믹서에 입력하여 양자의 차주파수 $f_o - f_m$ 을 프로그래머블 디바이더에 입력한다. 이 입력주파수 $f_o - f_m$ 은 f_m 을 적당히 선정함으로써 자유로이 선정할 수 있으나, 합성기 스텝주파수가 프로그래머블 디바이더의 최고동작주파수보다 높은 경우는 사용할 수 없고 믹서 다음에 저역통과 필터(또는 밴드 패스 필터)와 파형정형회로를 필요로 한다는 결점이 있다.

② 프리스케일러를 사용한 방법

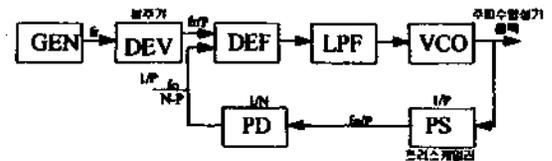


Fig.3 Prescaler Frequency Synthesizer

$$f_o / P = f_o / (N \times P) \quad (2)$$

Fig.3의 경우 식(2)와 같이 기준주파수를 $1/P$ 로 하지 않으면 $f_o = N(P \times f_r)$ 으로 되어 합성기 스텝주파수가 $P \times f_r$ 로 되므로 위상비교기의 비교주파수가 f_r/P 로 낮아져 루프필터의 시정수를 아주 낮추어야 하기에 PLL의 특성을 유지하기가 곤란하다.

③ 펄스 스왈로 카운터를 사용한 방법

프리스케일러를 사용한 방법에서 생기는 위상비교기의 비교주파수가 낮아지는 것을 보완한 것이 펄스스왈로카운터방식의 주파수 합성기로 위상비교기의 비교주파수를 낮추는 일없이 프로그래머블디바이더의 동작주파수를 낮출 수 있다.

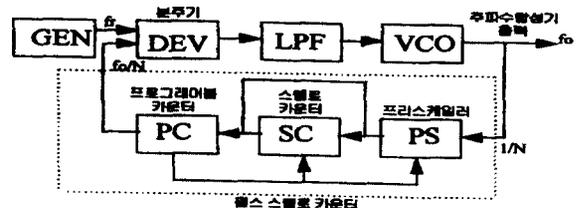


Fig.4 Pulse Swallow Counter Frequency Synthesizer

Fig.4와 같이 f_o / N 과 기준주파수 f_r 를 위상비교하기 때문에 비교주파수는 f_r 로 되어 $f_o = N \times f_r$ 로 된다. 지금 어떤 정수 P 를 생각하고 필요로 하는 분주비 N 을 P 로 나눈 몫을 N_p , 나머지를 A 라 하면,

$$\begin{aligned} N &= P \times N_p + A \\ N &= A(P+1) + P(N_p - A) \end{aligned} \quad (3)$$

로 된다. 펄스스웰로카운터의 동작은 다음과 같다. 스웰로 카운터에 A, 프로그래머블 카운터에 Np를 프리셋하면, 프리스케일러는 P+1의 분주비로 VCO의 출력 주파수를 A · (P+1)회 다운 카운터하고 "0"이 되면 프리스케일러의 분주비를 P로 전환한다. 프리스케일러의 분주비 P에서 프로그래머블 카운터 "0"으로 되기까지 다운 카운터하고 "0"으로 되면 스웰로 카운터에 A, 프로그래머블 카운터에 Np를 세트하며, 이상의 동작을 반복한다. 위와 같이 2 modulus 프리스케일러를 가지므로 기존의 프리스케일러의 단점을 보완할 수 있다.

3. MATLAB을 이용한 모델링

MATLAB을 이용하여 모델링하기 전에 실제 주파수 합성기의 모델을 살펴보면 다음과 같다.

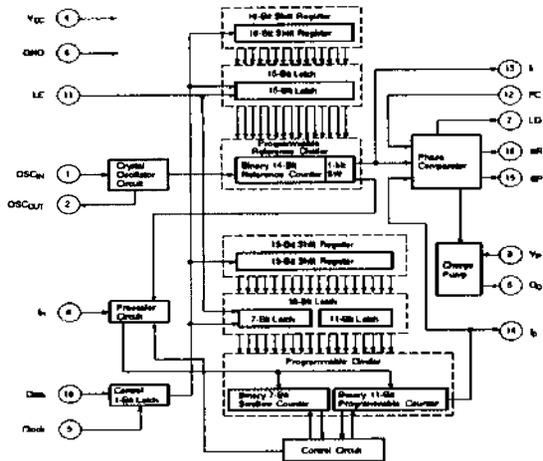


Fig.6 실제 주파수합성기를 모델링한 블록도.

Fig.6에서 위상비교기의 출력을 살펴보면 다음과 같다. PLL을 이용한 주파수 합성기는 넓은 주파수 편이를 갖기 때문에 많은 분야에서 널리 사용되어지고 있다. 기준주파수와 VCO의 출력주파수는 위상비교기에서 두 주파수의 차이에 해당하는 출력전압을 발생시킨다. 이 전압은 먼저 저역통과필터를 거쳐 VCO에 입력된 VCO의 출력은 Divide By N 카운터에 의해 나누어진 후 위상비교기에 입력된다. Divide By N 카운터의 출력 주파수는 VCO의 출력주파수를 N으로 나눈 값이다.

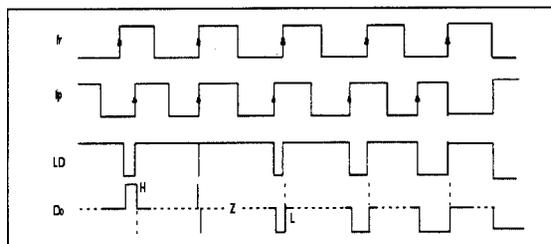


Fig.7 위상비교기 출력

Fig.7은 Fig.6의 위상비교기 출력을 살펴본 것이다.

Fig.6과 같이 복잡한 주파수합성기의 모델을 실제로 모델링하기란 여러 가지 복잡한 문제가 수반된다. 이 때문에 실제 하드웨어로 구현하기 전에 간단한 모델링을 통해 시뮬레이션할 수 있는 방법이 필요하다. 다음은 MATLAB을 이용하여 모델링한 펄스스웰로카운터를 이용한 주파수합성기의 모델이다.

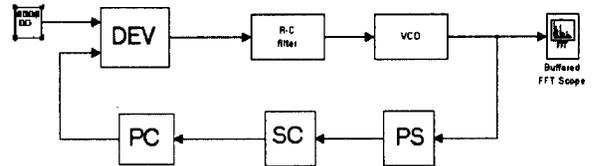


Fig.8 MATLAB을 이용한 주파수합성기의 모델

Fig.8과 같이 각 단을 부시스템으로 만들어 모델링하였다. 식(3)에서와 같이 분주비N을 N=10, P=3, Np=3, A=1로 하고, DEV는 저역통과필터를 통과하기 전에 기준주파수와 프로그래머블 카운터 출력을 비교하여 분주 출력을 만들어내는 부시스템을 모델링한 것이고, PS는 P, P+1의 분주비를 가지고 전환가능하도록 모델링하였다. SC는 스웰로카운터는 A의 카운터값을 가지도록 하였다. 그리고, PC는 Np만큼의 카운터 값을 가지도록 모델링하였다. 2절에서 설명한 것과 같이 2모듈러스 프리스케일러방식으로 카운터함으로 기존의 프리스케일러보다 나은 출력을 얻을 수 있었다.

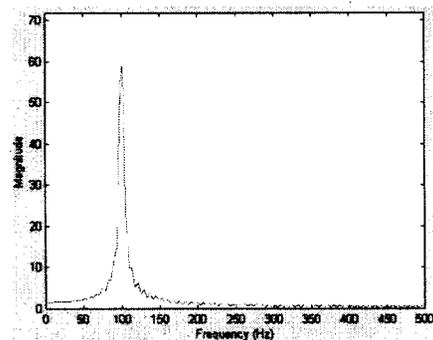


Fig.9 주파수합성기모델의 출력

Fig.9는 주파수합성기를 MATLAB으로 모델링한 출력으로 국부발진기의 출력주파수를 10Hz로 했을 경우 이와 같이 출력이 100Hz의 주파수스펙트럼이 나온다. 발진주파수 입력시 그 주파수의 분주수 N만큼 높아짐을 알 수 있다.

폐루프를 순환하면 나온 출력들에 있어서 한번 루프를 돌 때는 좀 평탄한 모양을 보였으나, 점점 순환되는 수를 더할 때 100Hz에서 세밀한 주파수 스펙트럼을 볼 수 있었다.

5. 결론

본 논문에서 MATLAB으로 모델링한 주파수 합성기는 실제주파수합성기에서 예상되는 출력과 유사함을 알 수 있었다. 실제로 이와 같은 모델링 외에 여러 가지의 통신시스템을 MATLAB으로 시뮬레이션시에 GUI환경에서 자유로이 모의실험이 가능하고 쉽게 모델링하여 사용자측면에서 접근이 가능할 것이다. 또한 이러한 MATLAB의 소스코드를 이용하여 다른 시뮬레이션도구인 C, C++ 언어 등의 사용자 코드에 접목시켜서 개발가능하다. 이러한 연구가 국외에서는 상당히 전문적인 분야에 진행되고 있는 현실이다. 위와 같은 모델링에서

참고문헌

- (1) Fuminori Kobayashi, Masayuki Haratsu, "A Digital PLL with Finite Impulse Response". IEEE, Feb. 1995
- (2) Minoru Kamata, Takashi Shono, Takahiko Saba, Iwao Saase, Shinsaku Mori, "Third-Order Phase-Locked Loops using Dual Loops with Improved Stability", IEEE, 1997
- (3) Fuminori Kobayashi, Masayuki Haratsu, "A Scheme of PLL with Finite Impulse Response", IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications, vol.43, no.4, April 1996
- (4) Tadao Nakagawa, Tsunco Tsukahara, "A Low Phase Noise C-Band Frequency Synthesizer Using a New fractional-N PLL with Programmable Fractionality", IEEE Transactions on Microwave Theory and Techniques, Vol.44, No.2, Feb. 1996
- (5) Kwang Jun Choi, "A Modelling Method of Software Configuration Change Control", IEEE, March 1997
- (6) Akira Shibutani, "Analysis of PLL Frequency Synthesizer Considering Transient Reponse of the VCO Represented as Van der Pol Equation", IEEE, Feb. 1995
- (7) Akira Shibutani, "Effect of Transient Reponse of Colpitts-VCO on Performance of PLL System", IEEE ICCS/ISAPACS, 1996
- (8) Mordechai Rennert, Ben-Zion Bobrovsky, "Designing Second-Order Costas Loops and PLL's To Track Doppler Shift-Analysis and Optimization", IEEE, May 1995