

반도체 FAB 공정에서의 Computer Model 구축

성균관대학교 전기전자 및 컴퓨터 공학부

전동훈, 노용한, 이철기

Construction of A Computer Model for FAB of Semiconductor Manufacturing

Sungkyunkwan University

School of Electrical & Computer Engineering

Donghoon Jeon, Yonghan Roh, Chilgee Lee

요약

본 연구는 복잡하고 다양한 반도체 공정의 모델링을 통하여 반도체 공정 표준화 작업을 목적으로 하고 있다. 급변하는 세계 반도체 시장에서 국내 반도체 업체가 수위를 지킬 수 있는 방안은 공정의 표준화를 제시함으로써 생산업체에서의 신기술 개발에 따른 어려움을 해소하고 기술 개발과 더불어 생산관리 쪽으로의 이동에 대응할 수 있도록 하여 국제 경쟁력을 키워야 할 것이다.

본 연구의 기대효과로는 현장기술자와 장비운영자의 질적 향상을 위한 교육용 자료로의 활용이 가능하다는 것이다. Presentation Tool을 이용한 시청각 교육효과와 시뮬레이션을 이용한 Process Flow Wide View 증진은 현재 국내 반도체 업체들의 신입사원 교육 시 상당한 효과를 거둘 것이라 예상된다. 이는 생산업체에 국한되어지는 것만은 아니며 반도체 공정에 관련된 대학 학과목에서도 활용되어지리라 생각된다.

또한 Modeling & Simulation Tool을 사용하여 공정을 모델링함으로써 표준화를 만든 후 각 제조 업체들은 이러한 모델들을 이용하여 회사의 실정에 맞추어 자사에 대한 시뮬레이션을 손쉽게 수행함으로써 공정 최적화에 따른 경비 절감의 효과를 거둘 수 있을 것이다. 제품별 혹은 같은 제품이라도 Version이 다를 경우 FAB 공정가운데 약 10% 내외만이 바뀌는 점을 감안하면 본 연구를 통해 얻어지는 결과물인 Computer Model과 Simulator는 쉽게 생산현장에 적용할 수 있으리라 여겨진다.

1. 서론

1990년대 후반기에 들어서 정보산업사회의 핵심인 반도체의 세계시장은 급격한 변화를 겪고 있다. Windows와 Internet 등 Multimedia 환경으로의 전환에 기인한 반도체의 수요증가가 예측보다 떨어지는 반면, 기존 업체들의 대규모 설비 증설과 생산 기지의 다변화 및 신규 업체들의 연이은 시장 진입에 의한 생산과잉으로 더욱 치열한 가격경쟁을 벌이게 되는 등 위기의식이 고조되고 있는 현실이다. 이런 상황에서 국내 반도체 제조업체들은 그 동안의 물량 위주 생산체제로 인하여 공정 개선 및 생산 최적화 등에 대한 투자가 외국의 경쟁 업체에 비해 부족하여 다중

시스템간의 호환성 결여, 비합리적인 Capa 산정 등의 문제를 심각하게 겪고 있다. 이런 문제점들을 해결하기 위해서는 반도체 전공정의 흐름과 절차를 완벽하게 숙지하고 있는 전문가가 필요한데도 이런 인력양성에는 소홀히 하였으며 또한 전체를 파악해 볼 수 있는 Process Model도 없는 실정이다. 장비별, 공장별, Line별, 주요 공정 부서별 자료만으로는 전체적으로 균형 잡힌 반도체 분야의 발전이 어려움으로 상호관계까지 구현시킨 컴퓨터 모델은 필수적이라 할 수 있다.

또 Line당 1조가 상회하고 대당 20억이 넘는 고가의 설비투자가 전제되는 반도체 생산 환경에서 설비

및 이의 운용이 경쟁력을 좌우하지만 이런 복잡한 반도체 공정의 단계를 완전히 숙지하고 구현하기 위한 요소기술까지 갖춘 현장기술자는 부족한 것이 현실이다.

이에 본 연구에서는 국가 기반 산업으로서 지대한 비중을 차지하는 반도체 분야에서 치열한 국제 경쟁을 이겨내어 메모리 분야에서의 최선두 유지와 비메모리 분야에서의 선두권 진입을 이루기 위해 꼭 필요한 반도체 FAB 공정의 컴퓨터 모델을 구현하여 이것을 해당 공정의 Device 단면도 (Cross-sectional view) 를 나타내는 Presentation Tool과 연동시켜 공정흐름도 (Process Flow Wide View) 를 구축하여 반도체 분야의 학부 교육과 반도체 산업현장의 실무 입문 교육에 활용하고 더 나아가 공정의 최적화를 이룩하고자 한다.

2. 반도체 FAB 공정의 모델

2.1 컴퓨터 시물레이션 모델의 필요성

고가의 설비투자가 전제되는 생산 환경에서 현재 국내 반도체 업체의 현실은 설비의 운영을 맡고 있는 장비운용자 또는 기능공은 외국 경쟁사에 비해 성실하고 우수한 인력을 확보하고 있으나 현장기술자의 양성에는 소홀하였다. 즉 반도체 전 공정을 숙지하고 구현하기 위해 필요한 전문기술까지 갖춘 현장기술자는 매우 부족한 현실이다.

이렇듯 반도체 산업의 특성상 전체 공정의 흐름과 절차를 완벽하게 숙지하고 있는 전문가가 매우 부족함에도 전체를 쉽게 파악해 볼 수 있는 Business Process Model이 없는 실정이다. 각 부서별로 분리되어 있는 자료와 지식만을 갖고서는 전체적으로 균형 잡힌 발전이 어렵기 때문에 상호간의 연관관계까지 구현시킨 컴퓨터 모델은 필수적이다.

이런 반도체 공정에서는 Analytic (Queueing) 모델을 채택하기에는 제약이 많아 컴퓨터 모델에 의한 접근이 합리적이며[5][6], 선형 프로그램 (LP : Linear Program) 기법을 전체적인 시스템 범위로 시도한 사례가 국내에서도 있으나 아직 효과를 보지 못하고 있다[7][8].

반면 외국의 경우는 생산계획 (Planning), Layout, 물류관리, 일정관리 (Scheduling), 긴급수요 (Hot Lot) 등 반도체 전반에 걸쳐 컴퓨터 모델을 통한 시물레이션을 적극적으로 활용하고 있는 실정이다[9]. 국내에서도 발전소나 항공기 운항사에서 이미 1970년대부터 실시간 시뮬레이터 (Simulator) 를 교육 및 훈련에 적극적으로 활용하고 있는 실정에 비추어 볼 때 국내 반도체 분야에서도 시스템 범위의 컴퓨터 시물레이션

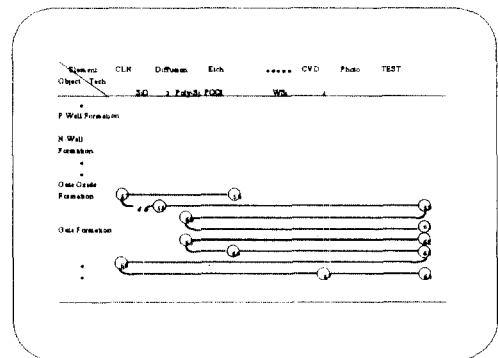
이 조속히 개발되어야 할 것이다.

2.2 Abstract 모델

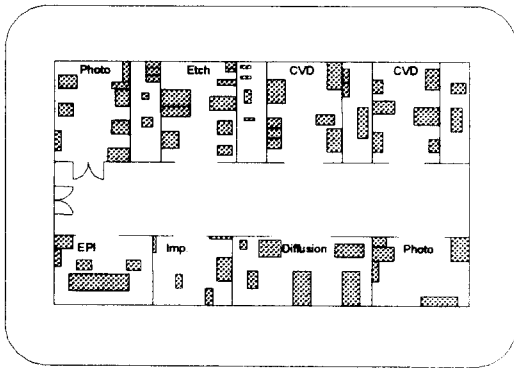
컴퓨터 모델의 관건은 Flow 및 Procedure를 정확히 구현하고 Input Data의 정확도를 유지함에 달려있다. 256M DRAM의 경우 FAB에서만 약 400여개의 단위 공정으로 구성되어 있으며 관련장비는 약 80여개가 된다. 따라서 <표 1>과 같이 단순히 각 Step에 따른 공정명의로 이루어져 있는 공정순서표만으로는 FAB의 주요공정을 이해하기에 부족하며 이를 개선하기 위해 주요 공정과 목적에 대한 공정흐름도 (Process Flow Diagram) 를 작성해야 되는데 이는 아직 국내 반도체 제조업체에서 채택되지 못하고 있는 실정이다. 따라서 본 연구에서는 <표 1>의 공정순서표를 기반으로 <그림 1>과 같은 공정순서도를 작성하였다. 공정순서도의 가로축에 나타난 내용은 Well Formation 등 64 MDRAM 이나 256 MDRAM과 같은 Device 중심의 목적을 나타낸 것이고 세로축은 CVD, Photo 등 장비중심의 주요공정을 나타낸 것이다. 즉 공정순서도에 나타난 번호를 따라가면서 한 Device가 진행되는 전체 공정 흐름을 알 수 있다.

SEQ	STEP	DESCRIPTION	PHOTO	ETCH	LV1	DIFF	IMP	SPLITER	ENDFAB
1	10001	DIFFUSIONPAD OX CLN							U0001
2	10010	DIFFUSIONPAD OX SPR							U0010
3	10011	DIFFUSIONPAD 2w CHECK							U0011
40	10248	DIFFUSION4.0 POLY DEPO							U0248
41	10250	DIFFUSION4.0 Tmpy CHECK							U0250
51	10312	DIFFUSION4.0 POLY P/C CHECK							U0312
61	10377	DIFFUSION4.0 POLY P/C CLN					UVMP		U0377
64	10384	DIFFUSION4.0 POLY DE GLAZ							U0384
65	10384	DIFFUSION4.0 2w CHECK							U0384
66	10370	CVD 40 W/FRE CLN							U0370
67	10371	CVD 40 W/FRE PO							U0371
68	10378	CVD 40 W/FRE CHECK							U0378
69	10381	CVD 40 P/C CHECK							U0381

<표 1 공정순서표>



<그림 1 공정순서도>



<그림 2 Layout>

공정순서도를 구축한 다음 단계로는 <그림 2>와 같은 서울대 반도체 공동 연구소의 Layout을 가지고 각 Area별 장비배치를 파악한 뒤 <그림 1>의 공정순서도 각각의 Step에 해당된 장비를 <그림 2>의 Layout과 Mapping 시켜 모델을 구현함으로써 FAB 공정에서의 웨이퍼 흐름을 한 눈에 알 수 있다.

2.3 Event의 종류와 처리

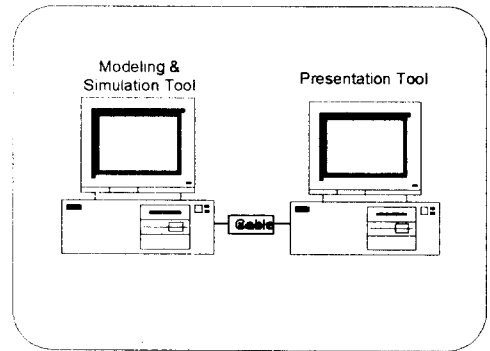
<그림 1>의 공정순서도를 자세히 살펴보면 몇 개의 단위공정들이 반복해서 수행되는 것을 확인할 수 있다. 결국 <그림 2>처럼 이루어진 Layout의 각 Bay를 웨이퍼가 순환하면서 칩이 만들어진다.

이 모델에서는 식각공정, 사진공정 등 각각의 단위공정을 Event로 잡아 Event들의 진행시간 (Processing-time) 과 웨이퍼들의 다음 Event 도착 간격 (Interarrival-time) 등을 고려하여 Modeling & Simulation Tool에 적용한다.

3. 컴퓨터 모델과 프리젠테이션 구현 방안

3.1 시스템 구성

본 연구에서는 장비운영자와 현장기술자의 질적 하락으로 인한 교육문제 해결과 Process Flow의 Wide View를 마련하기 위하여 Modeling & Simulation Tool과 Presentation Tool을 연동하려고 한다. 각각의 Tool은 Intel사의 Pentium-II가 탑재된 컴퓨터 상에서 작동하며 각각의 컴퓨터는 Network Card를 통해 Ethernet으로 연결된다. 이 시스템의 구성은 <그림 3>과 같다.



<그림 3 시스템 구성도>

이는 시물레이션이 각 공정을 따라 실행되는 동시에 각각의 공정에서 수행되어지는 Cross-sectional-view를 Presentation Tool로 보여줌으로써 공정의 이해와 Wide View를 증진시키는데 목적이 있다. 장비의 배치와 단위공정간의 연속흐름은 Modeling & Simulation Tool을 이용하여 <그림 3>의 왼쪽 컴퓨터에서 해당 공정의 위치와 동작을 보여주며, 왼쪽 컴퓨터에서 Event가 발생할 때마다 오른쪽 컴퓨터에서는 자동으로 해당 공정의 단면도를 Presentation Tool을 이용하여 보여줌으로써 공정과 Device의 상호관계를 쉽게 이해시킬 수 있다.

3.2 Modeling & Simulation Tool과 Presentation Tool 선정

모델을 구축하기 위해 Modeling & Simulation Tool의 선정이 중요한데 개발기간 동안과 개발이 완료된 후에도 생산여건은 변하므로 모델의 유지보수까지 고려하여야 한다.

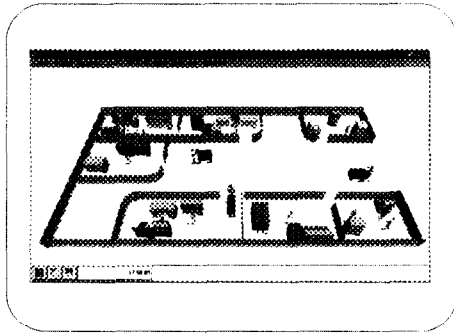
시스템 수준의 설비 모델용은 각각의 움직임을 가시화시켜 분석이 용이한 Arena, Factor/AIM, AutoMod, G2 등이 적합한데 3차원의 입체화면이 지원되면 효과적일 것이다. 이중 많이 수용되어지고 반도체 환경의 상하위 개념을 모두 나타낼 수 있는 Modeling & Simulation Tool은 AutoMod가 가장 적합하며 Presentation Tool로는 슬라이드쇼 등 여러 가지 기능이 있고 다른 프로그램과 호환성이 강한 Powerpoint를 이용하였다.

3.3 개발 환경 및 구현 방안

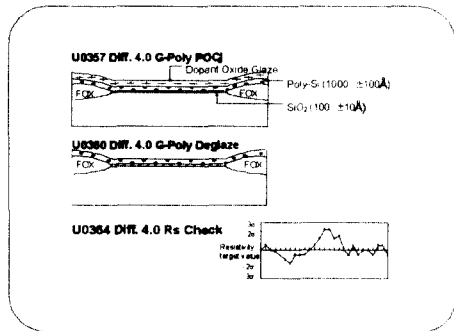
앞에서 알아보았듯이 최종적인 개발환경은 AutoMod와 Powerpoint를 Window NT 환경에서 실행시키는 것이다. AutoMod는 3차원 그래픽이 지원되는 Modeling & Simulation Tool로 기본적으로 반도체 공정에 쓰이는 장비 중 일부를 라이브러리로 제공하며, 제공하지 않는 장비는 내부 그래픽 툴을 이용해

그릴 수 있다. 또한 내부에서 지원하는 Source File을 Coding함으로써 공정의 흐름을 원하는 데로 바꿀 수 있다.

이번 연구에서는 각 공정 순서에 따라 순차적으로 진행되는 것에 초점을 맞추었다. <그림 4>는 AutoMod로 구현한 서울대 반도체 공동 연구소 Layout으로 웨이퍼의 흐름을 알 수 있다.



<그림 4 AutoMod 화면>



<그림 5 단면도>

또 Presentation으로 쓰이는 Powerpoint의 슬라이드 쇼는 Device의 단면도 (<그림 5>)를 나타낸다. 즉 이 두 환경이 연동되어 한 공정이 진행된 후에 바로 Device 변화를 알 수 있는 Process Flow Wide View를 구축한다.

3.4 Network 연동방안

AutoMod는 자체적으로 메시지 파일을 발생시킬 수 있는데 이것은 시물레이션을 하는 동안 Load나 Queue들의 상황을 알려주는 역할을 한다. 또 어떤 특정 파일을 지정하면 그 파일로 메시지를 보내므로 각 공정이 시작될 때 메시지 파일은 Presentation Tool이 동작하는 컴퓨터로 전해지게 된다. Network 프로그램은 이 메시지를 Polling하다 메시지가 도착하면 Powerpoint의 Window로 Pagedown 메시지를 전달하

는 역할을 한다.

4. 결론 및 향후 연구 방향

이번 과제의 목표는 반도체 공정의 순서대로 공정의 흐름을 따라가며, 각 공정이 어느 장비에서 이루어지며, 그 공정으로 인한 Device의 변화를 단면도로 보여줌으로써 현장기술자와 장비운영자의 질적 향상을 위한 교육용 자료로의 활용이다. 이런 Presentation Tool을 이용한 시청각 교육 효과와 시물레이션을 이용한 Wide View의 증진은 현재 국내 반도체 업체들의 신입 사원 교육 시 상당한 효과를 거둘 것이라 예상된다. 이는 생산업체에 국한되어지는 것만은 아니며 반도체 공정에 관련된 대학 학과목의 교육에서도 활용되어지리라 생각된다.

서울대 반도체 공동 연구소의 경우와는 달리 양산 시스템에서는 장비 가동률, Turn Around Time, Throughput 등이 중요한 관점이므로 양산 Line을 대상으로는 FAB Layout 시물레이션을 통한 Bottleneck 분석과 Intra-bay 자동 반송 설비 (Rail Guided Vehicle, Auto Guided Vehicle, Over Head Transport 등)의 성능 비교, 특정 설비의 집중과 분산에 따른 효율 비교 등이 반영된 시물레이션을 통하여 공정의 최적화를 이루어 경비 절감을 실현함으로써 어려운 현실에 대처하는 것이 향후 연구과제이다.

참고문헌

- [1] Atherton, Linda F & Atherton, Robert W., *Wafer Fabrication : Factory Performance and Analysis*, Kluwer Academic Press, Boston, MA, 1995
- [2] Stephen A. Campbell, *The Science and Engineering of Microelectronic Fabrication*, Oxford University Press, New York, 1996
- [3] Ben G. Streetman, *Solid State Electronic Devices*, Prentice Hall, 1995
- [4] The Complete Silicon Run (VTR), Semiconductor Equipment and Materials International, 1997
- [5] Law, Averill M., Kelton, W. David, *Simulation Modeling & Analysis*, McGraw-Hill, 1991
- [6] Zeigler, B. P., *Object-Oriented Simulation with Hierarchical, Modular Models*, Academic Press, 1990
- [7] Liu, Chihwei, "A Modular Production Planning System for Semiconductor Manufacturing", Ph. D. Dissertation, University of California, Berkeley, 1992
- [8] R. C. Leachman, *Modeling Techniques for Automated Production Planning in the Semiconductor Industry*, Wiley, 1993
- [9] W. Chou and J. Everton, "Capacity Planning for Development Wafer Fab Extension", *IEEE/SEMI*, 1996, Advanced Semiconductor Manufacturing Conference Proceedings, MA, pp 17-22, 1996