

측면 기판 단자를 갖는 다결정 실리콘 박막 트랜지스터의 제작과 전기적 특성 분석

최형배, 유준석, 김천홍, 한민구

Fabrication and electrical characteristic analysis of poly-Si TFT with lateral bo

H.B. Choi, J.S. Yoo, C.H. Kim, M.K. Han

School of electrical engineering of Seoul National University

Abstract - Poly-Si TFT(Thin Film Transistor) is a electronic device that can be applied to the field of large area electronics such as AMLCD. We have fabricated the poly-Si TFT with lateral body terminal that is counter-doped body electrode and investigated the electrical characteristics of it.

The lateral body terminal being short with s terminal, we have measured the transfer charac (Vg-Id) and the output characteristic (Vd-Id) fabricated devices. The measured result showe only that leakage current in OFF-state was re and Kink effect in ON-state was suppressed bu that in output characteristic curve the output Id was sustained constantly with the output Vd in the saturation region.

다. 이렇게 하면 도핑 마스크가 하나 더 필요하게 되나 CMOS구조의 회로를 고려하면 반대 극성을 갖는 소자를 만들 때 측면 부분을 같이 도핑하면 전체 마스크 수의 추가는 없다.

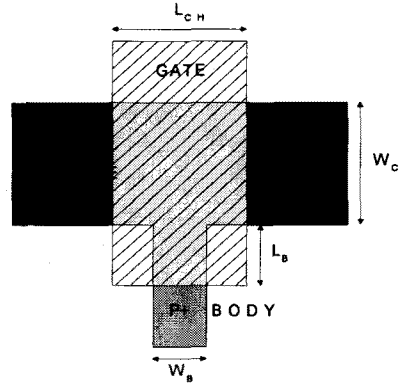


그림 1. 측면 기판단자를 갖는 poly-Si TFT의 평면도

1. 서 론

다결정 실리콘 박막 트랜지스터 (poly-Si TFT)는 평판 액정 디스플레이 패널의 화소 스위칭 소자로서 뿐만 아니라 패널 내에 집적시킨 구동회로 소자로서의 응용을 위한 다양한 연구가 이루어지고 있다. 기존 poly-S TFT는 OFF-상태에서 큰 누설 전류로 인해 화소의 스위칭 소자로서 결점을 가진다[1]. 그리고 ON-상태에서는 드레인 쪽에서 생성된 전자나 정공이 기판 아래쪽으로 축적되어 기판 쪽의 전위를 변화시키게 된다. 기판의 전위가 어떤 값을 넘어서면 이 전위에 의해 기생 트랜지스터 전류가 생성되어 정상적인 TFT ON-전류보다 더 많은 전류가 흐른다. 이로 인해 출력 특성 곡선에서 드레인 전압에 따라 전류가 갑자기 커지는 Kink-효과가 생기며, 또한 소자의 포화 영역에서 드레인 전압에 따라 출력 전류가 일정하지 않고 조금씩 커지는 현상을 보인다[2]. 이것은 패널 구동회로에 사용되는 로직회로나 아날로그 회로의 기본 소자로서 이용을 어렵게 한다[2].

본 연구에서는 그림 1.과 같이 활성층막을 만들 때 채널의 측면 쪽에 패턴을 남겨 소스나 드레인과 반대로 도핑시켜 기판단자로 이용하였다. 이 기판단자를 소스와 단락시켜 소스와 같은 전위를 가지도록 함으로써 전자나 정공의 기판하부 축적에 의한 기생전류 성분을 줄였다. 측면에 기판단자를 갖는 소자와 기존의 3-단자 소자를 제작하여 전기적 특성을 조사한 결과 누설 전류가 감소되고 Kink 현상이 억제되었을 뿐 아니라 출력 특성에서도 출력 전류 Id가 출력 전압 Vd에 거의 영향을 받지 않는 포화 영역을 확인하였다. 따라서 이 소자는 대면적 전자회로 분야의 기본소자로 응용 가치를 가진다.

2. 본 론

2.1 소자의 구조 및 제작 과정

본 연구를 위해 제작된 측면 기판단자를 갖는 소자의 구조는 그림 1.과 같으며 활성층막 부분을 제외하고는 기존의 top-gate TFT와 같다. 따라서 제작 공정도 거의 같으며 단지 활성층막을 패턴 할 때 막의 측면을 그림 1.과 같이 남긴 뒤 소스나 드레인과 반대의 도핑을 하였

채널의 길이와 폭은 각각 10um, 10um이고 측면 기판단의 폭 Wb를 몇 가지로 하여 제작하였다. 활성층은 두께가 800Å이고 LPCVD로 증착하였으며 게이트 절연막은 1000Å으로 TEOS로 증착하였다. 게이트는 폴리리텐을 사용하였으며 소스, 드레인 그리고 측면 기판단자의 도핑은 이온 샤워 공정을 이용하였다. 마지막으로 제작된 소자는 2시간의 수소화 처리를 하였다.

2.2 소자의 전기적 특성 측정 분석

측면 기판단자를 갖는 소자의 전기적 특성을 보기 위해 전달 특성(Vg-Id)과 출력 특성(Vd-Id)를 측정하였다. 측면 기판단자는 소스단자와 단락시켜 기판의 전위를 소스와 같게 한 뒤 여러 가지 바이어스 조건에 따라 전달 특성과 출력 특성을 조사하였다. 비교를 위해 측면 기판단자가 없는 같은 크기를 갖는 기존의 3-단자 소자의 특성도 조사하였다.

2.2.1 Vg-Id 전달 특성

그림2. 는 측면 기판단자를 가진 소자와 기존의 3-단자 소자의 전달 특성 곡선을 다양한 드레인 바이어스 전압에 따라 보여주고 있다. 측정에 사용한 소자는 모두 2시간의 수소화 과정을 거친 것이다. 그림 2.를 보면 누설 전류는 새로이 제안된 소자가 기존의 소자에 비해 줄어들었다. 이것은 측면 기판단자가 채널 표면쪽의 전위를 소스쪽과 같게 하여 채널쪽의 누설전류 성분인 소수반송자 확산을 억제하기 때문으로 설명할 수 있다[3]. 그리고 ON-특성의 경우를 보면 ON-전류가 기존의 소자와 비슷한 레벨을 유지하고 있다. 그리고 전문턱전압 특성도 두 소자가 유사한 특성을 보인다. 측정한 측면 기판단자를 갖는 소자는 채널 길이와 폭이 모두 10um이고

측면 기판 단자 폭이 4 μ m이다.

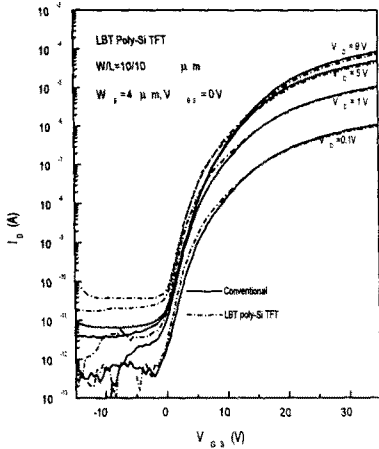


그림 2. 제작된 측면 기판단자를 갖는 소자와 기존의 3-단자 소자의 드레인 전압에 따른 전달 특성곡선 (V_g - I_d).

2.2.1 V_d - I_d 출력 특성

ON-상태에서 소자의 특성을 자세히 비교하기 위해 측면 기판단자를 갖는 소자와 기존의 3-단자 소자의 출력 특성 (V_d - I_d)를 관찰하였다. 그림 3은 기존의 3-단자 소자의 게이트 전압에 따른 출력 특성 곡선이다.

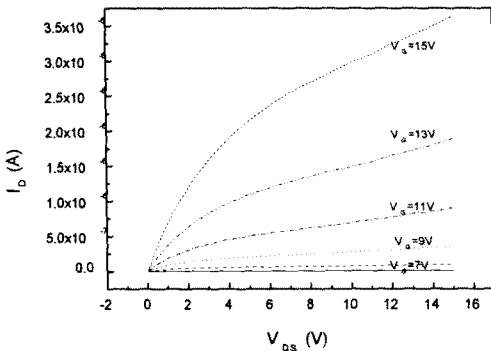


그림 3. 기존의 3-단자 n-TFT의 V_d - I_d 출력 특성 곡선

그림 5는 측면 기판 단자를 갖는 소자의 출력 특성 곡선을 보여주고 있다. 측면 기판 단자의 폭 W_B 는 2 μ m, 4 μ m, 6 μ m의 세 경우에 대해 측정해 보았다.

그림 3의 출력 특성 곡선을 보면 포화 영역에서 드레인 전압이 커짐에 따라 출력 전류 즉 드레인 전류가 증가하는 현상을 볼 수 있다. 이러한 현상은 게이트 전압이 커짐에 따라 더 현저하게 나타난다. 출력 전압에 따라 출력 전류가 변하는 것은 이 소자의 출력저항이 유한한 값을 갖는 다는 것으로 이런 특성을 갖는 n-TFT, p-TFT로 인버터를 구성할 때 급격한 천이영역을 갖지 못해 동작 속도의 저하를 가져온다[4]. MOS에서도 출력 전류가 출력전압에 따라 변하는 현상이 나타나는데 이것은 드레인 전압에 커짐에 따라 드레인 쪽 공핍 영역이 채널 쪽으로 넓어져 유효 채널 길이가 짧아져 생기는 현상으로 본다[5]. 그리고 이것은 채널 길이가 짧아질수록 잘 일어난다. 그런데 제작된 poly-Si TFT는 채널 길이가 10 μ m로 현재 쓰이고 있는 MOS에 비해 현저히 길다. 따

라서 채널 길이 변화가 출력 전류 변화에 미치는 영향이 MOS에 비해 상당히 적다고 볼 수 있다. Poly-Si TFT에서는 그림 4-a.에서 보듯이 전자-정공쌍의 생성 특히, 강한 드레인쪽 전계에 의해 드레인 공핍 영역 부근에서 생성된 반송자들이 poly-Si막 내에 있는 트랩에 의해 벌크를 통해 흐르는 전류 성분이 다수 반송자에 의한 채널 전류 성분에 더해져 드레인 전압에 따라 전류가 증가한다. 그리고 게이트 바이어스 전압을 높이면 하면 드레인 공핍 영역의 최대치 전계값을 크게 하여 전자-정공쌍의 생성률을 높인다[6]. 따라서 그림 3.에서 알 수 있듯이 게이트 전압이 커질수록 포화영역에서 드레인 전류가 드레인 전압에 따라 증가하는 현상이 더 심해진다. N-type TFT의 경우 드레인 전압이 더욱 커지면 드레인 공핍 영역 부근에서 생성된 정공이 전위가 낮은 소스 쪽의 기판 아래쪽으로 축적되어 그 부근의 전위를 높여 소스쪽의 접합 장벽을 낮추게 된다. 이 전위가 어떤 값 이상으로 높아지게 되면 채널 아래 기판쪽에서 npn 기생 BJT 작용이 일어나 드레인 전류가 갑자기 커지는 Kink 현상이 일어난다[7][8].

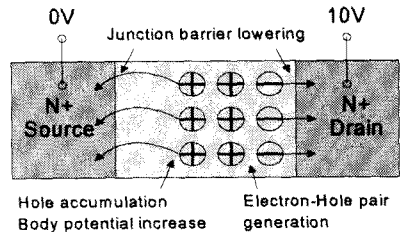


그림 4-a. 3-단자 소자의 드레인쪽에서 생성된 전자-정공쌍의 움직임

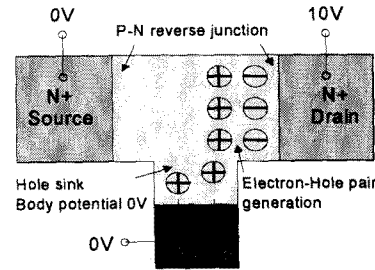


그림 4-b. 측면 기판단자를 갖는 소자에서 전자-정공쌍의 움직임

그림 5는 측면 기판 단자를 갖는 n-type poly-Si TFT의 출력 특성 곡선을 보여주고 있다. 그림 5의 특성곡선에서 포화 영역을 보면 그림 3.에서와 달리 드레인 전압이 증가함에 따라 드레인 전류가 거의 일정한 값을 유지하고 있음을 볼 수 있다. 이것은 그림 4-b.에서 드레인 접합 부근에서 생성된 전자-정공쌍의 움직임으로 설명할 수 있다. P-type으로 도핑된 측면 기판단자를 소스와 단락시켜 기판 측면의 전위를 0V로 묶어 두고 있다. 기존의 3-단자 소자와 마찬가지로 동작 영역이 포화 영역에 있을 때 드레인 전압이 커짐에 따라 드레인 공핍 영역 부근에서 높은 전계에 의해 전자-정공쌍이 생성된다. 생성된 전자는 전위가 높은 드레인 쪽으로 끌려가므로 전류 성분에 기여하지는 못한다. 정공의 경우는 전위가 낮은 소스 쪽 기판 하부 쪽으로 이동하게 된다. 3단자 소자의 경우 하부 쪽으로 이동한 정공이 축적되어 그 부근의 전위를 높게 된다. 이것은 소스 쪽에 순방향 접합을 만들어 수평 방향으로 BJT 전류 성분을 만들며 이 전류는 정상적인 작동 시 채널을 따라 흐르는 전류에

더해지게 된다[7]. 측면 기판단자를 가진 소자에서는 드레인 접합 부근에서 생성된 정공들을 소스와 단락된 측면 기판 단자로 뽑아냄으로써 기판 하부의 정공 축적을 억제한다. 따라서 정공에 의한 기판 하부의 전위 상승을 억제하여 소스 접합에서 반송자 주입에 의한 기생 BJT 작용을 억제한다. 뿐만 아니라 드레인 쪽에서 생성된 정공들이 poly-Si 박막내의 트랩을 타고 이동하는 것을 기판 측면 단자에서 뽑아내어 이것에 의한 전류 성분도 줄인다.

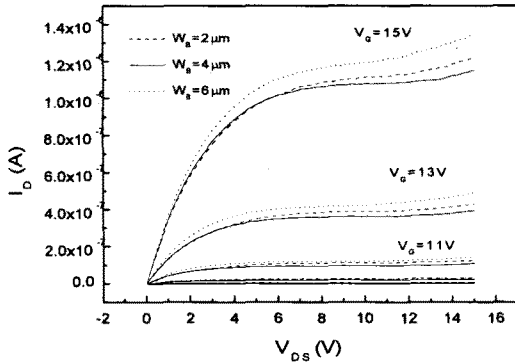


그림 5. 측면 기판 단자를 갖는 n-type 소자 (LBT poly-Si TFT)의 기판 단자 폭 W_g 에 따른 V_d - I_d 출력 특성 곡선

그림 5.의 측면 기판단자를 가지는 소자의 출력 특성 곡선에서도 드레인 전압이 어떤 값 이상을 가지면 전류가 갑자기 커지는 Kink 현상을 보이며 이것은 게이트 전압이 높을수록 더 잘 나타난다. 게이트 전압이 높아지면 기판 출력 단자의 접합 장벽을 높여 기판 단자가 정공을 뽑아 내는 능력을 줄인다. 따라서 기판 아래 부분의 전위가 거의 일정하게 유지되다가 정공 축적으로 전위가 갑자기 변하면서 전류가 갑자기 증가하게 된다. 측면 기판단자의 폭에 따라 특성이 조금씩 달라지는데 적절한 폭을 결정하는 것이 중요하다.

3. 결 론

본 연구에서는 측면 기판단자를 갖는 구조의 다결정 실리콘 박막 트랜지스터를 제작하여 전기적 특성을 분석하였다. ON-상태에서 출력 특성이 기존의 3-단자 소자에 비해 더 이상적인 포화 영역 동작 특성을 가지며 Kink 현상도 억제되었다. 3-단자 소자에 비해 출력 전류가 출력 전압에 거의 무관하게 일정한 값을 가져 이 소자를 이용하여 회로를 구성할 때 동작 속도를 향상시킬 수 있다. 따라서 측면 기판단자를 갖는 다결정 실리콘 박막 트랜지스터는 대면적 전자회로에 응용 가치가 있다.

(참 고 문 헌)

- (1) J.G. Fossum, A.O. Conde, H. Schichijo, and Banerjee, "Anomalous leakage current in LPCVD poly MOSFET's", IEEE Trans. Electron Devices, vol. ED-3 2173, 1987
- (2) A.G. Lewis, T.Y. Huang, R.H. Bruce, M. Koyan Chiang, and I.W. Wu, "Polysilicon thin film transistor analogue circuit application", IEDM, pp. 264, 1988
- (3) C. Werner, A. Eder, and H. Bernt, "Field effect carrier generation in MOS-capacitors containing de Solid-state Electron, vol. 24, pp. 275, 1981
- (4) H. Sakamoto and L. Forbes, "Grounded complementary FET circuit : Scepter Analysis", Journal of Solid-State Circuits, vol. SC-8, pp. 282, 19
- (5) D.A. Neamen, "Semiconductor physics and device

[6] J.P. Colinge, H. Morel, and J.P. Change, "Field effect in large grain polycrystalline silicon", IEEE trans. on electron devices, vol. ED-30, pp. 1518, 1983

[7] S. K. Madan, and D.A. Antoniadis, "Leakage mechanism Hydrogen-Passivated fine-grain polycrystalline silicon on insulator MOSFET's", IEEE trans. on electron devices, vol. ED-33, pp. 1518, 1986

[8] J. Tihanyi, and H. Schlotterer, "Properties of ES transistors due to the floating substrate and the volume", IEEE trans. on electron devices, vol. ED-1017, 1975