

## 화소 설계 어레이 시뮬레이터 (PDAST)를 이용한 대면적 고품질을 위한 TFT-LCD의 화소설계

이영삼, 윤영준, 정순신, 최종선  
홍익대학교 전자전기공학부

### YFY-LCD Pixel Design for Large Size, High Quality using PDAST(Pixel Design Array Simulator)

Young-Sam Lee, Young-Jun Youn, Jong Sun Choi  
School of Electronic and Electrical Engineering, Hong-Ik University

**Abstract** - An active-matrix LCD using thin film transistors (TFT) has been widely recognized as having potential for high-quality color flat-panel displays. Pixel-Design Array Simulation Tool (PDAST) was used to profoundly understand the gate signal distortion and pixel charging capability, which are the most critical limiting factors for high-quality TFT-LCDs. Since PDAST can simulate the gate, data and pixel voltages of a certain pixel on TFT array at any time and at any location on an array, the effect of the resistivity of gate line material on the pixel operations can be effectively analyzed. The gate signal delay, pixel charging ratio, level-shift of the pixel voltage were simulated with varying the parameters. The information obtained from this study could be utilized to design the larger area and finer image quality panel.

인과 데이터 구동라인은 분산된(Distributed) 저항과 용량을 가지고 있으므로, 이들은 여러개의 집중된 미세 저항과 용량으로 구성된 회로들이 Cascade되어 있는 회로망으로 모델링되어야 한다. 배선 상의 한 점에서의 전압을 나타내는 미분방정식(Thompson cable equation)을 풀어 구할 수 있다. 게이트 라인의 충전 시 전압과 전류식은 아래와 같이 구해진다:

$$v(x, t) = v_{gh} - \frac{4\Delta v_{gon}}{\pi} \sum_{n=0}^{\infty} \frac{1}{(2n+1)} \cdot \exp\left[-\frac{(2n+1)^2 \pi^2}{4rcL_G^2} t\right] \cdot \sin\left[\frac{(2n+1)\pi x}{2L_G}\right]$$

$$i(x, t) = \frac{2\Delta v_{gon}}{\pi} \sum_{n=0}^{\infty} \exp\left[-\frac{(2n+1)^2 \pi^2}{4rcL_G^2} t\right] \cdot \cos\left[\frac{(2n+1)\pi x}{2L_G}\right]$$

## 1. 서 론

최근 정보화가 가속화 되어감에 따라 여러 가지 고품질과 대화면적의 평판 디스플레이에 대한 요구가 점점 증가하고 있다. 여러 가지 평판 디스플레이 중 가장 우수하고 널리 사용되고 있는 것은 수소화된 비정질 실리콘 박막트랜스터 (a-Si:H TFT)를 스위칭소자로 사용하는 액정 표시 장치(TFT-LCD)이다. 본 연구에서는 TFT-LCD의 게이트 라인과 데이터 라인 및 화소 동작 특성을 연구하였다. TFT-LCD의 화소 동작에 영향을 미치는 파라메타들에 대한 시뮬레이션을 통해 배선의 신호 지연, 화소의 충·방전시간, 전압 유지 특성, 기생용량에 의한 전압강하 특성 등을 최적 상태로 설계할 수 있게 된다. 시뮬레이션은 PDAST로 수행하였는데, PDAST는 TFT 어레이의 어떤 위치, 어떤 시점에서든 게이트, 드레인 및 화소 전압을 정확하게 계산할 수 있고, 여러 가지 소자와 어레이 파라메타들을 편리하게 입력하고 수정할 수 있게 구성되어 있다.

## 2. 시뮬레이션

TFT-LCD의 화소는 그림 1과 같이 TFT를 포함한 라인의 저항성분( $R_G$ ), 액정용량( $C_{LC}$ ), 축적용량( $C_{ST}$ ) 그리고 기생용량( $C_{GS}$ ) 등을 가진 등가회로로 나타낼 수 있다. (1)-(2) 한 화소에 포함된 회로 구성요소들은 게이트 구동라인과 데이터 구동라인을 제외하고는 모두 집중된(Lumped) 요소들로 모델링할 수 있다. 게이트 구동

방선시 전압과 전류식도 유사한 방법으로 구하였다. 데이터 배선의 경우도 유사한 방법으로 전압과 전류식을 구하였다. 위 식들에서  $x$ 는 신호 입력점에서의 거리이고,  $r$ 은 단위길이당 저항이며,  $c$ 는 단위길이 당 용량이다.

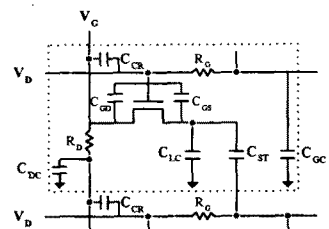


그림 1. 한 화소의 게이트 배선의 등가용량

시뮬레이션에 사용되어진 주요 파라메타의 종류와 그 값은 표 1에서와 같이 보여주고 있다. 15인치 XGA급(1024×768) TFT-LCD를 기준으로 하였는데 각종 용량 및 저항성분들은 화소설계 도구를 통하여 설계 기준에 맞게 최적화하여 시뮬레이션하였다. 화소의 충전특성은 그림 2에서 보는 바와 같이 게이트 전압의 변화에 따라서 TFT 동작은 Off, 포화, 선형 영역에서 동작하고 이 영역 변화에 따라 화소의 전압도 달라지게 된다. (5) 표 2,3은 TFT 동작 상태에 다른 화소 전압에 대

한 방정식을 나타내었는데 이 식들이 등가회로 상에서 Self-consistent하게 풀려야 한다. 그림 3은 XGA TFT-LCD의 게이트 저항률에 따른 게이트 전압과 데이터 신호, 그리고 화소 전압 파형을 TFT 동작 상태에 따른 화소의 충전식을 통하여 시뮬레이션한 것이다. 게이트 라인 저항률의 증가에 따른 게이트 라인 지연 시간의 증가와 그에 따른 화소 전압의 변화를 보여주고 있다.

파라메타	물리적 의미	값
Size/Resolution	화면크기/해상도	15inch/XGA
W/L	채널 폭/길이	25/5 $\mu\text{m}$
$\mu_{FE}$	전계효과이동도	0.5 $\text{cm}^2/\text{vs}$
$T_{ox}$	이중산화막 두께	3000Å
C <sub>px</sub>	화소용량	$0.76714 \times 10^{-12}\text{F}$
C <sub>gs</sub>	기생용량	$0.01032 \times 10^{-12}\text{F}$
$V_{gh} - V_{gl}$	게이트 전압의크기	0~20 (V)
$V_{sh} - V_{sl}$	데이터 전압의크기	0~10 (V)
$V_{th}$	문턱 전압	3.5 (V)

표 1. 시뮬레이션에 사용된 파라메타의 종류와 값

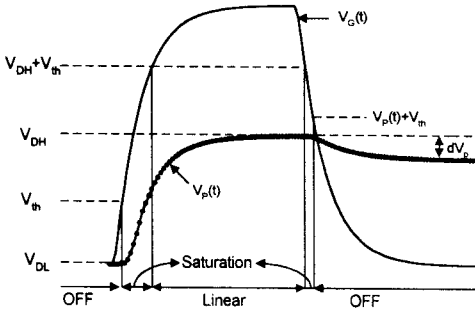


그림 2. TFT 상태 변화에 따른 화소 전압 파형.

영역	Equation
OFF	$\frac{dV_P}{dt} = \frac{C_{gs}}{C_{PX}} \cdot \frac{dV_G}{dt} + \frac{I_{off}}{C_{PX}}$
Saturation	$\frac{dV_P}{dt} = \frac{\beta_0}{2C_{PX}} \cdot (V_G(t) - V_{th} - V_P(t)) + \frac{dV_G}{dt}$
Linear	$\frac{dV_P}{dt} = \frac{\beta_0}{2C_{PX}} \cdot ((V_G - V_{th}) \cdot V_D - 1/2V_D^2) + \frac{C_{gs}}{C_{PX}} \cdot \frac{dV_G}{dt}$

표 2. TFT상태에 따른 화소 전압 충전식

영역	Equation
OFF	$\frac{dV_P}{dt} = -\frac{C_{gs}}{C_{PX}} \cdot \frac{dV_G}{dt} + \frac{I_{off}}{C_{PX}}$
Saturation	$\frac{d}{dt} dV_P = \frac{\beta_0}{2C_{PX}} \cdot (V_G(t) - V_{th} - dV_P(t)) + \frac{dV_G}{dt}$
Linear	$\frac{d}{dt} dV_P = \frac{\beta_0}{2C_{PX}} \cdot ((V_G - V_{th}) \cdot V_D - 1/2V_D^2) + \frac{C_{gs}}{C_{PX}} \cdot \frac{dV_G}{dt}$

표 3. TFT상태에 따른 Level-shift Voltage

본 실험에 사용되어진 화소 설계 어레이 시뮬레이터 (PDAST)의 유용성을 검증하기 위해서 다른 시뮬레이터인 AIM-Spice와 비교 하였다. 그림 4, 5는 충전전시 3072번째 게이트 라인 dot와 706번째 데이터 라인 dot에서 화소설계 어레이 시뮬레이터(PDAST)와 같은 등가회로를 갖는 AIM-Spice와의 비교한 데이터이다. 이를 통하여 같은 등가회로와 파라메타 값을 갖는 AIM-Spice와 비교함으로써 화소설계 어레이 시뮬레이터 (PDAST)의 유용성을 검증할 수 있었다.

대화면적과 고화질의 TFT-LCD의 특성을 얻기 위해서 가장 중요한 요인으로 게이트 라인 지연시간과 이에 따른 화소의 충전전 특성 그리고 level-shift 전압이 중요한 요인이 된다. 그림 6은 1024×768의 마지막 화소의 게이트 라인 지연시간에 따른 화소의 충전전 특성으로 화소 설계시 95%이상의 충전 특성을 나타내야한다. 그림 7은 게이트 라인 지연시간에 따른 level-shift 전압의 변화를 보여주고 있다. (5)-(6)

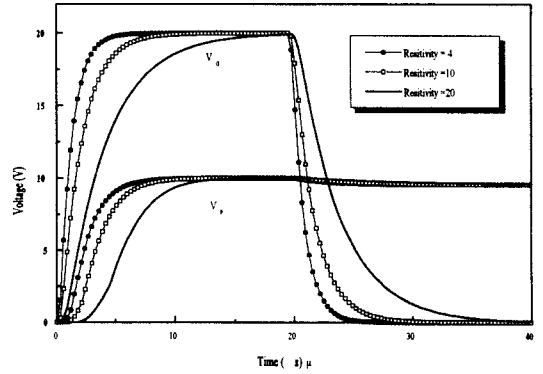


그림 3. 게이트 라인 저항률에 따른 게이트 전압과 화소 전압 변화

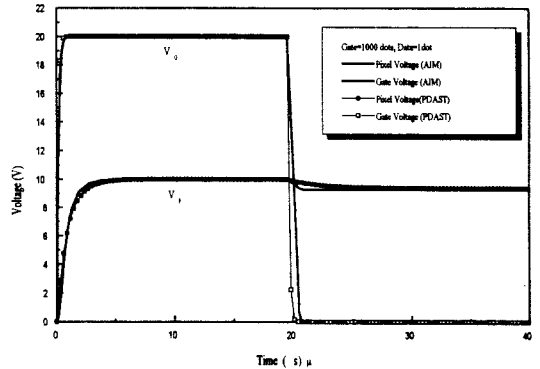


그림 4. 화소의 충전시의 AIM-Spice와 PDAST의 게이트 라인 신호와 화소전압의 비교 비교

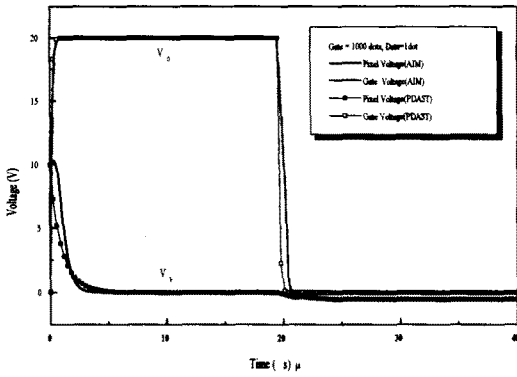


그림 5. 화소의 방전시의 AIM-Spice와 PDAST의 게이트 라인 신호와 화소전압의 비교 비교

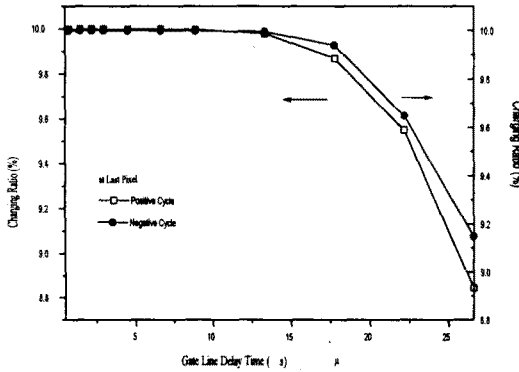


그림 6. (1024×768)의 마지막 화소에서의 게이트 라인 지연에 따른 화소의 충전전 특성

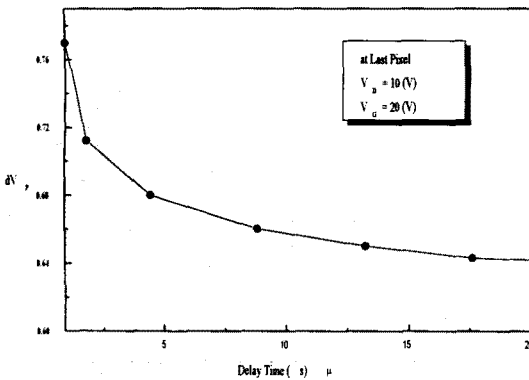


그림 7. 게이트 라인 신호 신호 지연에 따른 Level-Shift 전압

위의 게이트 라인 지연시간, 화소의 충전전 특성 그리고 level-shift 전압을 통하여 보다 대면적 고품질의

디스플레이를 위한 파라메타를 추출 할 수가 있고 이 파라메타들이 화소에 미치는 영향에 대해 알수가 있었다. 그림 4.5에서처럼 PDAST를 통해 어레이의 어느 위치, 어느 시간에서도 게이트, 데이터 및 화소의 전기적 거동을 시뮬레이션 할 수 있고, 이를 경제적이고 효율적으로 어레이의 특성을 시뮬레이션하고 이를 통해 최적의 어레이 설계가 할 수가 있다.

### 3. 결 론

본 논문에서는 화소-설계 어레이 시뮬레이션 도구인 PDAST를 이용하여 TFT와 어레이의 구조와 특성의 변화에 따른 화소의 동작 변화에 대한 시뮬레이션을 통해 배선의 신호 지연, 화소의 충전·방전시간, 전압 유지 특성, 기생용량에 의한 전압강하 특성 등을 시뮬레이션 하였고, 이를 통하여 보다 대면적 고품질의 디스플레이를 구현하는데 영향을 미치는 여러 가지 파라메타 성분들을 최적화를 할수 있게 되었다.

### (참 고 문 헌)

- [1] Y.Oana, Non-Crystal. Solids, Vol.115, 27, 1989.
- [2] R.L.Wisnieff, International Display Research Conference, Vol.29, 2, 1988.
- [3] H.S.Carlsaw, J.C. Jaeger, Conduction of Heat in Soilds, Calarendon Press, Oxford, 1959.
- [4] Toshihisa Tsukada, TFT/LCD Liquid Crystal Displays Addressed by Thin-Film Transistors, Gordon and Breach Publishers, 1996.
- [5] K.Suzuki, SID 92 Digest, 39, 1992.
- [6] N.Nakagawa, SID 92 Digest, 781, 1992.