

전력소자를 위한 새로운 홈구조 터미네이션

민원기, 박남천*
한국전기연구소, 경남대학교*

A New Trench Termination for Power Semiconductor Devices

W.G. Min, N.C. Park*
Korea Electrotechnology Research Institute, KyungNam University

Abstract - The trench termination scheme is introduced for high voltage devices. The curvature of the depletion region at field limiting ring is critical factor to determine the breakdown voltage. The smooth curvature of the depletion junction alleviate the electric field crowding effect around this region. In the trench field limiting ring, the radius of the depletion region is smaller than conventional field limiting ring, but the distance between every trench is spaced small enough to punchthrough before initiation of local breakdown. The trench field limiting ring on silicon can be formed by RIE followed by oxidation on side wall surface of the trench, and polysilicon filling. The combined termination of this trench floating field ring and field plate have been designed and analyzed. The breakdown simulation by 2-dimensional TCAD shows that the cylindrical junction breakdown voltage for substrate doping might be 99 percent of the ideal breakdown voltage for substrate doping concentration of $3 \times 10^{14} \text{cm}^{-3}$ with about $100 \mu\text{m}$ of lateral termination width.

한 패시베이션층의 두께가 두꺼워져서 공정시간이 길어지며 실리콘표면에 기계적 스트레스가 증가하여 사용이 어렵다.

현재 가장 널리 사용되는 고압 터미네이션방법은 FLR(Field Limiting Ring)로 pn 양극접합에 인가된 역전압으로 인하여 여러개의 ring이 punchthrough되어 공핍층이 형성됨으로써 전압이 여러 ring에 분압되어 항복전압이 증가한다.

실리콘표면과 패시베이션층 사이에 존재하는 양전하에 의한 항복전압저하를 막기위하여 FLR과 field plate를 조합한 OFP-FLR(Offset Field Plate - Field Limiting Ring)⁽⁶⁾이 등장하였다. 이구조는 FLR의 각 ring에 field plate를 연합하여 구성한 형태의 터미네이션이다. 현재 상용화되어 생산되는 600V이상의 IGBT의 터미네이션은 대부분이 OFP-FLR형식을 취하고 있다.

홈구조 FLR은 ring을 홈구조로 하였다는 것을 제외하면 OFP-FLR과 흡사하다. 이 터미네이션은 홈구조를 갖는 UMOS등과 공정이 일치하며 확산시간이 짧고 FLR에 비해 적은 면적을 차지하며 실리콘표면 전하량과 상관없이 안정한 특성을 보인다.

2. 본 론

2.1 테이네이션 공정

홈구조 FLR의 공정순서는 그림 1과 같다. 먼저 (100) 방향의 n-type 으로 도핑된 에피층이 있는 실리콘웨이퍼의 표면상태를 청결하게 유지한 상태에서 전면에 약 10000Å의 열산화막을 성장시킨다(step 1). 산화막을 식각하여 소자의 활성화영역을 정의한다. LPCVD방법으로 약 5000Å의 산화막을 웨이퍼전면에 다시 형성한 후 마스크공정으로 산화막을 패턴한 후 건식식각(RIE)방법으로 산화막을 식각한 다음 산화막을 마스크로 하여 실리콘을 식각하여 홈을 형성한다. 즉 LPCVD 산화막은 실리콘 식각을 위한 마스크로 필요하다. RIE에 의한 식각은 홈의 바닥과 측면에 damage를 주기 때문에 이를 제거하기 위하여 홈에 약 1000Å의 회생 열산화막을 형성한후 이를 불산으로 제거함으로써 실리콘표면을 평탄하게 한다. 열산화공정으로 홈측면에 게이트산화막을 약 1000Å의 두께로 형성한 후 RIE로 홈 바닥의 산화막을 제거한다(step 2). 폴리실리콘을 증착하여 홈을 메우고 B+ 이온을 주입하여 확산한 후 폴리실리콘을 식각한다(step 3). B+ 이온으로 도핑된 폴리실리콘은 전기적으로 도체와 같은 성질을 띠게 되어 산화막 위의 폴리실리콘층은 field plate와 같은 작용을 하게 된다. 층간 절연물로 BPSG를 증착한후 contact hole을 형성한다 (step 4) 이후 금속층을 스퍼터링으로 형성한다. 금속층은 폴리실리콘과 접촉되어 다층 field plate로 작용하도록 패턴된다(step 5). 이 공정이 완료되면 홈구조의 FLR과 더불어 마지막 ring에 3층구조를 갖는 다층 field plate가 형성된다.

1. 서 론

현대의 사각형모양을 하는 개별 전력용반도체소자의 터미네이션은 고전적인 원형침형태의 사이리스터의 주 터미네이션방식인 Mesa나 Beveling 방법으로는 불가능하게 되었다. 특히 MOS소자의 경우는 표면의 상태가 매우 청결해야 하기 때문에 오염의 개연성이 많은 방법보다 field plate⁽¹⁾나 Field Limiting Ring(FLR)⁽²⁾과 같은 터미네이션을 사용하여 생산성과 수율을 증대시키고 있다. 바이폴라소자의 panar junction의 항복전압은 접합의 곡률에 의하여 결정된다⁽³⁾. 이는 pn 접합을 깊게하여 항복전압을 이상적인 값으로 접근시킬 수 있지만 공정시간, 비용, 그리고 소자의 유효면적을 고려하면 유한한 곡률을 갖게 된다. field plate를 사용한 터미네이션은 유효곡률을 다음의 식과 같과 같다⁽⁴⁾.

$$r_{j(eq)} = \left(\frac{\epsilon_{si}}{\epsilon_{ox}} \right) \cdot t_{ox}$$

여기서 r_j 는 유효접합곡률, ϵ_{si} 는 실리콘의 유전율, ϵ_{ox} 는 산화막의 유전율, t_{ox} 는 산화막의 두께이다. 이 식에서 알 수 있듯이 산화막의 두께가 커지면 유효접합반경이 증가하게 되며 cylindrical 접합과 spherical 접합의 경우 r_j 가 증가하면 접합에 인가되는 임계전계강도(어벨런치 항복이 일어나는 최소전계강도)를 완화시켜 항복전압이 증가하나 200V이상의 고압소자의 경우는 산화막등에 의

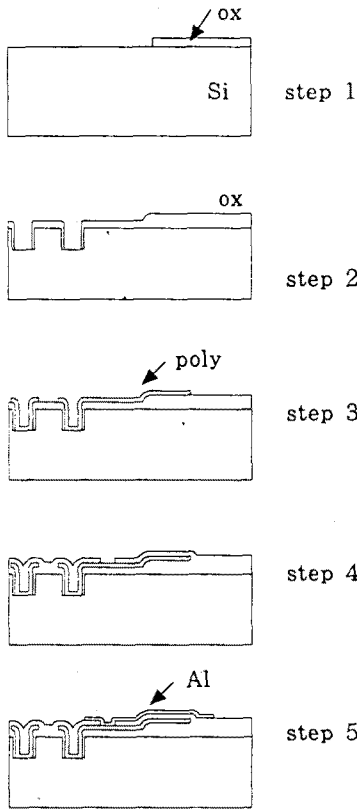


그림 1 홈구조 터미네이션 공정순서

2.2 다층 Field Plate

그림 2는 소자 모델링 TCAD인 MEDICI의 입력으로 사용된 이중 field plate의 구조를 보여준다. 이 다층 field plate는 Conti⁽⁶⁾에 의하여 제안된 바 있으며 홈구조 FLR의 마지막 ring에 구조와 같다. 다층구조에는 금속층이 두 개인데 아래의 금속층은 B+로 강하게 확산된 Polysilicon이며 이것은 홈을 폴리실리콘으로 채울 때 같이 형성된다. 그 위의 금속층은 Al을 증착한후 패터닝하여 형성한다. 그림 3은 field plate와 다층 field plate에 같은 전압이 인가되었을 경우 표면전계강도를 계산한 결과이다. 다층 field plate의 전계강도는 field plate의 경우보다 완화됨을 알 수 있는데 이는 산화막의 두께와 field plate의 길이에 따라 최적화 할 수 있다⁽⁷⁾.

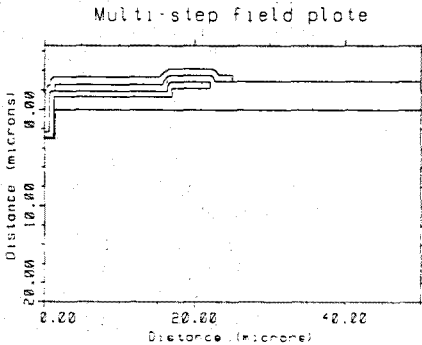


그림 2. 다층 field plate

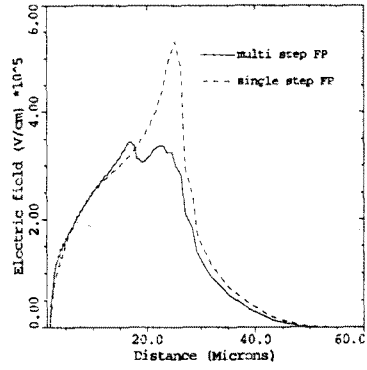


그림 3. 다층구조 field plate에 역전압이 인가된 경우의 표면전계강도

2.3 홈구조 터미네이션

그림 4는 홈구조 ring이 9개로 구성된 터미네이션을 보여준다. 그림에서 보는 구조는 MEDICI에 의한 항복전압 해석을 위하여 각 홈구조 ring의 거리와 홈구조내의 B+이온의 도핑프로파일을 적절히 분포시켜 최적화된 결과이다. n-형의 에피층의 농도는 $3 \times 10^{14} \text{cm}^{-3}$ 이고 총 터미네이션 연장은 $100 \mu\text{m}$ 이며 양극은 그림의 좌측상단에 위치하며 음극은 그림의 하단부에 오며 non-punchthrough 구조이다. 마지막 ring은 field plate로 연장되어 터미네이션의 모서리부분의 전계강도를 완화하도록 되어 있다. 그림 5는 그림 4의 구조를 MEDICI입력으로 하여 역전압을 610V인가하였을 경우의 FLR에 인가되는 전압분포를 계산한 결과이다. 그림 5에서 알 수 있듯이 마지막 ring에 대략 인가전압의 50%가 인가된다. 다층구조의 field plate를 사용하여 마지막 ring의 전압분포를 높인 결과이다.

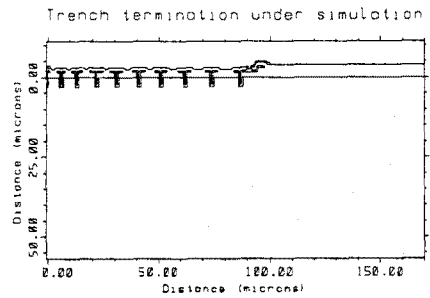


그림 4. 홈구조 터미네이션 구조

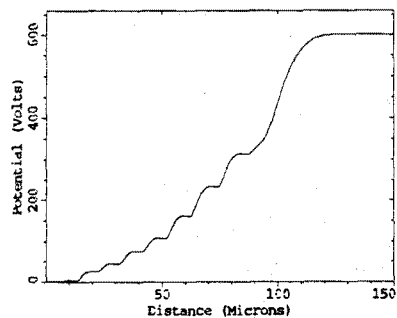


그림 5. 홈구조 터미네이션에 인가되는 전압분포

그림 6은 홈구조 터미네이션을 그림 4의 구조에서 역전압이 610V까지 증가할 때의 누설전류를 계산한 것이다. MEDICI에 의하여 ionization integral을 계산한 결과 multiplication coefficient는 역전압이 610V일 때 ∞ 가 되어 어벌런치 항복이 일어난다는 것을 알 수 있다. 이 전압은 에피층의 도핑농도에서 이상적인 항복전압인 616V에 99%에 이르는 값이다.

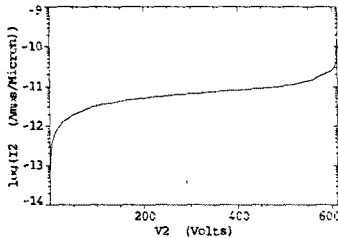


그림 6. 홈구조 터미네이션의 역전압에 따른 누설전류

3. 결 론

새로운 구조의 터미네이션을 소개하였다. 본 터미네이션은 홈구조의 ring과 field plate를 조합하여 구성하였는데 각 홈구조에는 측면 산화막이 있어 홈구조내에 p+ 불순물 확산시 측면확산을 방지하여 ring간의 간격을 줄일 수 있다. 마지막 ring에는 다층구조의 field plate를 연장하여 610V의 항복전압을 얻을 수 있었다. 이는 도핑농도 $3 \times 10^{14} \text{cm}^{-3}$ 의 실리콘의 이상적인 항복전압인 616V의 99%에 해당하는 값이다. 홈구조 터미네이션은 최근 UMOS와 같이 홈구조를 갖는 전력소자가 증가하는 시점에서 UMOS와 동일한 공정을 갖기 때문에 모든 홈구조의 전력소자의 터미네이션 방식으로 적합한 것으로 판단된다.

[참 고 문 헌]

1. K.P. Brieger, W. Gerlach, J. Pelka, "Blocking capability of planar device with field limiting rings", Solid-State Electronics, vol. 26, no. 8, pp. 739-745, 1983
2. Y.C.Kao, E.D. Wolley, "High voltage planar p-n junctions", Proc. IEEE, vol. 55, pp. 1409-1414, 1967
3. S.M. Sze, G. Gibsons, "Effect of junction curvature on breakdown voltage in semiconductor", Solid-State Electronics., vol. 9, pp. 831-845, 1966
4. V.P. O'Neil, P.G. Alonas, "Relation between oxide thickness and breakdown voltage of planar junction with field relief electrode", IEEE Trans. Elect. Dev. vol. 26, pp. 1098-1100, 1976
5. H. Yilmaz, "Optimization and surface charge sensitivity of high blocking structures with shallow junction", IEEE Trans. Elec. Dev. vol. 38, no. 7, pp. 1666-1675, 1991
6. F. Conti, M. Conti, "Surface breakdown in silicon planar diodes equipped with field plate", Solid-State Electronics, vol. 15, pp. 93-105, 1972
7. W. Feiler, E. Falck, W. Gerlach, "Multi step field plate for high voltage planar p-n junction", IEEE Trans. Elec. Dev. vol. 39, no. 6, pp. 1514-1520, 1992