

프리 패턴한 비정질 실리콘 박막의 two-step RTA 효과

이민철, 박기찬, 최권영**, 한민구
서울대학교 전기공학부 석석전자**

THE TWO-STEP RAPID THERMAL ANNEALING EFFECT OF THE PREPATTERNED A-SI FILMS

Min-Cheol. Lee, Kee-Chan. Park, Kwon-Young. Choi**, Min-Koo. Han
School of Electrical Engineering, Seoul Nat'l Univ. Samsung Electronics**

Abstract - Hydrogenated amorphous silicon(a-Si:H) films which were deposited by plasma enhanced chemical deposition(PECVD) have been recrystallized by the two-step rapid thermal annealing(RTA) employing the halogen lamp. The a-Si:H films evolve hydrogen explosively during the high temperature crystallization step. In result, the recrystallized polycrystalline silicon(poly-Si) films have poor surface morphology. In order to avoid the hydrogen evolution, the films have undergone the dehydrogenation step prior to the crystallization step

Before the RTA process, the active area of thin film transistors(TFT's) was patterned. The pre patterning of the a-Si:H active islands may reduce thermal damage to the glass substrate during the recrystallization. The computer generated simulation shows the heat propagation from the a-Si:H islands into the glass substrate. We have fabricated the poly-Si TFT's on the silicon wafers. The maximum ON/OFF current ratio of the device was over 10^6 .

므로 할로젠 램프를 이용한 RTA는 비정질 실리콘 island를 선택적으로 가열하게 된다. 또한, 짧은 RTA 공정 시간동안, 유리 기판의 온도는 왜점(strain point) 아래를 유지해야 한다.

PECVD를 이용하여 비정질 실리콘 박막을 형성하면 박막 내에 다량의 수소가 포함되어 있다(10 at.% ~ 14 at.%). 따라서 이 박막을 급속히 가열하면 박막 내의 수소가 비정질 실리콘 박막의 표면으로부터 빠져 나오면서 재결정화된 다결정 실리콘 박막 표면에 미세한 틈이나 공백(void)이 생기고 결과적으로는 다결정 실리콘 박막의 표면이 심각하게 열화된다. 박막으로부터의 수소의 방출은 ELA 결정화에 관한 연구에서 보고되고 있다[6]. 비정질 실리콘의 탈수소와 결정화를 동시에 수행하기 위해, 본 논문에서는 two-step RTA 방법을 사용하여 실험하였고, 이 방법은 탈수소를 위한 저온(600°C) 열처리와 결정화를 위한 고온(800°C) 열처리로 이루어진다.

1. 서 론

능동 매트릭스 방식 액정 표시장치(AMLCD) 제작 공정은 유리 기판을 이용하기 때문에 다른 반도체 공정과 달리 저온 공정이 필수적이다. 특히, 엑시머 레이저 어닐링(Excimer Laser Annealing, ELA)은 저온 공정인 비정질 실리콘 박막을, 전기적인 특성이 우수한 다결정 실리콘 박막으로 만들어주기 때문에 이에 대한 연구가 활발히 진행 중에 있다. 그러나 ELA 공정은 레이저를 대면적의 기판에 조사할 경우, 조사 에너지가 균일하지 못하고 공정 비용이 많이 든다는 단점이 있다. 또한 PECVD로 비정질 실리콘 박막을 형성한 경우에는 많은 시간이 소요되는 탈수소 공정이 ELA 공정 이전에 필요하다.

RTA(Rapid Thermal Annealing)를 이용하여 비정질 실리콘을 재결정화하는 방법[1,2,3]과 이온주입 혹은 이온사워된 불순물(dopant)의 활성화[4,5]는 현재까지 널리 연구되고 있다. 본 논문에서는 유리 기판의 열적 손상을 줄이기 위한, 새로운 급속 열처리 결정화 방법(RTA crystallization method)을 제안한다. 이 방법은 RTA 이전에 비정질 실리콘을 패턴닝하는 것이다. $0.52\mu\text{m} - 0.77\mu\text{m}$ 의 파장 영역에서, 비정질 실리콘의 광학적 흡수 계수는 $10^2\text{cm}^{-1} - 10^5\text{cm}^{-1}$ 이고 Corning 1737의 광학적 흡수 계수는 22cm^{-1} 이다. 광학적 흡수 계수의 측면에서, 유리 기판과 비정질 실리콘 박막은 현저한 차이가 있다.

2. 본 론

2.1 실험

2.1.1 RTA 결정화

PECVD를 이용하여 $1\mu\text{m}$ 의 TEOS 산화막과 800\AA 의 비정질 실리콘 박막을 순차적으로 Corning 1737에 증착하고 같은 공정을 실리콘 웨이퍼에도 하였다. 그리고 RTA를 하기 전에, 비정질 실리콘을 건식 식각하여 TFT의 active island와 같은 패턴을 형성한다. RTA 공정에서, 할로젠 램프의 빛은 프리패턴된 비정질 실리콘 island에 흡수되고 비정질 실리콘 박막은 결정화되어 다결정 실리콘 박막이 된다. 이때 할로젠 램프의 빛을 투과시키는 Corning 1737 유리 기판의 온도는 비정질 실리콘 박막의 온도만큼 올라가지는 않는다. 이는 비정질 실리콘 박막의 광학적 흡수 계수가 유리에 비해 월등히 크기 때문이다.

탈수소와 재결정화를 동시에 수행하는 two-step RTA는 질소 가스 환경에서 실행된다. 첫 번째 과정인 탈수소 과정은 600°C 의 온도에서 30초 동안 수행되고 두 번째 과정인 재결정화 과정은 800°C 의 온도에서 1초 동안 수행된다. RTA 장비의 열원은 할로젠 램프($\lambda = 0.2\mu\text{m} \sim 1.6\mu\text{m}$)이다. RTA 공정의 온도와 시간의 프로파일은 Fig.1과 같다.

RTA 공정 후에는 화강암 판 위에서 100cm²크기의 유리 기판의 변형을 조사하였다. 이 방법은 유리 기판의 제조 과정에서 일반적으로 사용되는 방법이다. 실리콘 웨이퍼에 결정화된 다결정 실리콘은 전자투과현미경(TEM)의 plane-view를 통해 조사하였다. 그리고 RTA 공정 중에 생기는, 비정질 실리콘 island로부터 유리기판으로의 열 전달을 컴퓨터 시뮬레이션을 통해 조사하였다.

2.1.2 다결정 실리콘 TFT 제작

실리콘 웨이퍼 위에 PECVD를 이용하여 1μm의 TEOS 산화막과 600Å의 비정질 실리콘을 각각 350°C, 250°C의 온도에서 순차적으로 증착하였다. TFT의 채널 층인 active island는 비정질 실리콘 박막을 건식 식각하여 패턴한 후, Fig.1의 조건에 따라 two-step RTA를 수행한다. 다음으로 TEOS 게이트 산화막과 몰리브덴 게이트를 스퍼터링으로 증착하였다. 이 두 박막은 1회의 사진 공정을 거쳐 패턴하였다. TFT의 소스/드레인 영역은 B₂H₆ 가스를 이용한 이온 샤워 도핑을 하였다. 불순물은 RTA에 의해 700°C 온도에서 5초동안 활성화되었다. TEOS 산화막으로 보호막을 형성하고 Al contact을 한 다음, 마지막으로 300°C에서 2시간동안 수소화하였다. 수소화 공정의 수소 플라즈마 압력은 700mTorr이며 수소 가스의 유속은 100sccm이다. 이와 같이 제작된 TFT의 단면 구조는 Fig.2와 같다.

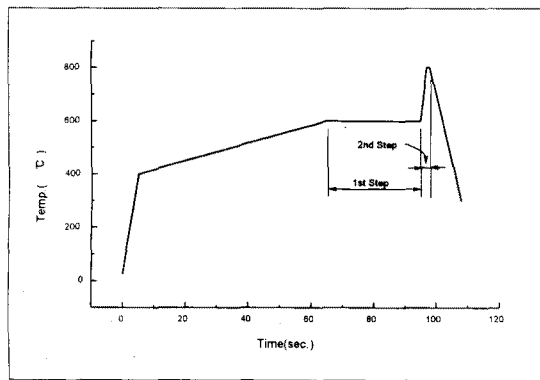


Fig.1 two-step RTA 공정의 온도와 시간의 프로파일

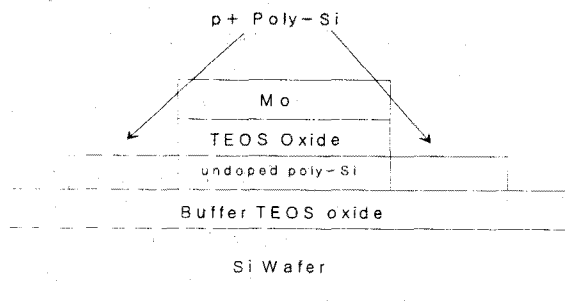


Fig.2 제작된 다결정 실리콘 트랜지스터의 단면

2.1.3 시뮬레이션

RTA 결정화 공정에서, 실리콘 island로부터 유리 기판으로의 열전도는 유리 기판을 변형시킬 수 있다. 유리 기판의 온도 분포를 조사하기 위해 다음과 같은 열전도 방정식에 기초하여 시뮬레이션을 하였다.

$$\rho \cdot c \cdot \frac{\partial T(x, y, z, t)}{\partial t} - \nabla \cdot (\kappa \cdot \nabla T(x, y, z, t)) = HT(x, y, z, t)$$

T는 유리 기판의 온도이며 시간과 x, y, z 좌표의 함수이다. ρ는 밀도이고 c는 열 용량, κ는 유리 기판의 열전도도이며 H는 내부 열원이다. 시뮬레이션은 Fig.3의 모델에 기초하여 3차원 열전도를 알아보았다. 유리 기판의 초기 온도는 600°C이며 유리 기판의 온도 분포는 Fig.3(a)과 같다. 시뮬레이션에 사용된 변수는 Table 1과 같다.

Table 1 시뮬레이션의 물리적 변수

밀도 ρ	열 용량 c	열전도도 κ
2.54g/cm ²	1.22J/g°C	0.0126W/cm°C

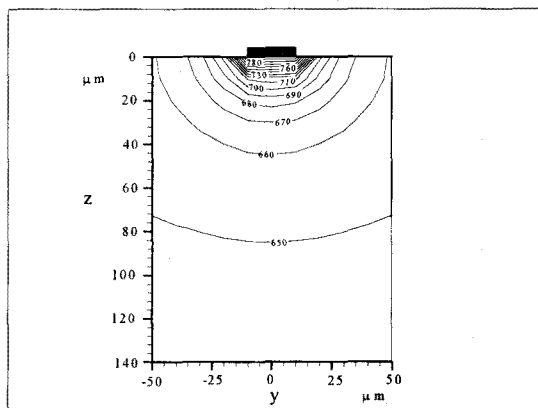


Fig 3 (a) 1초동안의 RTA결정화 후의 열분포 (그림(b)의 점선으로 둘러싸인 평면에서의 분포)

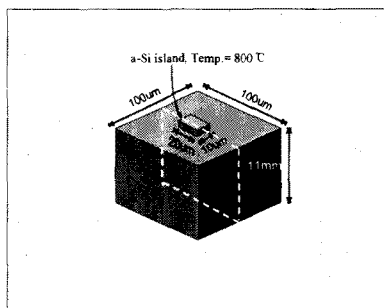


Fig.3 (b) 열전도의 3D 시뮬레이션 모델.

Fig.3 (a)는 유리 기판의 표면으로부터 $24\mu\text{m}$ 이하 부분의 온도는 유리 기판의 왜점(strain point, 667°C) 아래에 있음을 보여준다. 만약 유리 기판 위에 $10\mu\text{m}$ 두께의 산화막으로 덮여있다면 Corning 1737의 서냉점(annealing point, 721°C) 이상으로 가열된 면적은 실제 제작되는 소자의 면적 정도가 될 것이다.

2.2 실험결과

RTA 공정 후, 유리기판의 변형은 화강암 판 위에서 측정되었으며 공정온도 667°C 이하에서는 측정 가능한 변형이 발견되지 않았다. Fig.4는 two-step RTA와 엑시머 레이저 어닐링을 각각 거친 다결정 실리콘 박막의 TEM plane-view이다. ELA 조건은 레이저 에너지 밀도가 $280\text{mJ}/\text{cm}^2$ 이며 파장 $\lambda = 308\text{nm}$ 이다. RTA 공정을 거친 박막(이하 RTA박막)은 다결정 실리콘 그레인과 비정질 상의 영역(Fig.4에서 중간정도의 명암을 보이는 부분)으로 구성되어 있다. 대조적으로 ELA를 거친 박막(이하 ELA박막)은 완전히 결정화되었다. 각 박막의 그레인 최대 크기는 비슷하지만 RTA박막의 그레인의 평균 크기는 ELA박막의 그레인 평균의 $1/2$ 정도이다. RTA 박막의 결함 밀도가 ELA박막보다 더 높음도 있다.

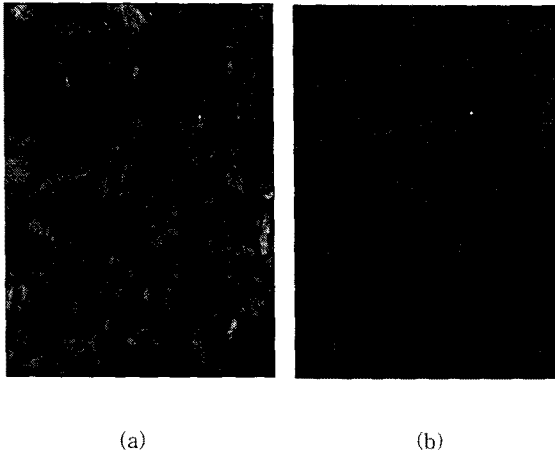


Fig.4 TEM plane-view (a) RTA박막, (b)ELA박막
(그림의 화살표의 길이는 $0.5\mu\text{m}$)

또한, RTA박막은 결함 밀도가 ELA박막보다 높지만 Fig.5에 나타난 것처럼 회절상에서는 링모양의 배열이 나타나지 않는다. 또한 질서 있게 위치한 회절된 전자들의 배열은 박막의 결함이 심각하지 않음을 보여주고 박막이 거의 결정질과 같다는 것을 보여준다. 그러나 Fig.5(b)의 비정질 영역의 회절 상에서는 회절된 전자들이 하나의 링을 형성하고 있다. 이는 비정질 영역과 결정질 영역이 박막 내에 함께 존재함을 의미한다. Fig.6은 프리패턴한 비정질 실리콘을 two-step RTA하는 방법을 이용하여 제작한 다결정 실리콘 박막 트랜지스터의 전류-전압곡선을 보여준다. RTA를 이용한 TFT(이하 RTA TFT)의 특성이 레이저 어닐링을 이용

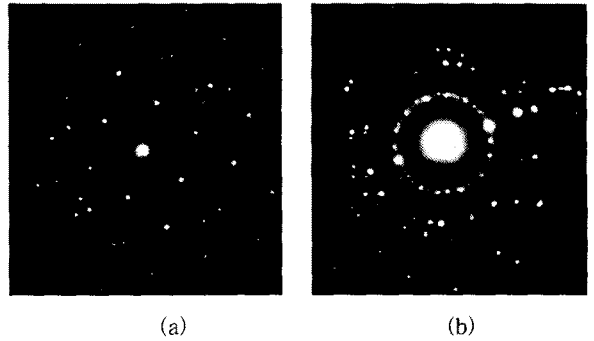


Fig.5 TEM 회절상 (a) RTA 재결정화된 다결정 실리콘 그레인, (b) 비정질 상 영역.

하여 제작된 TFT(이하 ELA TFT)와 비교해 볼 때, 비교적 좋은 특성을 보여주고 있다. RTA TFT의 온 전류는 ELA TFT보다 1 order정도 낮지만 오프 전류는 비슷한 특성을 보인다. RTA TFT의 최대 온-오프전류비는 10^5 이상이다.

특이한 사실은 RTA 박막이 ELA 박막에 비해 결함밀도가 컸음에도 불구하고 두 TFT의 오프 전류는 비슷하다는 점이다. Y.Masaki와 J.L.Batstone은 700°C 공정온도에서 다결정 실리콘의 그레인 성장률이 $13\text{A}/\text{sec}$ 라고 보고하고 있다.[8,9] 따라서 700°C , 5초의 조건에서 RTA를 하면 다결정 실리콘 그레인 사이에 비정질 영역이 남게 된다. 저항성이 큰 비정질 영역이 누설전류를 억제하는 데 큰 역할을 하는 것으로 생각되는데 이는 소스와 드레인 사이에 걸리는 대부분의 전압이 비정질 영역에 걸리게 되고 이에 따라 결함이 많은 그레인에서 발생하는, 강한 전계에 의한 전자-홀 생성이 억제되기 때문이다. 따라서 결함이 많음에도 불구하고 누설전류는 비교적 작다. 잔류한 비정질 영역과 높은 결함밀도로 인해 RTA TFT는 ELA TFT에 비해 온 전류가 1 order정도 낮게 측정된다. 그러나 비정질 실리콘 TFT의 온 전류가 ELA TFT의 온 전류에 비해 2 order정도 낮은 것을 고려하면 RTA TFT는 AMLCD에 사용할 수 있는 소자라고 할 수 있다.

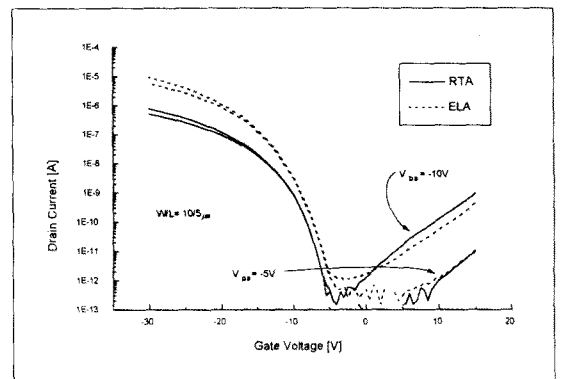


Fig.6 RTA TFT와 ELA TFT의 전류-전압 곡선

3. 결 론

프리패턴된 비정질 실리콘의 two-step RTA를 통해 PECVD 비정질 실리콘 박막은 성공적으로 결정화되었다. 유리 기판의 열적 손상을 줄이기 위해, RTA 결정화 이전에, 비정질 실리콘 박막을 패터닝한다. 3차원 시뮬레이션을 통해 프리패턴된 비정질 실리콘 박막은 효과적으로 thermal budget을 줄였음을 알 수 있다. 비정질 실리콘 박막은 첫 번째 RTA과정인 탈수소 과정을 통해 박막으로부터의 수소의 방출 없이 성공적으로 결정화되었음을 TEM 영상을 통해 확인 할 수 있었다. 프리패턴 비정질 실리콘 island와 two-step RTA 결정화를 이용하여 제작된 다결정 실리콘 TFT은 높은 온 전류와 낮은 오프전류 특성을 보여준다. 제작된 TFT의 온-오프 전류비의 최대 값은 10^5 이상이었다.

[참고문헌]

- [1] L.Haji, P.Joubert, J.Stoemenos and N.A.Economou, J.Appl.Phys. 75(8), pp.3944, 1994
- [2] R.Kadkad, J.Smith, W.S.Lau and S.J.Fonash, J.Appl.Phys., vol.65, pp.2069, 1989
- [3] Yue Kuo and P.M.Kozolowski, Appl.Phys.Lett.69(8), pp.1092, 1996
- [4] Y.Moromoto, K.Hirano, H.Abe, T.Kuwahara, I.Hasegawa, S.Yuda, N.Sotani and K.Yoneda, Technical Digest of IEDM'95, pp837-840, 1995
- [5] Kiyoshi Yoneda, Conf.Rec.of the International Display Research Conference, M-40, 1997
- [6] K.Y.Choi, J.W.Lee, H.B. Choi, J.H.Jeon, M.K.Han and Y.S.Kim, MRS Proc.Vol.467.1997.p439
- [7] Arun Madan, Melvin P. Shaw, "The physics and application of Amorphous Semiconductors", Academic Press, Inc.1998
- [8] Y.Masaki, P.G.Lecomber and A.G.Fitzgerald, J.Appl.Phys.,74(1), pp.129, July1993
- [9] J.L.Batstone, Philosophical Magazine A, Vol.67, No.1, pp.51,1993