

### PMD-1 층의 물질변화에 따른 소자의 전기적 특성

서용진\*, 김상용, 유석빈, 김태형\*, 김창일, 장의구  
\*대불대학교 전기전자공학부, \*여주대학교 전기과, 중앙대학교 전기공학과

#### Electrical Characteristics of Devices with Material Variations of PMD-1 Layers

Yong-Jin Seo\*, Sang-Yong Kim, Seok-Bin Yu, Tae-Hyung Kim, Chang-Il Kim, Eui-Goo Chang  
\*Daebul University, \*Yeooju University, Chungang University

**Abstract** - It is very important to select superior inter-layer PMD(Pre Metal Dielectric) materials which can act as penetration barrier to various impurities created by CMP processes. In this paper, hot carrier degradation and device characteristics were studied with material variation of PMD-1 layers, which were split by LP-TEOS, SR-Oxide, PE-Oxynitride, PE-Nitride, PE-TEOS films. It was observed that the oxynitride and nitride using plasma was greatly decreased in hot carrier effect in comparison with silicon oxide. Consequently, silicon oxide turned out to be a better PMD-1 material than PE-oxynitride and PE-nitride. Also, LP-TEOS film was the best PMD-1 material Among the silicon oxides..

나서 후속공정으로 BPSG층을 2,500 Å, PE-TEOS막을 9,500Å 증착시킨 뒤 CMP공정으로 8,000Å을 Polishing하였다. 한편, BPSG 유무에 의한 소자특성을 비교하기 위하여 BPSG를 형성시키지 않는 시료의 경우는 PE-TEOS막을 12,000 Å 형성시킨 후, 바로 8,000 Å을 CMP공정으로 처리하였다. nMOSFET의 핫 캐리어 스트레스에 의한 열화특성을 조사하기 위해 PCT(Pressure Cooker Test : 121°C, 100% Humidity, 72시간)분석을 사용하였고, 열악한 환경을 만들기 위해 드레인에 7.0[V], 게이트에 3.5[V]를 일정하게 인가하고, 기판과 소오스는 접지시킨 후, 스트레스 시간을 100[sec], 500[sec], 1000[sec], 2000[sec] 동안 가한 뒤 각각에 대한 Gmax와 VT를 측정하여 ΔGm과 ΔVT를 구하였다.

### 1. 서 론

반도체 소자의 고집적 및 고속화에 따라 배선패턴이 미세화되고 다층(Multi-Level)의 금속 배선공정이 요구됨에 따라 배선 층간의 단차가 심화되어 후속공정을 위한 PMD(Pre Metal Dielectric)층의 광역 평탄화를 위하여 CMP(Chemical Mechanical Polishing)공정이 도입되었다[1]. 그러나, CMP 공정으로 인해 초래되는 Mobile 이온(K<sup>+</sup>, Na<sup>-</sup> 등)과 수분의 침투가 소자 특성을 열화(유전상수의 증가, 핫 캐리어 증가, 필드반전 등)시키므로[2] 이를 방지하기 위하여 PMD 층의 종류 및 구조, 물질들의 두께를 적절히 선택하는 것이 중요하게 되었다. 따라서 본 논문에서는 CMP 공정으로 인해 야기되는 다량의 불순물에 대한 침투장벽으로서 보다 우수한 PMD-1층의 물질을 선택하기 위해 LP(Low Pressure)-TEOS, SR(Si Rich)-Oxide, PE(Plasma Enhanced)-Oxynitride, PE-Nitride, PE-TEOS 등으로 공정을 스플릿하여 소자의 전기적 특성을 고찰하였다. 이들 PMD-1 층의 물질종류에 따른 트랜지스터의 특성 변화는 PCT(Pressure Cooker Test) 전후로 나누어 테스트를 실시하여 nMOS 트랜지스터의 문턱전압 변화(ΔVT)와 트랜스컨덕턴스 변화(ΔGm), 스트레스에 의한 핫 캐리어 효과 등을 조사해 보았고, 부가적으로 필드영역의 접합 누설전류 및 브레이크다운 전압 등을 비교분석하여 트랜지스터의 열화에 가장 효과적인 물질을 알아보고자 한다.

### 2. 본 론

#### 2.1 실험방법

그림1은 본 논문에서 고찰한 소자의 단면을 개략적으로 나타낸 것이고, 표1은 PMD-1 물질의 스플릿 조건을 개략적으로 나타낸 것이다. 트랜지스터 형성 공정이 끝난 Si 웨이퍼 위에 LP-TEOS, PE-TEOS, SR-oxide, PE-oxynitride, PE-nitride막을 각각 1,000 Å 증착시키고

### 2.2 실험결과 및 고찰.

#### 2.2.1 핫 캐리어 스트레스 비교

PMD-1 물질에 대한 스플릿 조건별 소자특성 데이터로는 뚜렷한 차이점을 발견하기가 어렵기 때문에 열악한 스트레스 조건하에서의 nMOS 트랜지스터의 핫 캐리어 특성을 비교하기 위하여 PCT 분석을 실시하였다. 핫 캐리어 시험에 있어서 일정한 드레인전압 VD에서 게이트 전압 VG가 변화함에 따라 게이트 산화막으로 주입되는 다수 캐리어가 변화하므로, 본 논문에서는 W/L=50/0.6µm의 nMOS 트랜지스터에 대해 VG=VD/2인 조건의 스트레스를 가하여 [3] 시간 변화별 Gmax 값의 변화와 VT의 변동을 측정하였으며 그 결과는 그림 2와 같이 나타났다. PMD-1 물질변화에 따라 ΔGm의 변화값이 가장 크게 변화한 물질은 PE-oxynitride 막과 PE-nitride 막으로 밝혀졌으며 SR-oxide, no-BPSG, PE-TEOS, LP-TEOS 순으로 나타났다. ΔVT도 마찬가지로 PE-oxynitride, PE-nitride, no-BPSG, SR-oxide, PE-TEOS, LP-TEOS 순으로 나타나 PCT 후의 핫 캐리어 시험에서 소자가 가장 잘 열화되는 PMD-1 물질로는 PE-oxynitride 막과 PE-nitride 막이며, 가장 좋은 물질로는 열산화막인 LP-TEOS 막임을 알 수가 있다. 이는 PE-oxynitride 막과 PE-nitride 막은 다른 산화막에 비해 하부층과 막과 계면사이에 수소 함유량이 많고, 박막 자체에도 수소 함유량이 많아 PCT 조건 후에 수소가 게이트로 더 많이 확산되어 들어감으로써 일반 산화막 보다 핫 캐리어 스트레스 하에서의 열화율이 더 빠른 것으로 사료된다. 따라서 PMD-1 물질로는 수소 함유량이 가장 많은 PE-oxynitride 막과 PE-nitride 막은 적합치 않음을 알 수 있다.

#### 2.2.2 필드 트랜지스터의 특성 비교

필드 트랜지스터에서의 접합 누설 전류의 측정 조건은 기판과 소오스, 그리고 게이트 전압을 접지시키고 드레인 전압 VD를 변화시키면서 VD=5V에서의 드레인 전류 값을 접합 누설전류로 정의하였다. 필드 트랜지스터에서의 접합 누설전류는 필드 가장자리에서의 효과[4]를 보

기 위하여 소자면적이 다소 큰  $W/L=100/0.65\mu\text{m}$ 인 트랜지스터를 사용하였으며 이들 측정치의 비교를 그림 3에 나타내었다. PE-nitride 물질에서 가장 큰 누설전류를 나타내었으며, PE-oxynitride 막과 BPSG 막이 없는 경우에 다소 높은 누설전류값을 보이고 있음을 알 수 있다. 가장 작은 누설전류를 보이고 있는 물질은 역시 LP-TEOS 막으로 나타났다.

그림 4는 PMD-1 물질변화에 따른 nMOS 트랜지스터 ( $W/L=100/0.55\mu\text{m}$ )의 필드 문턱전압 변화를 보인 것이다. 필드 트랜지스터의  $V_T$ 는 드레인 전압을  $V_D=5(V)$ 로 일정하게 걸어준 상태에서 게이트전압  $V_G$ 를 변화시켜 주면서 드레인 전류가 1(nA) 일 때의 게이트 전압을  $V_T$ 로 정의하였다. 그림 4와 같이 PMD-1 물질종류에 따라 필드 문턱전압이 변하며, 이는 외부 불순물보다는 오히려 PMD-1 물질변화에 따라 일반 트랜지스터에서와 같이 필드 산화막 및 폴리실리콘 게이트를 둘러싸고 있는 박막 특성에 의해 트랜지스터의 열화 현상이 발생한 것으로 생각된다. 측정 결과에 의하면 필드 문턱전압에 가장 좋지 않은 물질은 PE-nitride 막이며, PE-oxynitride가 다음으로 좋지 않은 결과를 보였다. 역시 가장 좋은 결과를 보이는 것은 LP-TEOS 막인 것으로 나타났다.

그림 5는 소자면적이  $100/0.65\mu\text{m}$ 인 필드 트랜지스터의 PMD 1 물질변화에 따른 게이트 산화막의 누설전류를 나타낸 것으로 PE-nitride, no BPSG, PE-oxynitride 순으로 좋지 않은 결과를 나타내었다. PMD-1 물질로 PE-nitride나 PE-oxynitride 막을 사용할 경우 다량의 수소가 필드 가장자리 근처로 침투해 들어가(5)  $G_{ox}$  누설 전류가 높게 나타난 것으로 생각된다. 필드 트랜지스터의 경우는 필드 가장자리에서 곡률이 발생하기 때문에 스트레스가 크고(4), 전기장이 세게 걸리게 되어 평탄 트랜지스터의 게이트 산화막보다 더 열악한 구조를 갖기 때문에 외부 불순물 침투효과에 대해 이들 효과가 현저하게 나타난 것으로 생각된다.

그림 6은 PMD-1 물질종류에 따른  $100/0.65\mu\text{m}$ 인 필드 트랜지스터의 편치스루 전압과 게이트 산화막의 브레이크다운 전압을 비교한 것이다. 게이트 산화막의 누설전류 특성에서는 PMD-1 박막의 종류별 차이가 분명하였으나 브레이크다운 특성에서는 뚜렷한 차이를 보이지 않았다.

### 3. 결 론

PMD-1 물질을 LP-TEOS, PE-TEOS, SR-oxide, PE-oxynitride, PE-nitride 막으로 스플릿하여 이들에 대해 PCT 분석 후의 nMOS 트랜지스터( $W/L = 50/0.5\mu\text{m}$ )에 대한 핫 캐리어 스트레스 테스트 결과 및 필드 트랜지스터( $W/L = 100/0.65$ )의 소자특성을 비교한 결과는 다음과 같다.

- 1) 플라즈마를 이용한 oxynitride 막과 nitride 막은 실리콘 산화막에 비해 핫 캐리어 특성이 현저하게 떨어지는 것으로 나타났으며, 실리콘 산화막 중에서는 LP-TEOS 막이 플라즈마를 이용한 실리콘 산화막(SR-oxide, PE-TEOS) 보다 좋은 결과를 얻었다.
- 2) 필드 트랜지스터에서  $V_T$ 와 접합 누설전류, 그리고 필드 게이트 산화막의 누설전류는 PE-nitride 막이 가장 좋지 않은 결과를 보였고, PE-oxynitride 막도 실리콘 산화막에 비해 좋지 않은 결과를 나타내었다.
- 3) 이상의 결과로 보아 PMD1 물질은 실리콘 산화막이 가장 좋으며, 실리콘 산화막 중에서도 LP-TEOS 막을 사용하는 것이 좋고, 중간 물질로 BPSG를 적용하는 것이 더 바람직함을 알 수 있었다.

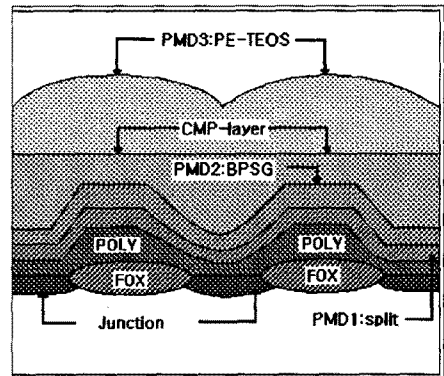
### (참 고 문 헌)

- [1] Douglas Webb, Siva Sivaram, David Stark,

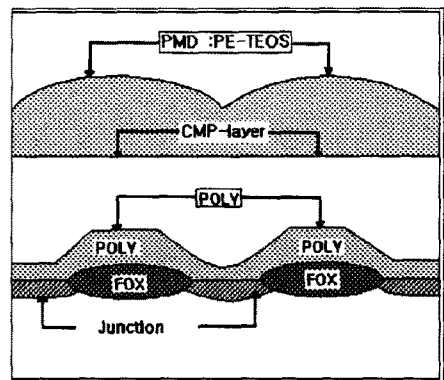
- Hubert Bath, Joseph Draina, Robert Leggett, and Robert Tolles, "Complete InterMetal Planarization Using ECR Oxide and Chemical Mechanical Polish," Proc. VMIC, p. 141, 1992.
- [2] M. Galiano, E. Yieh, S. Robles and B. C. Nguyen, "Stress-Temperature Behavior of Oxide Films Used for InterMetal Dielectric Applications," Proc. VMIC, p. 100, 1992.
- [3] Brain Doyle et al., "Interface State Creation and Charge Trapping in the Medium-to-High Gate Voltage Range ( $V_a/2 > V_g > V_a$ ) During Hot Carrier Stressing of nMOS Transistors," IEEE Transaction on Electron Devices, ED-37, p. 744, 1990.
- [4] Paul Ferreira, Vincent Senez, Bruno Baccus, Jacques Varon and Jacques Lebailly, "Finite Element Optimization of a MOSFET Structure :- The Role of Inter-Layer Material for Residual Stress Reduction," IEDM-95, pp. 503-506, 1995.
- [5] Vivek Jain, Dipankar Pramanik, Subhash R. Nariani and Chenming Hu, "Internal Passivation for Suppression of Device Instabilities Induced by Backend Processes," IRPS, p. 11, 1992.

표 1. PMD 1 물질의 스플릿 조건

PMD1	Split 1	Split 2	Split 3	Split 4	Split 5	Split 6
물질	LP-TEOS	SR-OX	PE-TEOS	OXYNIT	PE-NIT	PE-TEOS
두께	1,000 Å	1,000 Å	1,000 Å	1,000 Å	1,000 Å	12,000 Å
BPSG	2,500	2,500	2,500	2,500	2,500	-
PE-TEOS	9,500	9,500	9,500	9,500	9,500	-
CMP	8,000	8,000	8,000	8,000	8,000	8,000

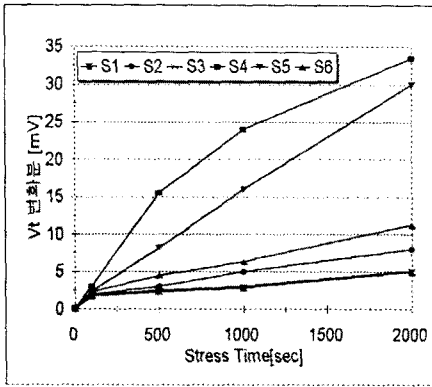


(a) BPSG가 있는 구조

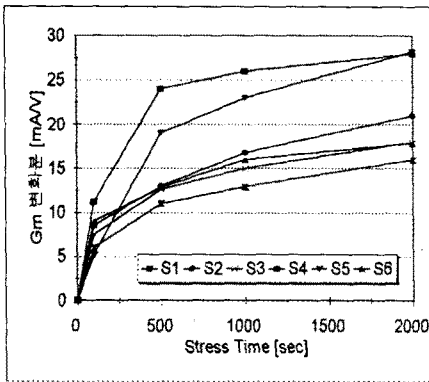


(b) BPSG가 없는 구조

그림 1. PMD 구조의 개략적인 단면도



(a)  $\Delta V_T$



(b)  $\Delta G_m$

그림 2. 스트레스 시간변화에 따른 문턱전압 및 트랜스컨덕턴스의 변화. (a)  $\Delta V_T$  (b)  $\Delta G_m$

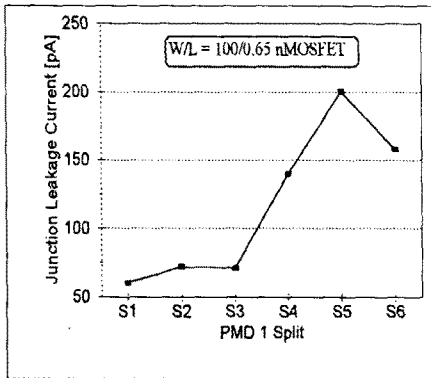


그림 3. PMD-1 물질변화에 따른 접합 누설전류.

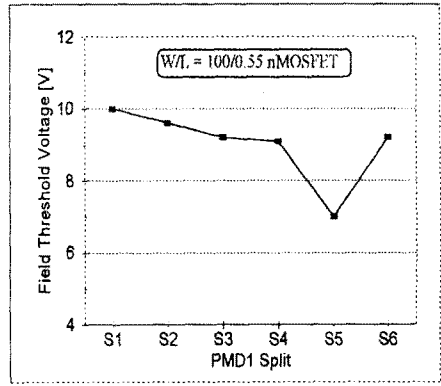


그림 4. PMD-1 물질변화에 따른 필드 문턱전압.

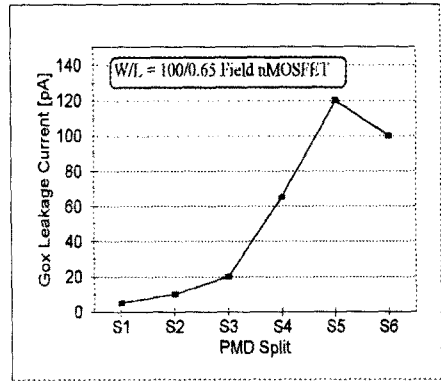


그림 5. PMD-1 물질변화에 따른 게이트 산화막의 누설전류.

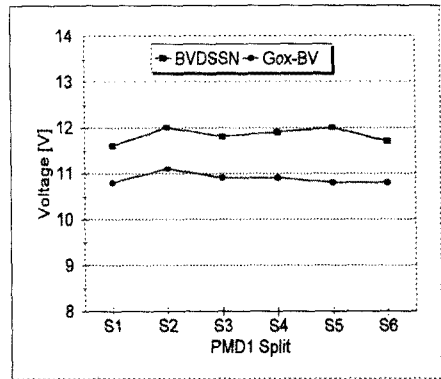


그림 6. PMD-1 물질변화에 따른 펀치스루 전압과 게이트 산화막의 브레이크다운 전압비교.