

전계 효과 트랜지스터로 제어하는 전계 방출 소자의
시뮬레이션에 의한 특성 평가

김진호¹, 김태현¹, 윤상한¹, 김용상¹, 박진석²
¹명지대학교 전기공학과, ²한양대학교 전기공학과

Characteristics of MOSFET-Structured Silicon Field Emitter
by Computer Simulation

Jin-Ho Kim¹, Tae-Hyun Kil¹, Sang-Han Yun¹, Yong-Sang Kim¹, Jin-Seok Park²
¹Myongji University, ²Hanyang University

Abstract - We have investigated the electrical characteristics of a MOSFET-structured silicon field emitter by employing Maxwell 2D and Silvaco simulators. The potential distribution is obtained by Maxwell 2D simulator and the field emission current is calculated by Fowler-Nordheim equations. The characteristics of MOSFET is simulated by Silvaco simulator. Simulated results are almost identical to the experimental results. Also, we have studied the emission characteristics as functions of several geometric parameters.

1. 서 론

전계 방출 소자는 구조가 간단하고 전력 소모가 낮고 시야각이 큰 등의 장점을 가지고 있어 평판 표시 소자로 많은 연구가 되고 있다. 그러나 실제 응용에 있어 방출 전류의 안정성과 균일성 그리고 제어하기가 좋지 않은 문제점이 있어 이를 해결 할 방안이 연구되고 있다.[1] 이 문제의 간단한 해결 방안으로 캐소드층 아래 저항층을 만들어 주는 방법이 보고되었지만 완전한 해결방안이 될 수 없었다. 그래서 고정된 전류를 제공하는 전계 효과 트랜지스터를 전계 방출 소자와 연결한 구조가 새롭게 제시되고 있다.[2],[3] 이 구조는 전계 효과 트랜지스터의 드레인 부분에 전계 방출 소자의 에미터를 제작한 구조로 방출 전류 메카니즘은 실리콘 에미터와 기판 부분의 n-p 접합 공핍층에서 제공하는 전자와 게이트 전극의 아래 부분에 생성되는 반전층,으로부터 공급되는 전자들이 방출된다.[4] 그 중 n-p 접합의 공핍층으로부터 제공되는 전자는 매우 작으므로 전계 효과 트랜지스터의 채널전류로 방출전류를 제어 할 수 있으며 또한 방출전류의 안정성과 균일성을 향상시킬 수 있다.

본 연구에서는 전계 효과 트랜지스터로 제어하는 전계 방출 소자를 평가하기 위해서 Maxwell 2D, Silvaco 소프트웨어를 이용한 간편한 모델링 방법을 제시하였다.

그리고 본 연구의 시뮬레이션 결과와 실제 소자의 결과 [3]가 거의 일치함을 볼 수 있었다. 또한 게이트 홀 크기, 에미터의 곡률 반경, 에미터의 높이, 전계 효과 트랜지스터의 게이트 길이 그리고 게이트 절연층의 두께의 변화에 따른 전류-전압 특성의 경향을 고찰하였다.

2. 본 론

2.1. 모델링 방법

본 연구에서 전계 방출 소자의 전류-전압을 구하기 위해 Maxwell 소프트웨어를 사용하였다. 전계 방출 소자의 모델을 정의하고 모델의 전계 분포를 구하여 에미터 끝에 걸리는 전계값 (E_{tip})을 구했다. 식 (1)에 의해 전계 증배 계수 (field enhanced factor, β, γ)를 구할 수 있는데, $\gamma V_g \ll \beta V_g$ 이므로 β 만을 고려하였다.[5] 그리고 방

$$E_{tip} = \beta V_g + \gamma V_o \quad (1)$$

출 면적(emitting area, α_{tip})을 구하기 위해 에미터 끝의 구면에서만 방출되며 구면 전체에서 방출된다는 가정으로 식 (2)으로 구하였다.[6] 여기에서 γ 은 에미터의 곡률 반경이고, θ 은 그림 1에 나타났다. 이렇게 구해진 전계

$$\alpha_{tip} = 2\pi \left[1 - \cos\left(\frac{\pi}{2} - \theta\right) \right] r_{tip}^2 \quad (2)$$

증배 계수와 방출 면적으로 Fowler-Nordheim 방정식을 통해 전류-전압 관계를 계산하였다. 그림 2는 모델의 등전위면을 보여주는 Maxwell 소프트웨어의 모습이다. 전계 효과 트랜지스터의 전류-전압을 구하기 위해 Silvaco 소프트웨어를 사용하였다. 전계 효과 트랜지스터의 드레인 전압을 정의하기 위해 식 (3)을 이용하였고

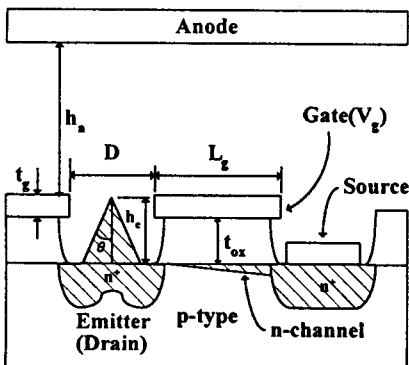


그림 1. 전계 효과 트랜지스터로 제어하는 전계 방출 소자 모델

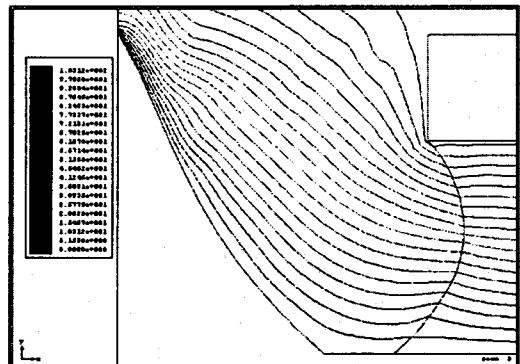


그림 2. 모델의 등전위선을 나타내는 Maxwell 소프트웨어의 모습

이 식에서 Φ 는 일함수이고 Φ_{eff} 는 유효 일함수이다. 예미

$$\Phi_{eff} = \Phi - e\sqrt{\frac{eE}{4\pi\epsilon_0}} \quad (3)$$

터에 가해진 전계에 의해 감소하는 일함수값으로 드레인 전압을 정의하였다. 전계 효과 트랜지스터의 모델을 정의하고 드레인 전압과 게이트 전압을 인가하여 게이트 아래에 생성된 반전층의 채널 전류를 얻었다. Maxwell 소프트웨어와 Silvaco 소프트웨어로 구한 전계 방출 소자의 전류-전압 특성과 전계 효과 트랜지스터의 전류-전압 특성을 종합하여 전계 효과 트랜지스터로 제어하는 전계 방출 소자의 전류-전압 특성을 구하였다. 이런 방법으로 에미터의 곡률 반경은 5 nm, 에미터의 높이는 0.9 μm , 게이트 홀 지름은 1.8 μm , 게이트 절연층의 두께는 0.6 μm , 그리고 전계 효과 트랜지스터의 게이트 길이가 500 μm 인 모델의 시뮬레이션 결과와 실제 소자의 전류-전압 특성[3]을 그림 3(a)과 3(b)에 나타냈다. 여기서 시뮬레이션 결과와 실제소자의 결과가 거의 일치함을 알 수 있으며, 게이트 전압이 78[V] 이상부터는 더 이상 Fowler-Nordheim 이론을 따르지 않고 전계 효과 트랜지스터의 드레인 전류에 의해 제어되는 전류 특성을 얻었다. 본 연구에서 사용한 각각의 모델링 parameter들을 표 1에 요약한 바 각 parameter들의 기호는 그림 1에 나타내었다.

표 1. 전계 효과 트랜지스터가 있는 전계 방출 소자의 여러 가지 parameter들

게이트의 두께 (t_g)	0.3 μm
어노드와 캐소드의 거리 (h_a)	25 μm
에미터의 곡률 반경 (r)	6.5, 10, 20 nm
게이트 홀의 지름 (D)	1.8, 2.4, 3.0 μm
에미터의 높이 (h_e)	0.6, 0.9, 1.2 μm
게이트 절연층의 두께 (t_{ox})	0.3, 0.6, 0.9 μm
전계 효과 트랜지스터의 게이트 길이 (L_g)	50, 75, 100 μm

변화시키며 각각의 전류-전압 특성을 구하였다. 그림 4는 에미터 곡률 반경에 따른 전계 효과 트랜지스터에 의해 제어되기 시작하는 전류와 전압을 나타냈다. 여기에서 에미터의 곡률 반경이 증가함에 따라 포화되기 시작하는 전류 및 전압이 증가함을 알 수 있다. 이는 에미터의 곡률 반경이 작아짐에 따라 전계 증배 계수는 증가하며 전류가 포화되는 게이트 전압이 감소한다. 또한 낮은 게이트 전압에서 전계 효과 트랜지스터의 전류가 작으므로 포화 전류량도 감소하게 된다. 따라서 곡률 반경이 작을수록 방출 전류의 양은 증가하지만 포화되는 전류량의 감소로 인하여 높은 방출 전류를 얻기가 힘들게 된다.

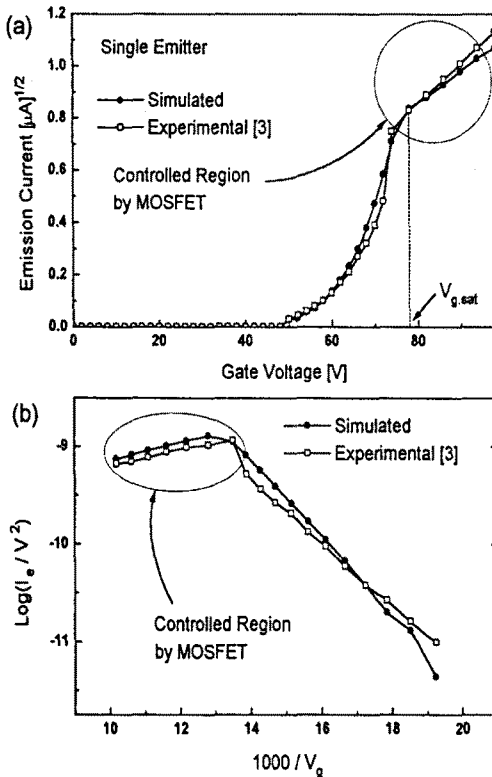


그림 3. 전계 효과 트랜지스터 구조의 전계 방출 소자의 특성 (a) 전류-전압 곡선 (b) F-N 곡선

2.2. 결과 및 고찰

2.2.1 에미터의 곡률 반경에 따른 특성 분석

에미터의 높이는 0.9 μm , 게이트 홀 지름은 1.8 μm , 게이트 절연층의 두께는 0.6 μm , 그리고 게이트 길이는 100 μm 로 고정시키고 에미터의 곡률 반경을 6.5, 10, 20 nm로

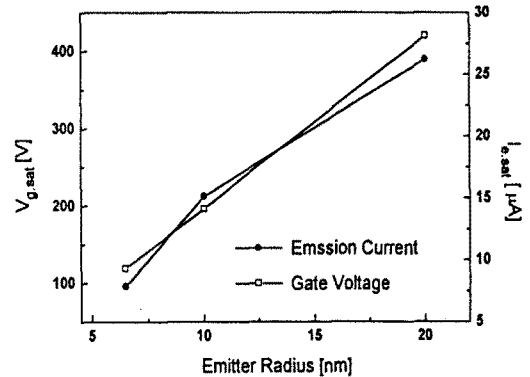


그림 4. 에미터 곡률 반경에 따른 전계 효과 트랜지스터에 의해 포화되기 시작하는 전류 및 전압

2.2.2 게이트 홀 지름에 따른 특성 분석

에미터 높이는 0.9 μm , 게이트 절연층의 두께는 0.6 μm , 게이트 길이는 100 μm , 그리고 에미터의 곡률 반경을 6.5 nm로 고정시키고 게이트 홀 지름을 1.8, 2.4, 3.0 μm 으로 변화시키며 각각의 전류-전압 특성을 구하였다. 그림 5에 게이트 홀 지름에 따른 전계 효과 트랜지스터에 의해 포화되기 시작하는 전류 및 전압을 나타냈다. 여기서 게이트 홀 지름이 증가함에 따라 전계 효과 트랜지스터에 의해 포화되기 시작하는 전류 및 전압이 증가함을 알 수 있고 이는 게이트 홀의 지름이 감소함에 따라 전계 증배 계수가 증가하고 낮은 전류 및 전압에서 포화되기 시작한다. 따라서 곡률 반경의 감소와 게이트 홀 지름의 감소에 따른 방출 전류 특성이 유사함을 확인하였다.

2.2.3 게이트 절연층의 두께(에미터 높이)에 따른 특성 분석

에미터의 곡률 반경은 6.5 nm, 게이트 홀 지름은 1.8 μm , 그리고 게이트 길이를 100 μm 로 고정시키고 게이트 절연층의 두께를 0.3, 0.6, 0.9 μm (에미터의 높이 각각 0.6, 0.9, 1.2 μm)으로 변화시키며 각각의 전류-전압 특성을 구하

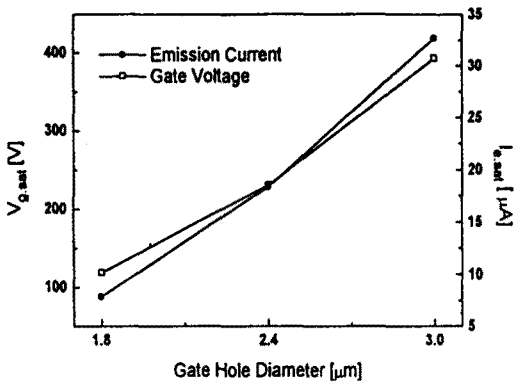


그림 5. 게이트 홀 지름에 따른 전계 효과 트랜지스터에 의해 포화되기 시작하는 전류 및 전압

었다. 그림 6에 게이트 절연층 두께에 따른 전계 효과 트랜지스터에 의해 포화되기 시작하는 전류 및 전압을 나타냈다. 에미터의 높이가 증가하면 전계 증배 계수가 증가하지만 어느 높이에 이르면 다시 감소하는 경향을 갖는다.[7] 본 연구의 시뮬레이션 결과에서도 에미터 높이가 0.6 μm에서 0.9 μm로 증가할때는 전계 증배 계수 증가했지만 0.9 μm에서 1.2 μm으로 증가할때는 감소하는 특성을 얻었다. 반면에 게이트 절연층 두께가 증가함에 따라 채널 전류는 감소함으로 그림 6과 같이 게이트 절연층 두께가 0.3 μm에서 0.6 μm으로 증가하면 포화되기 시작하는 전류 및 전압은 감소하고 0.6 μm에서 0.9 μm으로 증가하면 포화되기 시작하는 전류량은 비슷하지만 전압은 증가하였다. 이는 낮은 게이트 전압에서 방출 전류의 포화 특성을 얻기위한 게이트 절연층의 두께에 대한 최적화 조건이 존재하는 것을 의미하며 본 연구에서는 약 0.6 μm 정도로 나타났다.

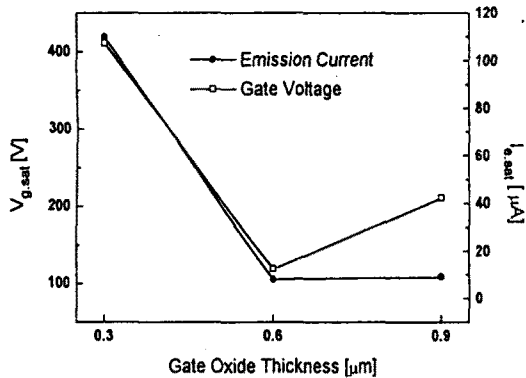


그림 6. 게이트 절연층 두께에 따른 전계 효과 트랜지스터에 의해 포화되기 시작하는 전류 및 전압

2.2.4 전계 효과 트랜지스터의 게이트 길이에 따른 특성 분석

에미터의 곡률 반경은 6.5 nm, 에미터의 높이는 0.9 μm, 게이트 홀 지름은 1.8 μm, 그리고 게이트 절연층의 두께는 0.6 μm으로 고정시키고 게이트 길이를 50, 75, 100 μm으로 변화시키며 각각의 전류-전압 특성을 구하였다. 그림 7에 게이트 길이에 따른 전계 효과 트랜지스터에 의해 포화되기 시작하는 전류 및 전압을 나타냈다. 여기에서 게이트 길이가 증가함에 따라 전계 효과 트랜지스터에 의해 포화되는 전류 및 전압이 감소함을 알 수 있다. 전계 방출 소자의 방출 전류 특성은 동일 하지만 게이트 길이가 증가함에 따라 전계 효과 트랜지스터의 채널 전류는 감소함으로 더 낮은 전류 및 전압에서 포화되기 시작하였다.

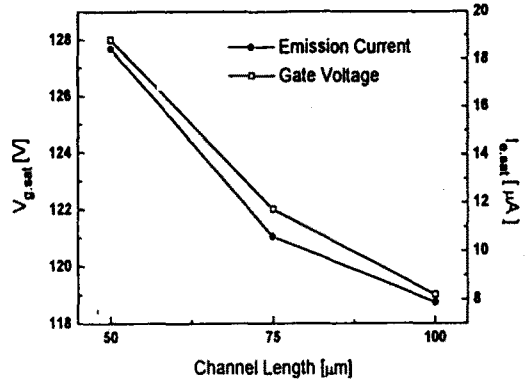


그림 7. 게이트 길이에 따른 전계 효과 트랜지스터에 의해 포화되기 시작하는 전류 및 전압

3. 결 론

Maxwell 소프트웨어와 Silvaco 소프트웨어를 사용하여 전계 효과 트랜지스터로 제어되는 전계 방출 소자의 전류-전압 특성 시뮬레이션을 수행하였다. 본 연구에서 수행한 시뮬레이션 결과와 실제 소자의 결과가 거의 일치함을 볼 수 있었다. 에미터 곡률 반경 및 게이트 홀 크기가 증가함에 따라 전계 효과 트랜지스터에 의해 포화되기 시작하는 전류 및 전압이 증가하는 경향을 알 수 있었고 게이트 절연층 두께가 0.3 μm에서 0.6 μm으로 증가함에 따라 포화되는 전류 및 전압이 감소하는 경향을 보였고 0.6 μm에서 0.9 μm으로 증가시키면 포화되는 전압은 증가하는 반면 전류량은 비슷하였다. 게이트의 길이가 증가함에 따라 전계 효과 트랜지스터에 의해 포화되기 시작하는 전류 및 전압은 감소하는 경향을 보였다.

감사의 글

본 연구는 한양대학교 지역협력 연구센터(RRC)의 일부 지원에 의하여 수행되었음.

(참 고 문 헌)

- [1] K. Yokoo, M. Arai, M. Mori, J. S. Bae, and S. Ono, "Active control of the emission current of field emitter arrays", *J. Vac. Sci. Technol. B* 13(2), 491-493, 1995
- [2] J. Itoh, T. Hirano, and S. Kanemaru, "Ultrastable emission from a metal-oxide-semiconductor field-effect-transistor-structured Si emitter tip", *Appl. Phys. Lett.* 69(11), 1577-1578, 1996
- [3] T. Hirano, S. Kanemaru, and J. Itohet, "A New Metal-Oxide-Semiconductor Field-Effect-Transistor-structured Si Field Emitter Tip", *Jpn. J. Appl. Phys.* Vol. 35, L861-L863, 1996
- [4] S. Kanemaru, K. Ozawa, K. Ehra, T. Hirano, H. Tanoue, and J. Itoh, "Fabrication of Metal-Oxide-Semiconductor Field-Effect-Transistor-Structured Silicon Field Emitters with a polysilicon Dual Gate", *Jpn. J. Appl. Phys.* Vol. 36, 7736-7740, 1997
- [5] Dan Nicolaescu, "Electric field-potential factors for field emission microtriodes", *J. Vac. Sci. Technol. B* 13(2), 531-535, 1995
- [6] David W. Jenkins, "Emission Area of a Field Emitter Array", *IEEE trans. on Electron. Device.*, Vol.40, No.3, 1993
- [7] J. H. Kang, J. W. Kim, and J. M. Kim, "Modeling and comparisons of field emitter devices with various geometries", *J. Vac. Sci. Technol. B* 14(3), 1924-1929, 1996