

다결정 실리콘 박막 트랜지스터의 수소화에 따른 전기적 스트레스의 영향

황 성수, 황 한욱, 김 동진, 김 용상
명지대학교 전기공학과

Effects of Electrical Stress on Polysilicon TFTs with Hydrogen passivation

Seong-Soo Hwang, Han-Wook Hwang, Dong-Jin Kim, Yong-Sang Kim
Dep't. of Electrical Engineering, Myongjii University

Abstract - We have investigated the effects of electrical stress on poly-Si TFTs with different hydrogen passivation conditions. The amounts of threshold voltage shift of hydrogen passivated poly-Si TFTs are much larger than those of as-fabricated devices both under the gate bias stressing and under the gate and drain bias stressing. Also, we have quantitatively analyzed the degradation phenomena using by analytical method. we have suggested that the electron trapping in the gate dielectric is the dominant degradation mechanism in only gate bias stressed poly-Si TFT while the creation of defects in the poly-Si is prevalent in gate and drain bias stressed device.

1. 서 론

다결정 실리콘 박막 트랜지스터는 비정질 실리콘 박막 트랜지스터 보다 높은 전계 효과 이동도와 높은 집적도를 가지고 있기 때문에 고해상도 AMLCD의 화소 스위칭 소자와 주변 회로를 동일 기판상에 제작할 수 있는 소자로 그 연구가 활발히 진행되고 있다[1]. 수소화는 다결정 실리콘 박막의 그레이나 그레이인 경계면에 존재하는 결함을 줄여 다결정 박막 트랜지스터의 특성을 개선시키는 방법으로 널리 알려져 있으며 또한 다결정 실리콘 박막 트랜지스터의 안정성은 장기간의 신뢰성의 관점과 소자 제작의 관점에서 중요한 인자이다. 전기적 스트레스에 의한 소자의 열화 현상은 문턱 전압과 문턱 이전 기울기의 변화로 나타나는데, 이는 게이트 절연층으로의 전하 포획과 다결정 실리콘 활성층과 게이트 절연층의 계면에서 약한 실리콘-수소 결합의 파괴로 발생하는 결합에 의한 것으로 보고된 바 있다.[2] 그러나 소자의 특성을 향상하고자하는 수소화와 관련된 열화 현상의 규명은 거의 이루어지지 않고 있다.

본 논문에서는 다양한 전기적 스트레스 조건에서의 열화 현상을 수소화 이전과 이후의 소자에 대하여 고찰하였다. 또한 전기적 스트레스 조건에서 발생한 문턱 전압과 문턱 이전 기울기의 변화를 측정하고 그 변화량으로부터 결합 발생과 포획 전하의 양을 정량적으로 분석하여 수소화에 따른, 전압스트레스 조건에 따른 다결정 실리콘 박막 트랜지스터의 열화현상을 규명하였다.

2. 본 론

2.1 다결정 실리콘 박막 트랜지스터의 제작

실리콘 웨이퍼 위에 APCVD 방법으로 375 °C 에서 5000 Å의 SiO₂ 박막을 증착 시킨 후, LPCVD 방법으로 SiH₄ 가스를 사용하여 550 °C 에서 1000 Å의 비정질 실리콘을 증착하여 활성 영역을 형성하였고, RTA방법에 의해 850 °C에서 30 초 동안 열처리하여 다결정화한 후, 활성 영역을 정의하였다. 게이트 절연층은 PECVD 방법으로

SiO₂ 박막을 350 °C에서 1000 Å 두께로 증착하였다. 이후 저압 화학 기상 증착 방법으로 550 °C 에서 2000 Å의 비정질 실리콘을 증착하여 게이트를 형성하였다. 자기 정렬 방법에 의하여 소오스, 드레인 및 게이트 영역을 이온 주입 방법으로 40 KeV 에서 5×10¹⁵ cm⁻² 농도의 P⁺로 도우핑한다. 850 °C의 질소 분위기에서 30 초 동안 RTA를 이용하여 주입된 이온을 활성화시켰다. 그리고 보호막으로서 SiO₂ 박막을 상압 화학 기상 증착 방법으로 7000 Å 두께로 증착하였고, 금속화 공정을 거쳐 소자를 완성하였다. 그 외의 자세한 제작 공정은 이미 발표된 논문에 수록되었다[3].

수소화는 다양한 시간에 따라서 13.56 MHz의 r.f. 플라즈마 반응 챔버에서 수소를 100 sccm 유입하며, 기판 온도를 300 °C로 유지하고, 기본 압력을 1.5×10⁻⁵ Torr로, 반응시 압력은 0.5 Torr, 전력 밀도는 0.25 W/cm²에서 행하였다.

전기적 스트레스는 드레인, 게이트 전압 인가 스트레스와 게이트 전압 인가 스트레스등 두 가지 조건으로 스트레스를 인가하였으며, 각 조건에서의 전압 스트레스 인가 크기는 30V이고, 전압 인가 시간은 최대 3시간 까지 지속하여 인가하였다.

2.2 게이트 전압 스트레스 인가의 영향

수소화는 다결정 박막 트랜지스터의 활성층을 이루고 있는 다결정 실리콘 박막의 그레이나 그레이인 경계면에 존재하는 결함에 수소 이온이 결합하여 문턱 전압, 누설 전류를 감소시키며, 문턱 이전 기울기, ON 전류를 증가시키는 등 소자 특성을 향상시킨다[4]. 그림 1과 그림 2에 수소화 전과 5시간 수소화 후의 소자에 게이트 전압 스트레스를 인가하여 특성 변화를 스트레스 인가 시간의 함수로 각각 나타내었다. 수소화전의 소자에서는 스트레스 시간에 따른 전달 특성의 변화는 거의 나타나지 않은 반면 5시간 수소화한 소자에서는 급격한 문턱 전압의 변화가 나타났다. 수소화 이후의 소자에서는 스트레스 인가 초기부터 급격한 문턱 전압의 수평 이동이 발생하고, 스트레스가 진행되었을 동안 $\sqrt{V_{DS}} - V_G$ 기울기는 변화하지 않고 수평 이동이 지속적으로 나타났다. 이는 문턱 전압의 변화가 기울기의 수평 이동에 의해 나타난 현상으로 활성층과 게이트 절연층 사이의 계면 상태로 인해 활성층에 형성된 채널에서 게이트 절연막으로의 전하 포획에 의한 것이며, 수소화된 소자의 경우 전하 포획에 의한 문턱 전압의 변화가 수소화 전보다 크게 발생한다.

2.3 게이트-드레인 전압 스트레스 인가의 영향

30V의 드레인 전압과 게이트 전압을 동시에 인가한 경우, 수소화를 하기전의 전압 인가 시간에 따른 소자 특성 변화를 그림 3에 나타내었으며, 그림 4에는 5시간 수소화 한 후의 기울기 변화를 $\sqrt{V_{DS}} - V_G$ 곡선으로도 시하였다. 수소화 전 후의 게이트-드레인 전압 스트레스 인가에 따른 변화를 관찰한바, 수소화 전 소자에서는 전압 인가 시간이 지남에 따라 기울기와 문턱 전압의 변화

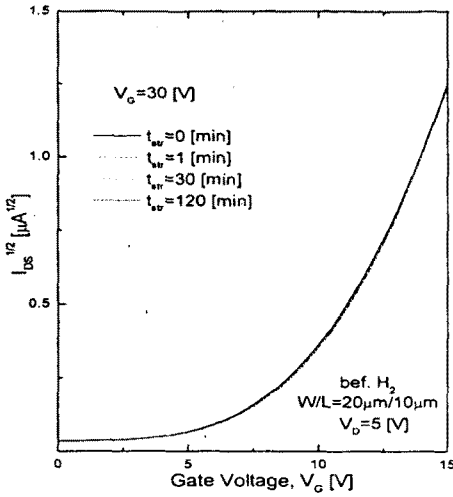


그림.1 수소화 이전의 게이트 전압 스트레스 인가 시에 따른 $\sqrt{I_{DS}} - V_G$ 특성

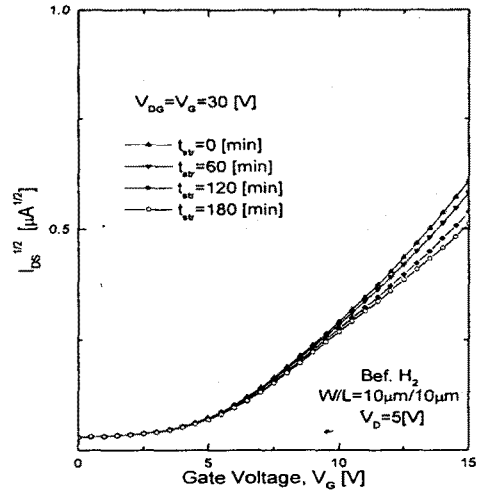


그림.3 수소화 이전의 게이트-드레인 전압 스트레스 인가 시간에 따른 $\sqrt{I_{DS}} - V_G$ 특성

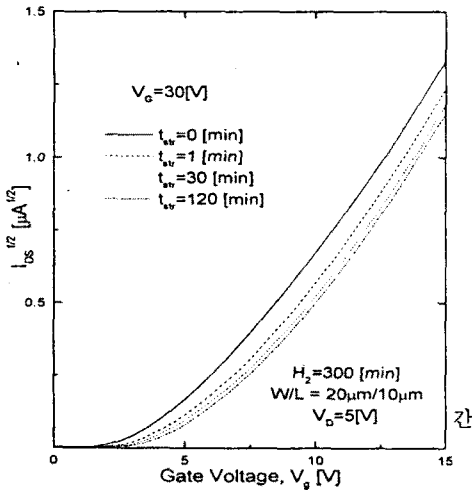


그림.2 6시간 수소화 후의 게이트 전압 스트레스 인가 시간에 따른 $\sqrt{I_{DS}} - V_G$ 특성

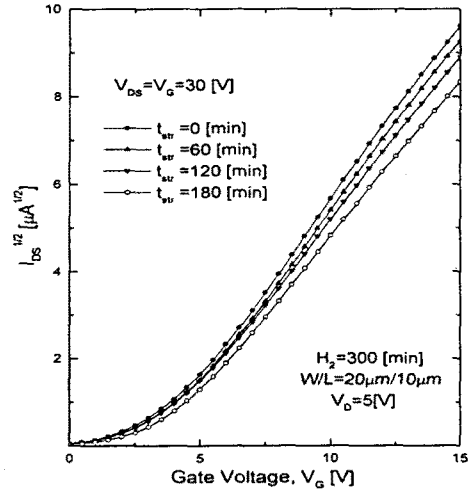


그림.4 3시간 수소화 후의 게이트-드레인 전압 스트레스 인가 시간에 대한 $\sqrt{I_{DS}} - V_G$ 특성

서서히 감소하는 경향을 보이고 있다. 반면 5시간 동안 수소화한 소자에서는 문턱 전압과 기울기의 변화가 거의 일정한 경향을 보이며 감소한다. 게이트-드레인 전압 스트레스에 의하여 수소화 전 보다 수소화 이후에 문턱 전압과 곡선의 기울기가 더욱 크게 변화하였다. 게이트-드레인 전압 스트레스에 의한 주된 열화 기구는 다결정 실리콘 박막 내에 존재하는 약한 Si-H 결합이 드레인 내에 존재하는 약한 Si-H 결합이 드레인 접합 부근에서 높은 드레인 전압으로 생성된 높은 전계에 의해 가속된 큰 에너지를 지닌 전자가 Si-H 결합을 파괴하여 결합을 생성하게 된다. 수소화 후 다결정 실리콘 박막의 그레인 내부와 그레인 경계면의 결합에 다수의 약한 Si-H 결합을 형성하여 전계 효과 이동도와 문턱 이전 기울기의 증가하지만, 스트레스 시간이 증가할수록 많은 Si-H 결합이 파괴되어, 수소화 이전의 결합의 생성량 보다 많은 결합을 생성하여 전계 효과 이동도가 감소하여 수소화 전 보다 곡선의 기울기와 문턱 전압의 변화가 더욱 크게 일어난다.

2.4 전기적 스트레스의 정량적 분석

문턱 전압의 변화($\Delta V_{th} = \Delta V_{Nit} + \Delta V_{Not}$)는 게이트 절연층으로의 전하 포획(ΔV_{Not}), 다결정 실리콘 활성층의 약한 Si-H 결합의 파괴에 의한 결합의 발생(ΔV_{Nit}) 등의 두가지 요인이 결합되어 나타난다. 따라서, 전하 포획과 결합의 발생은 미드갭 전류와 문턱 전류, 각각의 전압인 미드갭 전압과 문턱 전압을 정의함으로써 정량적 해석이 가능해진다[5]. 미드갭 전류는 Fermi level과 진성 Fermi level과의 전위차 만큼 밴드가 휘었을 때의 전류로 표면 밴드 벤딩의 함수로 표현된 식에 의해 구할 수 있다[6]. 미드갭 전압은 미드갭 전류일 때의 전압으로 전달 특성 곡선에서 문턱 이전의 선형 영역에서의 접선을 외삽하여 구할 수 있으며, 미드갭 전류의 크기는 0.01 μA -1 μA 사이의 값을 지니게 된다. 문턱 전류는 문턱 전압일 때의 전류로 $\sqrt{I_{DS}} - V_G$ 곡선에서 구한 문턱 전압을 이용하여 구할 수 있다. 결합 발생으로 $I_{DS} - V_G$ 곡선 상에서 문턱 이전 기울기의 변화가 일어나는데 (stretchout), 이는 문턱 전압과 미드갭 전압의 차로 정의되는 전압($V_{SO} = V_{th} - V_{mg}$)의 각 스트레스 시간에서의 변화량으로 구할 수 있다. 또한, 게이트 절연층으로

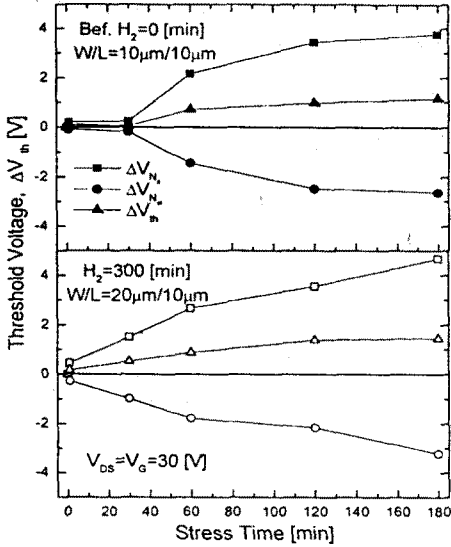


그림.5 게이트-드레인 전압 스트레스 인가 시간에 따른 문턱 전압의 변화

의 전하 포획에 의한 문턱 전압의 변화는 미드갭 전류일 때 전압인 미드갭 전압의 각 스트레스 시간에서의 차로 정의된다.

그림 5에서, 수소화 이전의 게이트-드레인 전압 스트레스를 인가한 소자의 게이트 절연층으로의 전하 포획에 의한 문턱 전압의 변화와 결함 생성으로 발생하는 문턱 전압의 변화를 스트레스 인가 시간의 함수로 나타내었다. 스트레스가 진행됨에 따라 전하 포획에 의한 문턱 전압과 결함 생성에 의한 문턱 전압이 동시에 증가하는데, 결함 생성에 의한 문턱 전압의 변화가 전하 포획에 의한 문턱 전압의 변화보다 크게 나타난다. 그림 6은 게이트-드레인 전압 스트레스를 인가한 경우에 발생하는 결함 생성의 변화비를 스트레스 인가 시간의 함수로 나타냈다. 그림에서, 스트레스 초기에는 게이트 절연층으로의 전하 포획에 의한 트랩이 많이 생성되고 스트레스 인가 시간이 증가함에 따라 결함 발생이 우세하게 나타나며, 수소화 전 보다 수소화 후 결함 발생이 많이 발생한다. 이는 수소화 후, 수소화 전 보다 다결정 실리콘 박막안에 다량의 수소가 유입되어, 많은 Si-H 결합을 형성하기 때문이다.

게이트-드레인 전압 스트레스 인가에 따른 문턱 전압의 변화는 게이트 절연층으로의 전하 포획이나, 큰 드레인 전압이 인가됨으로써 다결정 실리콘 박막 내에 존재하는 약한 Si-H 결합이 강한 전계에 의해 가속된 전자에 의해 파괴되어 발생하는 결함 생성에 의해 동시에 일어난다. 따라서, 그림 5와 그림 6에서 문턱 전압의 변화, 결함 발생비 살펴본바, 게이트-드레인 전압 스트레스 인가에 의한 소자의 열화 현상은 게이트 절연층으로의 전하 포획보다는 결함 생성이 주된 요인으로 사료된다.

3. 결 론

수소화에 따른 게이트 전압, 게이트-드레인 전압 스트레스에 의한 다결정 실리콘 박막 트랜지스터의 열화 현상을 고찰하였다. 게이트 전압 스트레스를 인가한 경우, 수소화 이전의 소자에서는 전달 특성의 변화가 없었으나, 수소화 이후의 소자에서는 게이트 절연층에 전하 포획에 의한 문턱 전압의 변화가 발생하였다. 또한 수소화된 박막 트랜지스터에 게이트-드레인 전압 스트레스를 인가한 경우, 수소화 전보다 큰 문턱 전압의 변화가 발생하였다. 이는 게이트-드레인 전압 스트레스 인가에 의

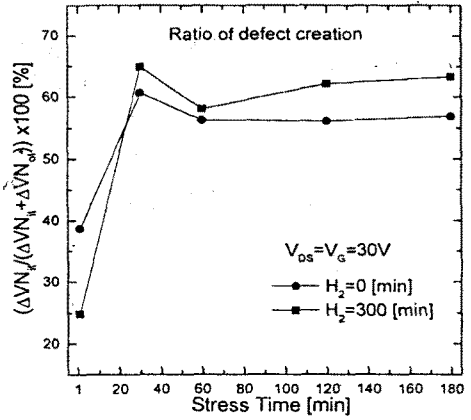


그림.6 게이트-드레인 전압 스트레스 인가 시간에 따른 결함 생성의 변화

한 게이트 절연층으로의 전하 포획과 다결정 실리콘 박막 내에 존재하는 약한 Si-H 결합의 파괴에 의한 결함 생성에 기인한다. 이를 정량적으로 분석한 결과, 전하 포획에 의한 열화보다 결함 생성에 의한 문턱 전압의 변화가 우세하게 나타났으며 수소화 이후의 소자에서는 결함 생성의 비율이 더욱 증가하였다. 따라서, 수소화를 수행한 이후의 소자에서 열화 현상이 더욱 심각하며 이는 약한 Si-H 결합이 영향을 미치는 것으로 사료된다.

[참고 문헌]

- [1] J.Ohwada, M.Takabatake, Y.Ono, A.Mimura, K.Ono, and N.Konishi, "Peripheral circuit integrated poly-Si TFT LCD with gray scale representation," IEEE Trans. Electron Devices, vol.36, pp.1923-1927, 1989
- [2] M.Hack, A.G.Lewis, and I.W.Wu, "Physical Models for Degradation Effects in Polysilicon Thin-Film Transistors," IEEE Trans. Electron Devices, vol.40, no.5, pp.890-897, 1993
- [3] 황성수, 김용상, 최진영, 한민구, "순차적으로 도우핑한 드레인을 가지는 다결정 실리콘 박막 트랜지스터," 대한 전기 학회 논문지, vol.47, no.4, pp.484-488, 1998
- [4] Y. S. Kim, K. Y. Choi, and M. K. Han, "Different hydrogenation passivation effects on low-temperature and high-temperature processed poly-Si TFTs," Jpn. J. Appl. Phys., vol.34, pp.719-723, 1995.
- [5] P.J.McWhorter and P.S.Winokur, "Simple technique for separating the effects of interface traps and trapped oxide charge in metal-oxide-semiconductor transistors," Appl.Phys.Lett., vol.48, no.2, pp.133-135, 1986
- [6] J.R.Brews, "Applied Solid State Science," edited by Dawon Kahny, Academic, p.31, 1981