

Misalign에 따른 MOSFET의 전기적 특성

홍능표, 김원철, 임필규, *이태훈, *홍진웅
삼성전자(주) PD사업부, *광운대학교 전기공학과

The Electrical Characteristics of MOSFET due to Misalign

Nung-Pyo Hong, Won-Chul Kim, Pil-Gyu Im, *Tae-Hoon Lee, *Jin-Woong Hong
Samsung Electronics Co., PD Division, *KwangWoon Univ. Electrical Eng.

Abstract - Power MOSFETs are very important Devices in power circuit applications such as motor control, switch mode power supplies & telecommunicationelectronics.

In order to investigated the Avalanch Energy value of MOSFET due to Misalign. Some samples made under several different P^+ misalign and N^+ misalign. The relationship between evalanch energy value and misalign is investigated as well in this paper.

MOSFET는 제조공정상 여러번의 사진공정을 거치게 되는데 Aligner의 정렬능력이나 해상능력에 따라 어느 정도의 Misalign이 불가피하게 발생한다. 본 논문에서는 Misalign에 따른 Power MOSFET의 여러 가지 전기적 특성중 Eas특성에 미치는 영향을 Stepper Aligner를 사용하여 검증하였다.

1. 서 론

스위칭 전원은 소형, 경량, 고효율 등의 많은 특성을 가지며 점차 고주파화 및 대 전력화함에 따라 그 대부분이 MOSFET화되어 있다. 이에 파워 MOSFET은 저렴한 가격과, 낮은 $R_{ds(on)}$, 고속성(High Frequency) 및 고내량(High Eas)등 많은 특성이 요구되어 지고 있다. MOSFET은 시스템내 전원단에서 고속 스위칭으로 인한 배선의 인덕턴스 성분으로 역기전력(V_{emf})의 높은 스파이크 전압이 발생하기 쉽다. 그러나 소자의 내압은 온저항($R_{ds(on)}$)특성과 비례관계에 있으므로 내압을 크게 할 수 없는 상황이다. 다시 말해 유도성 부하에 의한 회생전류가 Power MOSFET의 기생 다이오드에 유입하는 모드가 발생, 다이오드의 역회복시에 파워 MOSFET가 파괴되는 경우가 생긴다는 것이다.

파워 MOSFET는 구조적으로 기생 바이폴라 트랜지스터를 지니고 있어, 다이오드의 역회복에 있어서 dv/dt , di/dt 에 의해 기생 바이폴라 트랜지스터가 동작하여 파괴에 이르는 현상을 내포하고 있으며 이런 특성의 실력치는 Eas라는 측정치로 정의된다. 사진 1은 Planar Power MOSFET의 단면 SEM사진이다.

2. 실험

2.1 디바이스

본 실험에서 사용한 Power MOSFET는 60[V], 50[A]급의 MOSFET(IRFZ44A)으로 5인치 웨이퍼에 대략 350개 정도를 만들 수 있는 비교적 칩 사이즈가 큰 칩이다.

제조공정을 간략하게 기술하면 우선 60[V]급의 에피원자재에 초기산화후 폴리 게이트 형성하며 선택적으로 P형 불순물과 N형 불순물을 투입한후 contact을 open하고 metal을 형성한다.

각각의 샘플은 P^+ 마스크 align시 인위적으로 0.5, 1.0, 1.5(μm)의 조건으로 Misalign시킨 3가지 조건의 웨이퍼와 P^+ 정align 진행후 N^+ align시 각각 0.5, 1.0, 1.5(μm)까지 Misalign시킨 3가지 조건으로 총 6가지 조건의 Misalign샘플을 만들었다. 또 각각의 샘플은 TO-220 PKG로 만들었으며 샘플의 수량은 각각의 조건에 대해 1k개 이상으로 했다. 사진 2는 N^+ Misalign 1.5(μm)시켰을 때의 단면 SEM사진으로 N^+ 소오스의 형성이 한편으로 치우친 것을 볼 수 있으며 사진 3은 P^+ Misalign 1.5(μm)시켰을 때의 SEM 사진으로 한편으로 치우친 P well을 확인할수 있다.

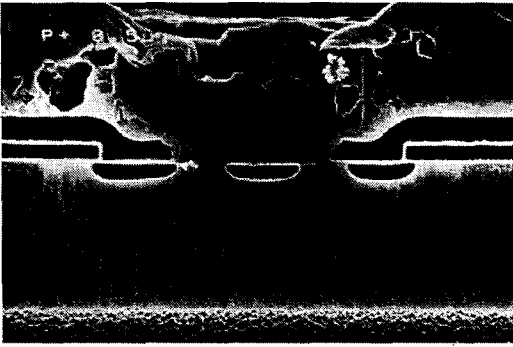


사진 1. Cross-section of MOSFET SEM

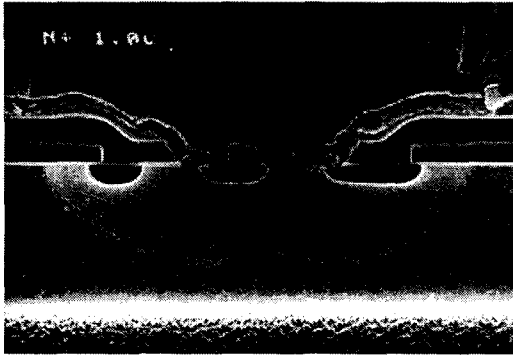


사진 2. N⁺ 1.5(μm) Misalign SEM

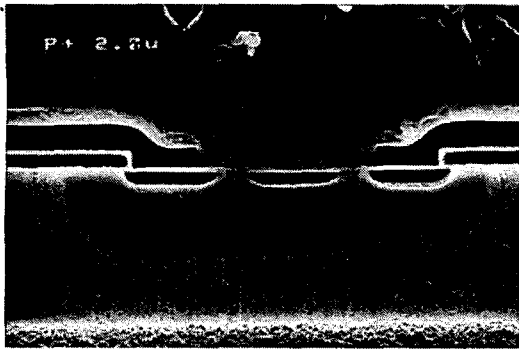


사진 3. P⁺ 1.5(μm) Misalign SEM

2.2 Eas 측정방법

Eas란 MOSFET의 턴-오프시의 코일 부하에 저장된 에너지가 디바이스에 유기될 때 디바이스가 감당할수 있는 에너지값을 나타낸 수치이다. 결국 Eas값이 클수록 MOSFET가 시스템내에서 동작시 불량 가능성의 적다는 것이다. Eas의 측정은 다시말하면 디바이스에 인위적으로 가장 가혹한 조건을 가해줌으로써 디바이스의 내량을 보증하는 하나의 기준인 것이다.

Eas측정시 내부 발열에 따른 오차를 줄이기 위해 충분한 시간의 경과후 Pulse를 재인가 해야 한다. 다시말해 1Jou의 Single Pulse를 1초마다 인가하면 내부 온도는 1(W)가 되며 짧은 시간동안 큰 Peak Power로 인해 MOSFET Chip표면 온도는 연속적인 1(W)보다 높게된다 이 경우 내부온도를 정확하게 측정할 수가 없어서 한 개의 디바이스로 파괴될 때까지 계속 Pulse를 인가하는 것은 인가하는 시간간격에 따라 큰 측정오차를 가지게 되기 때문이다. JEDEC에서 제시한 측정회로와 출력파형은 그림 1에서 보여준다.

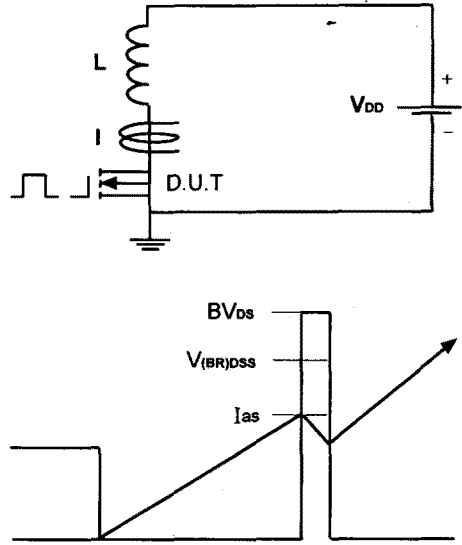


그림 1. Circuit and waveform of Eas measurement

3 실험 결과

제작된 MOSFET의 Eas값은 각각 300(μH), 10(mH)에서 측정값을 얻었다. Eas값은 식 1에서 보듯이 Ias값에 비례하는 것을 알 수 있다. Ias는 디바이스 Turn-Off시 P- Body를 통해 Source로 빠져주는 Hole 전류 성분으로 기생 NPN Tr이 Turn-On되기 바로 직전의 전류 값을 나타내는 것이다.

$$Eas = \frac{1}{2} I_{as}^2 L \left(\frac{BV_{dss}}{BV_{dss} - V_{ds}} \right) \quad (1)$$

그림 2는 300(μH)에서의 Misalign에 따른 Ias값을 나타내는 그래프로 Misalign정도가 크면 클수록 Ias값의 중심치는 작아지고 산포 또한 커지는 것을 확인할 수 있다. P⁺ Misalign의 경우에 비해 N⁺ Misalign의 경우가 Ias값에 크게 영향을 미치는 것을 확인할 수 있다.

그림 3은 High Coil에서의 Misalign에 따른 I_{as} 값을 나타내는 그래프이다. L값이 커지면 MOSFET에 흐르는 전류의 양도 적어져 결국 전류값이 saturation된 양상을 나타내며 L값이 작아지면 MOSFET에 흐르는 전류의 크기도 증가하여 결국 Eas파괴에 빨리 도달하므로 그 산포가 크게 나타남을 확인할 수 있다. Low Coil에서와 비슷하게 P^+ Misalign의 경우보다 N^+ Misalign의 경우가 큰산포와 낮은 I_{as} 값을 나타내고 있다.

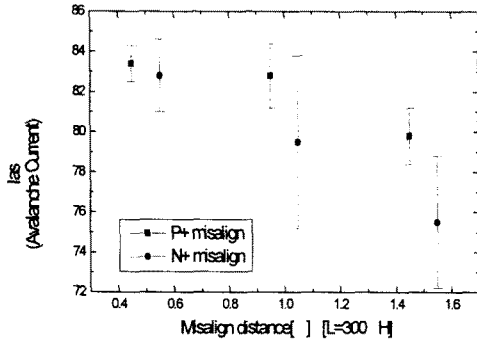


그림 2. I_{as} due to Misalign(L=300 μm)

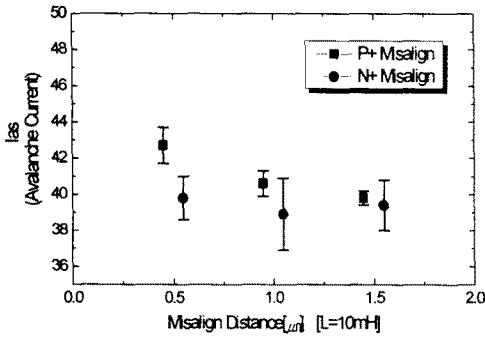


그림 3. I_{as} due to Misalign(L=10mH)

이상의 결과에서 P^+ Misalign의 경우보다 N^+ Misalign이 다바이스의 I_{as} 값에 미치는 영향이 크게 나타나는데 이는 N^+ Misalign에 의해 N^+ Source 하단 부분의 바디저항(R_b)값에 영향을 준다. 한편쪽으로 치우친 N^+ Source형성은 하단부분의 저항 길이를 증가시키게 되며 이는 저항이 커 I_{as} 전류가 많이 흐르지 못하고 저항값에 의해 제한되게 되는 것이다. 그러나 P^+ 의 경우는 1.5[μm]까지 Misalign시켜 봤지만 I_{as} 값은 약간의 중심치 감소만 나타내는데 이는 I_{as} 전류의 통로가 N^+ Source바로 밑단으로 흐르기 때문에 P^+ Misalign에는 그리 민감한 영향을 받지 않는 것으로 추

정된다.

4. 결 론

Coil(L)값에 따른 Eas(에벌런지 특성)을 측정한 결과 비교적 낮은 L값에서 Eas값의 산포가 커지는 것을 확인할 수 있었으며 높은 L값에서는 그 편차가 작은 것을 알 수 있었다.

각각의 P^+ Mask와 N^+ Mask의 Misalign에 따른 Eas값을 측정한 결과 P^+ Misalign은 다바이스의 특성에 그다지 영향을 미치지 않는 반면 N^+ Misalign의 경우는 그 Misalign정도에 따라 Eas값의 차이가 큰 것을 확인할 수 있었다.

결론적으로 N^+ Masking의 정밀성이 MOSFET의 Eas특성에 크게 좌우됨을 확인할 수 있었다.

[참 고 문 헌]

- [1] Chenming Hu et al, "Optimum Design of Power MOSFETs", IEEE Trans. Electron Devices, Vol. ED-31 No. 12, p1963, 1984
- [2] Rodney R. Stoltenburg, "Boundary of Power MOSFET Unclamped Inductive Switching(UIS) Avalanche Current Capability", IEEE Applied Power Electronics Conference Proceedings, p359-364, Mar. 1989
- [3] John W. Worman, "Using Power MOSFETs in Unclamped Inductive Switching Applications", Powertech, Oct. 1988
- [4] Chenming Hu & Min-Hwa Chi, "Second Breakdown of Vertical Power MOSFETs", IEEE Transaction on Electron Devices, ED-29, p1287-1293, Aug. 1988
- [5] David L. Blackburn, "Power MOSFET failure Revisited," IEEE Power Electronics Specialists Conference, Kyoto, Japan, Apr. 1982