

뇌서지 전류에 대한 산화아연바리스터의 Pspice 시뮬레이션 모델

이복희, 공영훈, 이경욱, 김성만
인하대학교 전기공학과

Pspice Simulation Model of a ZnO Varistor for Lightning Surge Current

B.H. Lee, Y.H. Kong, K.O. Lee, S.M. Kang
Dept. of Electrical Engineering, Inha University

Abstract - It is currently increasing to use surge protection devices in the protection of various electronic circuits from the transient overvoltages such as lightning strikes and switching surges. For this reason, the simulation methods, which can easily predict the protection performance of the devices, are strongly required in order to design the adequate surge protection circuits in lightning surge cut-off performance and economic aspects.

This paper deals with ZnO varistor modeling method for designing a surge protection circuit and suggests the Pspice simulation model which takes the characteristic of varying clamping voltage into consideration during the time-to-crest, in range of 8~30μs, of surge current applied to a ZnO varistor.

The ZnO varistor Pspice simulation data introduced in this paper has produced almost same values as the measured results experimentally.

1. 서 론

전기, 전자회로 및 송·배전 계통에서 발생하는 각종 서지는 정상상태의 전압을 초과하여 순간적으로 발생하는 과전압으로서 유도, 방사 및 전도의 형태로 선로에 유입되며, 궁극적으로는 전도의 형태로서 장비에 영향을 주어 기능장애, 열화 및 성능저하 등의 현상을 일으키거나 절연계통의 절연이 파괴되기도 한다. 특히 전원선으로 침입하는 서지는 그 크기와 상승시간이 여러 가지 형태로 나타나므로 피보호 기기 등의 내전압 특성에 따라 보호방식과 차단장치 성능도 각각 다르게 고려되어야 한다. [1]

최근에는 낙뢰 및 개폐서지 등의 이상과전압으로부터 컴퓨터, 정보통신기기 등 각종 전자회로를 보호하기 위해 서지 차단장치 사용이 증가하는 추세에 있으며, 이러한 피보호 회로에 뇌서지 차단성능 및 경제적으로도 적합한 서지 보호회로를 적용하기 위해서는 보호성능을 쉽게 모의 예측할 수 있는 컴퓨터 시뮬레이션 방법이 요구된다.

서지 보호소자인 산화아연바리스터는 비선형 특성이 우수해 현재 뇌서지 차단소자로 널리 사용되고 있다. 따라서 시뮬레이션 적용에 있어서 보다 쉬운 바리스터의 등가모델을 제시할 필요성을 갖게 되었다. 이전에 IEEE Working Group 3.4.11에서 제안한 모델과 최근 발표된 비선형 인덕턴스 모델 등은 비교적 정확하지만 시뮬레이션 모델로서는 광범위한 적용이 어렵다. [2], [3] 따라서, 본 연구에서는 시뮬레이션에 적용하기가 간단하고 편리한 Pspice 프로그램을 사용하였다. 산화아연바리스터의 전기적 특성과 등가회로를 이용하여 Pspice 모델을 제안하였고, 실험결과와 모의 실험결과

를 비교·분석한 내용을 보고한다.

2. 산화아연바리스터 모델링

산화아연바리스터는 양방향성 비선형소자로서 동작특성을 3개의 영역으로 세분화 할 수 있고, 바리스터의 전기적인 등가회로를 그림 1에 나타내었다.

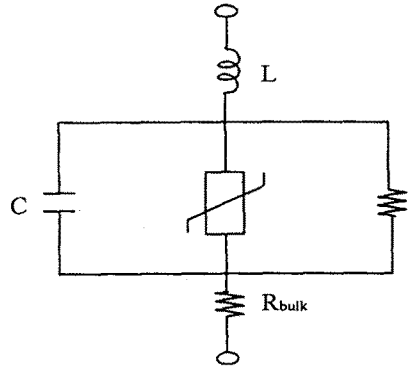


그림 1 산화아연바리스터의 등가회로
Fig. 1 Equivalent circuit for a ZnO varistor

그림 1에서 L은 바리스터 자체 및 리드선에 의한 것으로 수nH~수십nH정도의 값이며, C는 바리스터 양단의 정전용량을 나타낸 것이다.

전류가 0.1mA이하는 누설전류 영역으로 R_{leak}가 주된 영향을 미치기 때문에 단순한 저항기 역할을 하며, 100A이상의 큰 전류영역에서는 벌크저항(R_{bulk})에 의해 바리스터 응답이 지배된다. 전류가 0.1mA와 100A 사이의 영역에서 바리스터의 V-I 특성은 비선형 저항(R_{var})에 의존하며, 아래의 식 (1)에 따른다.

$$I = k V^\alpha \tag{1}$$

여기서, k는 비례 정수이고, α는 비선형 지수로서 이 값이 클수록 성능이 양호한 바리스터라 할 수 있으며, 그 크기는 약 25~60 정도의 값을 갖는다. 바리스터의 동작을 등가화 하는데 있어 비선형 특성이 가장 중요한 요소이다.

산화아연바리스터의 동작특성에 대한 실험결과를 분석해 보면 상승시간이 느린 임펄스 전류를 인가했을 때 보다 빠른 임펄스 전류를 인가하였을 때 바리스터 양단의 전압은 상승한다. 이 전압의 상승율은 인가되는 전류의 피크값과 상승시간에 관계된다. 위와 같은 다이내믹한 특성을 식 (2)로 표현할 수 있다.

$$V = DI^\gamma \tag{2}$$

위 식에서 $D = D_0 + D_1 e^{-\beta t}$ 이고 D_0, D_1, β 는 실험으로 구할 수 있는 정수 값이다. γ는 비선형 지수(α)의 역수 값으로 식 (3)으로 표현된다.

$$\gamma = \frac{\text{Log } V_2 - \text{Log } V_1}{\text{Log } I_2 - \text{Log } I_1} \quad (3)$$

또한 바리스터에는 리드선의 인덕턴스(L)와 저항(R)성분이 포함되어 있으므로 식 (4)로 나타낼 수 있다. (4)

$$V = DI' + \left(L \frac{dI}{dt} + RI \right) \quad (4)$$

3. 실험장치 및 측정방법

그림 2는 측정회로를 나타낸 것이며, 서지 발생기, 디지털 오실로스코프(TDS520A), 고전압 프로브(P6015A, 1kV/V), 로고우스키코일(5.07KA/V)로 구성하였다. (5)

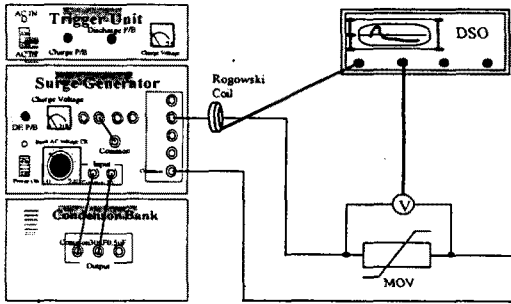


그림 2 측정회로
Fig. 2 Measurement circuit

측정은 산화아연바리스터(ZnR20EK511)에 상승시간을 8~30 μ s 범위의 2중지수형 임펄스 전류를 흘려 바리스터 단자전압의 피크값을 관측하였다. 전류 피크값은 각 서지 전류마다 변화를 주었다.

4. 결과 및 고찰

산화아연바리스터에 상승시간이 다른 서지 전류를 흘리고 전류의 피크값을 일정하게 했을 때 바리스터 단자전압의 피크값을 측정된 결과를 그림 3에 나타내었다.

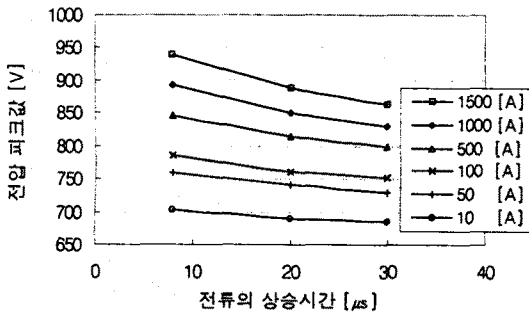


그림 3 서지 전류의 상승시간과 차단전압의 관계
Fig. 3 Relationship between time-to-crest of surge current and clamping voltage for a ZnO varistor

그림 3의 결과를 보면 전류의 상승시간이 짧은 영역에서는 전류값이 상승하는 만큼 전압의 상승율이 커지는 것을 알 수 있다. 따라서 산화아연바리스터에는 빠른 뇌서지 전류에 대해서 제한전압이 상승하는 성분과 직렬로 인덕턴스 성분이 포함되어 있다고 생각할 수 있다. 이러한 특성은 그림 4에 나타낸 바리스터의 전류와 전압 관

계에서도 나타난다. 이 결과로부터 전류의 피크값이 작은 영역에서는 비교적 전압값이 전류에 대해서 거의 직선적으로 증가하므로 그 때의 비선형 지수의 역수값 γ 를 구할 수 있으며, 대략 0.044가 된다

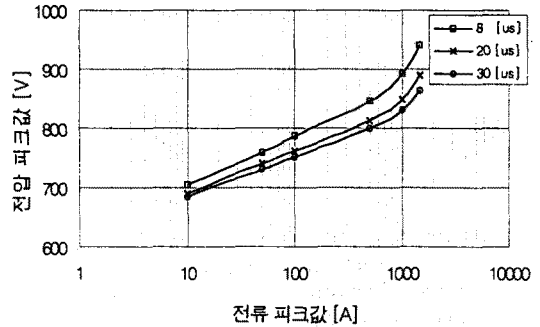


그림 4 바리스터의 전류와 전압 곡선
Fig. 4 V-I curves for a ZnO varistor

바리스터 리드선의 인덕턴스 값은 제조 회사의 사양으로부터 구할 수 있다. 바리스터의 벌크저항(R_{bulk})은 그 값이 매우 작기 때문에 리드선 저항으로 대체해도 된다고 생각된다. 리드선의 저항값은 리드선 재료의 저항율과 길이, 단면적으로부터 산출한다.

산화아연바리스터의 동작특성에서 가장 중요한 비선형 저항 부분을 등가화하기 위해서는 식 (2), 식 (4)에 기초하여 D값을 구하여야 한다. 따라서, 그림 3에서 나타낸 전류의 상승시간과 전압의 관계 그래프로부터 식 (5)와 같이 리드선의 인덕턴스와 저항값에 의한 전압분을 빼주어야 바리스터 자체의 특성을 해석할 수 있게 된다.

$$V^* = V - \left(L \frac{dI}{dt} + RI \right) \quad (5)$$

V^* : 교정 전압 피크값
L : 리드선의 인덕턴스(0.05 μ H)
R : 리드선의 저항(0.13m Ω)

위 식 (5)를 바탕으로 교정한 전압값 V^* 를 그림 5에 나타내었다. 그래프를 보면 실제 측정된 전류의 상승시간과 차단전압의 관계를 나타낸 그림 3의 결과보다 직선성이 우수함을 알 수 있다.

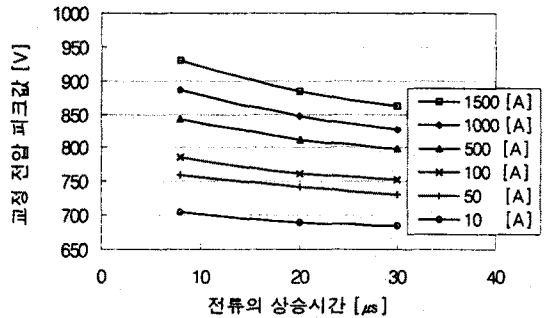


그림 5 서지 전류의 상승시간과 교정된 차단전압의 관계
Fig. 5 Relationship between time-to-crest of surge current and corrected clamping voltage for a ZnO varistor

그림 5의 그래프를 통하여 식 (6)으로부터 D값을 구할 수 있다.

$$V^* = (D_0 + D_1 e^{-\beta t}) I^r \quad (6)$$

여기서 식 (6)은 모든 전류값에 대하여 일치하여야 한다. 위 식에서 D 값을 보다 쉽게 구하기 위해서 식 (6)을 식 (7)로 변환시킨다.

$$\frac{V^*}{I^r} = D_0 + D_1 e^{-\beta t} \quad (7)$$

이렇게 해서 구해진 D_0 , D_1 , β 값은 다음과 같다..

$$D_0 = 612.667, D_1 = 67.154, \beta = \frac{1}{12.208 \times 10^{-6}}$$

위에서 구한 값을 바탕으로 식 (4)를 적용한 이론적 계산값과 실측한 결과의 전압값은 거의 일치한다.

산화아연바리스터에 뇌서지를 인가할 때 양단의 정전용량 성분은 바리스터의 동작특성에 큰 영향을 주지 않지만 상용 전원을 인가한 경우에는 누설전류 영역에서 용량성 전류가 흐른다. 따라서 이를 무시할 수 없기 때문에 RLC미터로 그 값을 측정한 결과 약 670pF이다.

위에서 설명한 결과를 Pspice 등가회로로 나타내면 그림 6과 같다. 리드선 성분의 인덕턴스(L), 저항(R), 바리스터 양단의 정전용량(C), 누설저항(R_{leak})은 Pspice 라이브러리의 소자로 하고 비선형 저항 성분은 식 (6)을 적용해 1개의 독립 전압원과 2개의 제어전압원(CCVS, VCVS)으로 대치한다.[6]

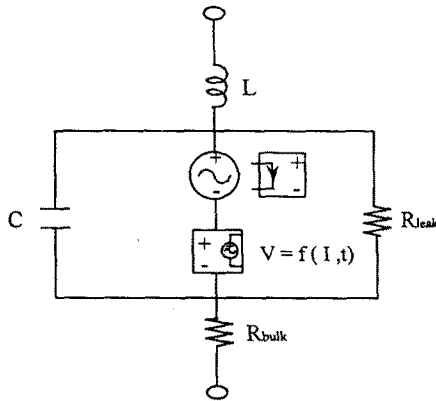
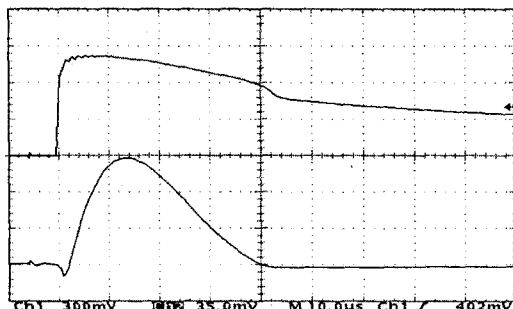


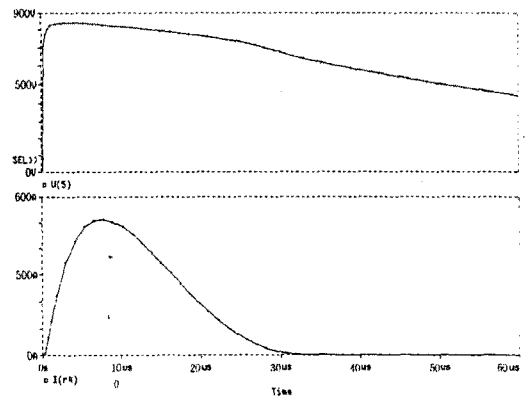
그림 6 산화아연바리스터의 Pspice 모델
Fig. 6 Pspice model for a ZnO varistor

본 연구에서 제안한 산화아연바리스터의 Pspice 모델을 8/20 μ s의 표준 뇌임펄스 전류에 대한 실측 파형과 비교·검토하였으며, 상승시간 8 μ s이고, 전류의 피크값이 500A인 임펄스 전류에 대한 바리스터의 제한전압 실측 결과와 시뮬레이션 결과를 그림 7에 나타내었다.



위 : 제한전압 파형 [300V/div, 10 μ s/div]
아래 : 인가전류 파형 [177A/div, 10 μ s/div]

(a) 실측파형



(b) Pspice 시뮬레이션 결과

그림 7 실측 결과와 시뮬레이션 결과의 비교
Fig. 7 Comparison of the measured data with simulation result

위 그림의 피크값 (a)와 (b)를 비교해 보면 바리스터의 제한전압은 약 1.5% 오차가 있으며, 본 연구에서 제안한 모델과 실측한 파형이 전반적으로 거의 일치한다는 것을 볼 수 있다.

5. 결 론

서지 전류의 상승시간을 8~30 μ s 범위로 하고, 그에 따른 전류 피크값을 변화시켜 산화아연바리스터에 인가하였을 때 동작특성을 고려한 산화아연바리스터의 Pspice 시뮬레이션 모델을 제안하였다. 기존의 모델에 비하여 시뮬레이션하기에 비교적 간이화되었고 결과도 실측 파형에 거의 일치하는 양호한 특성을 얻었으며 제안한 산화아연바리스터 모델링 기법이 타당함을 확인하였다. 향후 보다 정확한 모델을 얻기 위해 전류의 상승시간이 매우 빠른 서지를 인가시켰을 때의 특성에 대해서 지속적인 연구가 필요하다.

(참 고 문 헌)

- [1] Ronald B. Standler, "Protection of Electronic Circuits from Overvoltages", A Wiley-Interscience Publication, pp34~54, 133~145, 1994
- [2] IEEE Working Group 3.4.11, "Modelling of Metal Oxide Surge Arresters", IEEE Trans. on Power Delivery, Vol.7, No.1, 1992
- [3] I.m.Kim, T.Funabashi, H.Sasaki, T.Hagiwara, M.Kobayashi, "Study of ZnO Arrester Model for Steep Front Wave", IEEE Trans. on Power Delivery, Vol.11, No.2, 1995
- [4] 倉田, 村野, "酸化亜鉛形避雷器のモデル化", 電気學會 電力・エネスギ一部門大會, No.400,1992
- [5] 이복희, "高電壓 大電流工學", 청문각, pp. 173-183, 1993
- [6] The Design Center Pspice Version 8.0, "Microsim Coporation", 20 Fairbanks, Irvine, California 92618, 1998