

동기정류기를 이용한 고효율 하프브리지 컨버터에 관한 연구

고승모*, 김 옹*, 백수현*, 맹인재*, 김필수**, 윤석호***
 *동국대학교 전기공학과, **대림대학, ***전력연구원

Study of High Efficiency H-B Converter
 Using Synchronous Rectifier

S.M.Go*, Y.Kim*, S.H.Baek*, I.J.Maeng*, P.S.Kim**, S.H.Yoon***
 *Dongguk University, **Daerim College., ***KEPRI

Abstract - 본 논문에서는 출력단에 동기정류기를 사용하는 영전압 스위칭 방식의 고효율 하프 브리지(H-B) 컨버터에 대해 다루고자 한다. 컨버터 손실의 대부분은 출력단 정류기 부분, 주 스위치, 트랜스 등에서 발생되며, 이중 출력단 정류기에 쇼트키 다이오드를 이용하는 경우 쇼트키 다이오드의 on-drop에 의한 손실이 적지 않게 된다. 따라서 이를 감소시키기 위해 쇼트키 다이오드를 MOSFET동기 정류기로 대체하고자 한다. 동기 정류기 방식에 이용되는 MOSFET에는 도통손실이 있으나 이는 쇼트키 다이오드의 on-drop에 의한 손실에 비해 매우 작으며, 특히 MOSFET의 기생 성분을 이용하여 영전압을 구현함으로써 MOSFET의 도통 손실을 현저히 감소시킬 수 있게 된다. 또한 H-B 컨버터의 경우 주 스위치에 전원전압과 동일한 크기의 전압이 인가되므로 내압이 작은 소자의 이용이 가능하게 되며, 이와 같이 함으로써 사용 부품 수의 감소, 내압이 낮은 주 스위치의 사용, 더 나아가 효율이 높은 고효율 컨버터를 구현 할 수 있다.

1. 서 론

반도체 집적기술의 발달로 소자들의 기능적인 밀도는 점차 높아지고 소형 경량화와 고 효율화가 계속적으로 이루어지며 저 전압에서 동작하는 소자들이 개발되고 있다. 이러한 기술의 발달로 사용되는 전자기기에 필요로 되는 전압은 계속 낮아져 오늘날 3.3V 이하가 주류를 이루고 있다. 또한 차후 1.5V가 널리 이용될 것이다. 따라서 출력 전압이 낮은 DC컨버터의 필요성이 증가하고 있다. 이러한 추세는 컨버터를 제작할 때 요구되는 고효율과 높은 전력밀도를 구현하는 데 큰 장애 요인이 된다. 스위칭시 발생하는 손실을 줄이기 위하여 영전압 스위칭 방식 컨버터가 고밀도 DC/DC 컨버터분야에 널리 사용되어 왔다. 이 방식은 스위칭시 MOSFET스위칭 소자에 전류와 전압이 중복됨에 따라 발생하는 손실을 줄여 고주파 고효율 동작을 목적으로 한다. 그러나 이러한 소프트 스위칭방식 컨버터는 1) 전류 레벨이 증가한다. 2) MOSFET 전압 스트레스가 증가한다. 3) 스위칭 주파수범위가 광범위하다. 4) 최소 부하조건이 요구되는 단점을 지니며, 이는 영전압 스위칭을 하는 하프브리지 또는 풀 브리지를 적용하여 해결 가능하다. [3]에서 제시하는 플브릿지 방식은 일정한 주파수 동작과, 소자의 낮은 전압 스트레스등과 같은 장점이 있으나 MOSFET를 이용 저전력을 취급하는 경우 스위칭 소자의 증가에 따른 경제적 부담이 있다. [4]에서 제시하는 영전압 스위칭 부분공진형 하프브리지 컨버터는 스위칭 소자를 줄이는 반면 출력 전압은 스위칭 주파수를 제어 하는 방식으로 주파수 범위가 넓은 단점이 있다. 또한 컨버터의 손실 중 많은 부분은 출력단 쇼트키 다이오드에서 발생하게 된다. 본 논문에서는 이러한 문제점을 보완하기 위하여 일정 주파수 제어를 하는 동기정류방식 영전압 스위칭 하프브릿지 컨버터를 연구하였다. 1차측 ZVS동작으로 무손실에 가까운 스위칭을 하고, 출력단

정류회로에는 동작 파형을 이용하는 동기 정류기를 사용하여 효율을 크게 증가시켰다.

2. 본 론

오늘날 전자 기기들이 요구하는 전전압 컨버터의 제작에 있어 전체 효율의 저하는 가장 큰 문제로 된다. 컨버터에서 발생하는 손실을 살펴보면 표 1과 같다.

표.1 PWM 컨버터에서의 손실 분포

소 자	손 실 비
주 변압기	10%
출력 필터	5%
입력 필터	2%
제 어 부	2%
출력단 정류기	50%
주 스위치	30%
기 타	1%
합 계	100%

표에서 보는 바와 같이 손실은 출력단 정류기에서 가장 많이 발생하고 1차측 스위칭소자, 변압기 순으로 된다. 스위칭 소자의 손실은 스위칭시 전압과 전류의 중복으로 발생하며 노이즈 및 열로 발생되는 많은 문제를 발생한다. 출력단 정류기 손실은 전체 손실 중 50%이상으로 이는 출력전압이 낮아질수록 급격하게 증가한다. 이는 정류기로 사용되는 다이오드의 전압강하가 원인이다. 정류기에서 손실을 보면 출력 전압이 3.3V인 컨버터인 경우 다이오드의 전압강하를 0.6으로 가정하고, 정류기 손실만을 고려한다면 효율은 식(1)로 표현된다.

$$\eta = \frac{P_o}{P_d + P_o} = \frac{I_o V_o}{I_o V_d + I_o V_o} = \frac{3.3}{0.6 + 3.3} = 84\% \quad (1)$$

P_o : 출력전력 P_d : 전력손실 I_o : 출력전류
 V_o : 입력전압 V_d : 다이오드 전압강하

식 (1)에서 다이오드의 전압강하는 일정하므로 출력전압이 낮을수록 효율이 급격하게 감소하는 것을 알 수 있다. 컨버터 전체의 손실을 고려할 때 전체 효율은 74% 이상으로 하는 것은 곤란하게 된다.

2.1 제안된 회로

그림 1은 본 논문에서 제안하는 회로이다. 변압기에 인가되는 전압과 출력 전압은 듀티비를 가변함으로써 이루어진다. 제안된 컨버터동작은 낮은 (1) MOSFET전압 (2) 영전압 스위칭 (3) 기생성분의 효과적인 활용 (4) 회로소자의 최적화 (5) 간단하고 효과적인 제어 (6) 동기정류 방식에 의한 출력단 손실경감, 효율 증가

및 출력 리플감소와 같은 장점이 있다. 또한, 1차측 직렬 등가 인덕턴스는 각 스위치의 영전압 스위칭을 용이하게 하는 반면 컨버터의 최대 출력을 감소시키는 단점도 있다. 본 논문에서는 변압기 누설 인덕턴스와 스위칭 소자에 기생하는 캐패시터 성분의 상호 작용을 영전압 스위칭에 이용한다. 하프브릿지 PWM컨버터에서 영전압 스위칭을 얻기 위하여 비대칭 제어를 적용하여 하나의 스위치는 시비를 D로 다른 한 스위치는 1-D로 동작한다.

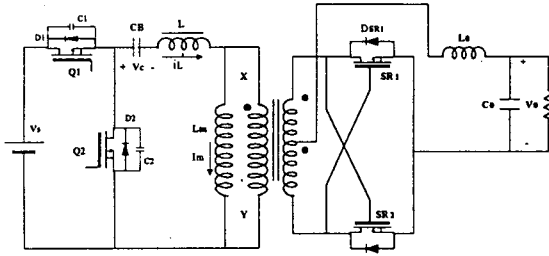


그림 1. 제안된 동기정류방식 하프브릿지 컨버터

입력전압이 변동하는 경우 시비율은 출력 전압을 일정하게 유지하기 위하여 변화한다. 이러한 변화는 출력단 동기 정류기를 구동하기 위한 게이트-소스전압을 수정하기 때문에 매우 중요하다. 그림 1에서 MOSFET의 게이트구동 전압은 마주하는 MOSFET의 드레인-소스전압이 된다. 동기 정류기 구동전압은 다음과 같다.

$$V_{gs2} = 2 V_{in} D/n \quad (2)$$

$$V_{gs1} = 2 V_{in} (1-D)/n \quad (3)$$

출력단 정류기에 식 (2)·(3)과 같은 게이트 구동 전압이 인가되면 다이오드의 on-drop 이하의 구간에서 정류기의 출력 캐패시터를 충전시키는 전류가 흐르고 출력 캐패시터 양단전압이 on-drop 이상으로 충전되면 바디다이오드가 도통한다. 게이트 전압이 문턱전압 이상으로 되면 바디다이오드 양단 전압은 0V로 떨어져 차단되고 전류는 정류기를 통해서 흐른다. 이 때 바디다이오드의 도통시간 중 정류기가 온 되므로 영전압 스위칭이 이루어진다. V_{gs} 는 최대값과 최소값이 존재하며 특히 이 값은 문턱전압보다 커야 한다(약 3V). 만약 이 값보다 작다면 출력 전류는 동기 정류기의 바디다이오드로 통하게 되며 전도 손실은 증가하게 된다.

2.1.1 이론적인 파형 및 모드별 동작특성

1차측의 주 스위치는 MOSFET Q_1 · Q_2 그리고 바디다이오드 D_1 · D_2 로 구성된 양방향 스위치이며 C_1 · C_2 는 기생 캐패시터이다. 캐패시터 C_B 는 Q_2 가 온 상태 일 때 부하에 에너지를 공급하고 변압기포화를 막는 저지 캐패시터로서 작용한다. 다음 사항을 가정하고 모드별 동작을 해석하기로 한다.

- 1) 변압기 2차측 누설인덕턴스는 무시한다.
- 2) C_B 는 V_c 가 일정하도록 충분히 큰 값으로 한다.
- 3) L_m 은 I_m 이 일정하도록 충분히 큰 값이다.
- 4) 출력 인덕터 L_o 는 L 보다 충분히 큰 값이고 L_o 에 흐르는 전류는 항상 일정하다(L 은 변압기 1차 누설 인덕턴스).

이론적인 동작 파형과 등가 회로는 그림 2.3과 같다.

2.1.2 동작해석

① 모드 1 [그림 3-M1]

MOSFET Q_1 과 정류기 SR_2 도통. 변압기 1차측에는 $(V_s - V_c)$ 전압이 인가된다. 변압기 자화인덕턴스 L_m 과 출력 필터 L_o 가 1차 누설 인덕턴스보다 크기 때문이다.

이때 L_o 가 매우 크다면 출력 리플은 거의 없고 1차 변압기를 흐르는 전류 I_L 은 $I_o/n + I_m$ 으로 일정하게 유지된다. 인가된 전압과 식 (2)로 표현된 전압이 SR_2 의 구동전압이 된다.

② 모드 2 [그림 3-M2]

Q_1 의 차단부터 시작. 변압기 전류 i_L 은 거의 일정하게 유지된다. 이 구간은 MOSFET의 기생 캐패시터 C_1 , C_2 가 선형적인 충전과 방전을 하는 구간으로 변압에 걸리는 전압은 감소한다. 이 구간 중 SR_2 의 바디다이오드를 통하는 경우가 발생한다. 모드 2는 C_2 의 전압이 저지 캐패시터 C_B 양단 전압(DV_c)과 같아질 때 끝난다. C_1 · C_2 의 작용으로 Q_1 에 스너버 역할을 한다.

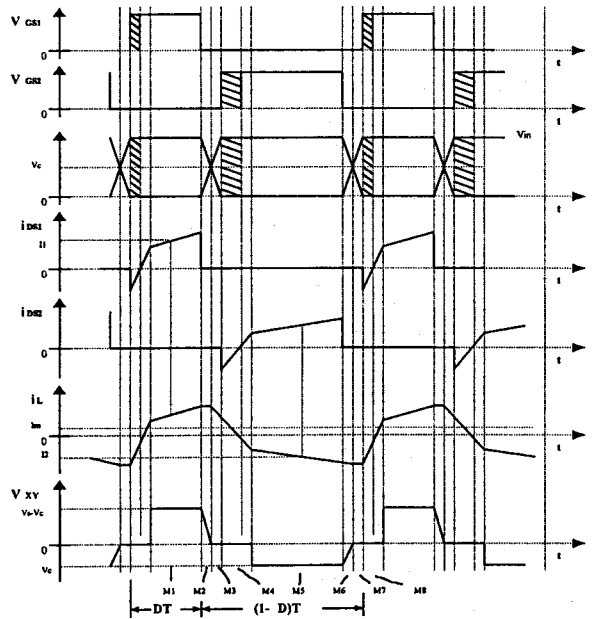


그림 2. 제안된 회로의 이론적인 파형

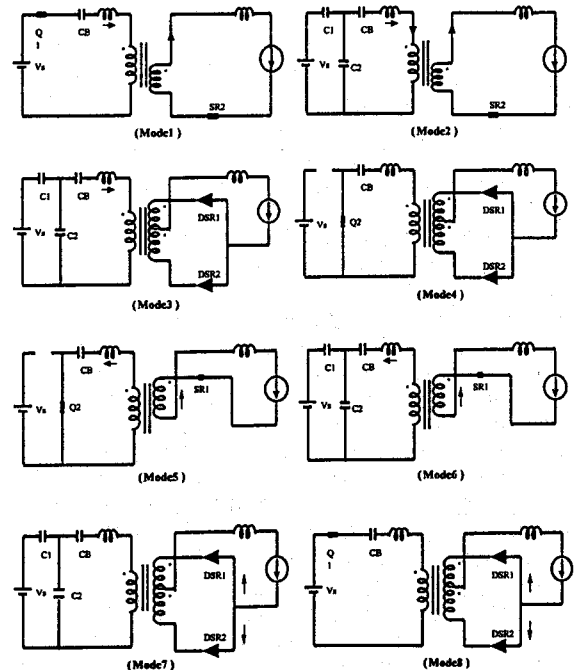


그림 3. 제안된 회로의 모드별 동작특성

③ 모드 3 (그림 3-M3)

C₂전압이 C_B양단 전압과 같을 때 변압기의 1차측에 인가되는 전압은 영이된다(V_{XY}=0V). 따라서 변압기 1차, 2차 권선은 분리된다. 이 때 누설 인덕턴스 L은 C₁·C₂와 공진한다. C₂는 0V에 이를 때까지 방전한다. 이때 바디다이오드 D₂가 도통을 시작한다. 이렇게 하여 Q₂에서 영전압 스위칭이 이루어진다. 출력전류는 SR₁·SR₂의 바디다이오드 D_{SR1}·D_{SR2}를 통해서 환류한다.

④ 모드 4 (그림 3-M4)

D₂와 Q₂가 동시에 도통되는 구간. Q₂의 최대 턴온 시간. 그림 2에서 V_{gs2}에서의 빗금친 부분은 변압기전류 i_L의 극성이 바뀌기 전. 즉, Q₂가 온 되기전 D₂의 도통 시간으로 이 기간중 Q₂는 도통되어야 한다. 모드 2-3의 구간은 두 스위치사이의 최소 지연시간이다. 변압기 전류는 극성을 바꾸어 (I_m-i_o/n)의 값까지 증가한다.

⑤ 모드 5 (그림 3-M5)

변압기 전류가 (I_m-i_o/n)값일 때, 변압기에 인가되는 전압은 -DV_S로 SR₁을 구동시키고 저지 캐패시터 C_B가 에너지 공급원으로 작용한다. 이 구간에서 전류값은 자화전류와 일차로 환산된 출력전류의 차가 된다 [(I_m-I_o/n)(I₂)].

⑥ 모드 6 (그림 3-M6)

이 구간에서 회로 동작은 모드 2와 거의 같다. Q₂가 차단될 때 이 모드가 시작되며 (i_o/n-I_m)에 의해 C₁, C₂는 선형적으로 충·방전 한다. 변압기 양단전압은 이 구간동안 선형적으로 감소한다. 이 전압은 식 (1)에서와 같으며 이 값이 MOSFET 문턱전압 이하일 때 출력전류는 SR₁의 바디다이오드를 통하여 환류한다.

⑦ 모드 7 (그림 3-M7)

모드 3,4와 같이 변압기 양단전압은 영으로 유지되며 출력전류는 SR₁, SR₂의 바디다이오드를 통해서 환류한다. 누설인덕터 L은 C₁, C₂와 공진한다. C₁은 0V될 때까지 방전을 계속하며 바디다이오드 D₁은 도통하고 Q₁에서는 ZVS가 이루어진다.

⑧ 모드 8 (그림 3-M8)

그림 2의 V_{gs1}파형에서 사선 기간은 Q₁ 도통 전, 즉, 인덕터 전류가 극성을 바꾸기 전, D₁의 도통기간을 나타낸다. 인덕터 전류의 극성이 바뀌는 시간은 Q₁의 턴-온에 이용되는 최대 시간이다(그림 2에서 M₆+M₇+V_{gs1}의 사선기간). 인덕터 전류가 (i_o/n+I_m)에 이를 때 한 주기가 끝난다.

주 스위치 게이트신호 사이에 존재하는 지연시간은 스위치 오프하기 전 변압기에 흐르는 전류와 인덕턴스 값 그리고 기생 캐패시턴스 C₁, C₂ 및 입력전압에 의해서 결정된다. 변압기 전류나 인덕턴스 값이 클 경우 지연시간은 짧아지고, C₁, C₂ 및 입력전압이 클 경우 이 값은 커지게 된다.

2.2 변압기 설계

변압기 1,2차 권수와 코어 그리고, 권선의 굵기를 결정한다. 권수는 최대시비율에서 결정한다. 일반적인 하프브리지 컨버터의 관계식은 식 (4)와 같다.

$$V_o = 2 \delta T n V_{in} / 2 \quad (4)$$

식 (4)는 또한 식 (5)와 같은 관계로 나타낼 수 있다.

$$n = \frac{N_s}{N_p} = \frac{V_{omax} + V_{on} + V_{Ls}}{\delta T_{max} \cdot V_{imin}} \quad (5)$$

$$N_s \geq \frac{\delta T_{max} V_{pmax} n \times 10^4}{f A_{min} \Delta B} \quad (6)$$

$$L_p = N^2 A_L \quad (7)$$

N_p : 1차측 권수, N_s : 2차측 권수, n : 권선비, V_{on} : 정류기의 전압강하, V_{Ls} : 2차측 변압기 권선과 인덕터의 전압강하, A_{min} : 코어의 최소 단면적, A_L : 850×10⁻⁹, ΔB : 자속스윙(flux swing) = (B_s-B_r)(T) B_s : 포화 자속밀도, B_r : 잔류 자속밀도

먼저 식 (5)에 의해 변압기의 권수비를 정한다. 식 (6)에 의해 2차측 권수를 구한 다음 식 (5)의 관계에 의해 1차측 권수를 구한다. 식 (7)으로부터 설계한 변압기의 1차 인덕턴스 값을 계산한다.

2.2.1 동기정류기 및 캐패시터

동기정류기는 손실을 고려하여 가능한 온 저항이 작은 것을 선택한다. 출력단 정류를 쇼트키 다이오드로 하는 경우 손실은 on-drop에 의해서 발생하고 동기정류기를 사용하는 경우 on-저항에 의해서 발생한다. 식(8)은 손실을 줄이기 위해서 on-저항이 어느 정도 이하가 되어야 하는지를 선택하는 기준이 된다.

$$R_{dson} \cdot I_o^2 = V_{on} \cdot I_o \quad (8)$$

V_{on} : 온 전압강하 (0.7V) I_o : 출력전류

(8)식으로부터 계산된 값 이하의 on-저항을 갖는 MOSFET을 선택한다.

$$f_r = \frac{1}{2INLC} \quad (9)$$

$$\Pi \cdot \sqrt{(L_m + L_l)C} \gg T_{off(max)} \quad (10)$$

T_{off} : T_s · duty_{max}
L_m : 변압기 자화인덕턴스 L_l : 변압기 누설인덕턴스

3 시뮬레이션 및 실험결과

위의 식으로부터 계산된 값으로 시뮬레이션을 하였으며 실험하였다.

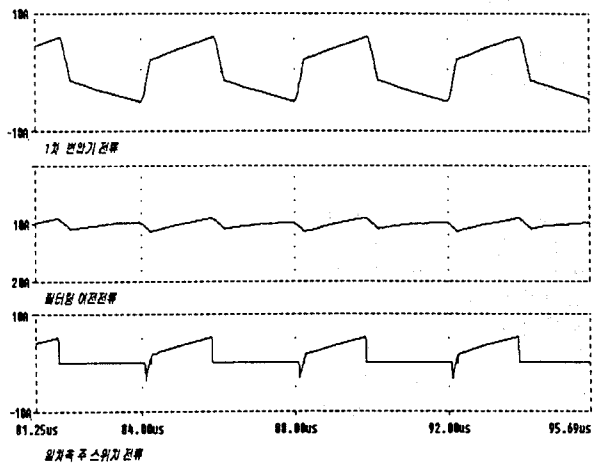


그림 4. 시뮬레이션 결과 (입력 58V 출력 5V, 10A D=0.45)

시뮬레이션은 출력전압 5V, 출력전류 10A로 행하여 효율은 94%를 얻을 수 있었다. 시험을 위한 제작은 출력전압 5V, 출력전류를 10A로 하며 실험하였다. 스위

칭 주파수는 166kHz. 최대 시비율은 0.45. 변압기 1차 인덕턴스는 229 μ H. 변압기 누설 인덕턴스는 약 8%를 주었다. 권수비는 3:1로 하였다. 동기정류기는 SMP60-N03/10L(on-저항 10m Ω)을 사용하였다.

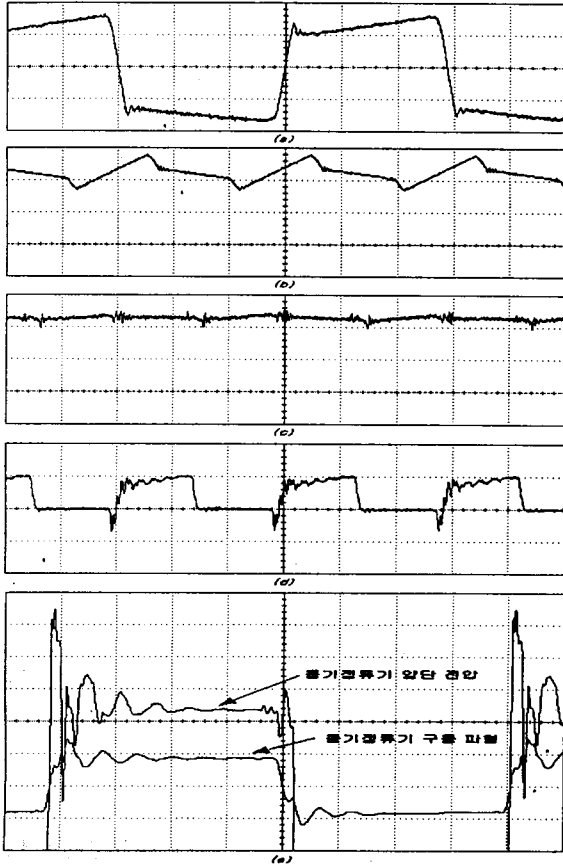


그림 5. 실험결과 파형
(a) 변압기 1차 전류 (5v 1us/div) (b) 출력단 필터 앞단 전류 (5v 2us/div) (c) 출력단 필터를 통한 전류 (5v 2us/div) (d) 주 스위치 전류 (3v 2us/div) (e) 출력단 동기 정류기 구동전압과 양단 전압 (CH1=4v CH2=100mv 0.5us/div)(입력 58V 출력 5V, 10A D=0.45)

4. 결 론

하프브리지 컨버터는 주스위치의 전압 스트레스가 적고 출력단 리플이 적어 출력 필터의 크기를 크게 줄일수 있는 장점이 있다. 제안된 회로에서 1차측 주 스위치 단에서 회로의 기생 성분을 이용한 영전압 스위칭으로 손실저감과 출력단에서 회로의 동작 파형을 이용한 동기정류기를 사용하므로 손실을 크게 줄이고 효율을 향상시킬 수 있었다. 회로 소자 수를 줄이고 출력 리플이 적어 출력단 필터가 작아 전체 크기를 줄일 수 있다. 본 논문은 동기정류기를 이용한 영전압 스위칭 고효율 하프브리지 방식의 설계 및 동작이론을 제안하였다.

[참고문헌]

- [1] R. Oruganti et al., "Soft-switched dc/dc converter with PWM control in IEEE int. Telecommunication Energy Conf. Rec., 1993, pp. 341-349
- [2] F. C. Lee, "High Frequency quasi-resonant and multi-resonant converter technologies," in Proc. Annu. Conf. IEEE Industrial Electronics Soc.(IECON), 1988,pp.

509-521

- [3] O. D. Patterson and D. M. Divan, "Pseudo-resonant full-bridge dc-dc converters," in IEEE Power Electronics Specialists Conf. Rec., 1987, pp. 424-430
- [4] M. M. Jovanovic, W. A. Tabisz, and F. C. Lee, "High-frequency off-line power conversion using zero-voltage switching quasi-resonant and multi-resonant technologies," IEEE Trans. Power electron., vol. 4, no.4, pp. 459-469, 1989.
- [5] R. Farrington, M. M. Jovanovic, and F. C. Lee, "A new family of isolated zero-voltage-switched converters," in IEEE Power Electronics Specialists Conf. Rec., 1991, pp. 209-215
- [6] A. J. Perin and I. Barbi, "A new isolated half-bridge soft-switching pulse-width modulated dc-dc converter," in IEEE Applied Power Electronics Conf. Rec., 1992, pp. 66-72
- [7] R.A. Blanchard, P.E. Thibodeau, "the Design of a High Efficiency, Low Voltage Power supply using Mosfet Synchronous Rectification and Current Mode Control", IEEE Power Electronics Specialists Conference Record, p. 355-361, 1985
- [8] J.A. Cobos, J. Sebastian, J. Uceda, E. de la Cruz and J.M. Gras, "Study of the applicability of Self Driven Synchronous Rectification to Resonant Topologies". IEEE Power Electronics Specialists Conference, pp. 933-940, 1992