

전계방출소자의 3차원 전계해석

김영훈^o, 정재훈, 이병호
서울대학교 전기공학부

3-dimensional Electric Field Analysis for Field Emission Devices

Yeong-hoon Kim, Jaehoon Jung, and Byoung-ho Lee
School of Electrical Engineering, Seoul National University

Abstract

3-dimensional finite element method(FEM) electrical field analysis was performed to obtain electric fields on a field emission device tip in an array form. The simulation was performed by applying the Neumann boundary condition to the intermediate plane between tips. To verify our algorithm, comparison between simulation results and experimental data from another paper was made and the difference was discussed. Finally, analysis on triode structure was performed.

I. 서론

효율적인 FED tip구조를 만드는 일은 FED기술의 핵심을 이루는 연구분야이다. 시뮬레이션을 통해 원하는 tunneling 전류를 얻기 위한 tip array 설계에 관한 연구가 활발히 진행되고 있다. Tunneling 전류를 계산하기 위해서는 tip의 전계분포를 알아야 하는데 이를 위한 여러 방법들이 제시되고 있다. 하지만 이러한 시뮬레이션은 대부분 단일 tip 구조에 대한 전계해석이어서 실제로 제작되는 tip array에서 tip간의 간격의 영향 등을 연구하는 데에는 적합하지 않다.

본 논문에서는 tip 모양에 대한 어떠한 가정도 하지 않고 2차원 array에 대한 3차원 유한요소법 전계해석을 시행하였다. 제안된 방법의 검증을 위해 시뮬레이션 결과와, 실험값[3]에 대한 비교를 하고 그것의 결과에 대해 논의한다.

II. 유한요소법을 이용한 전계해석

일반적으로 cone형 FED tip array는 그림 1의 (a)처럼 제작된다. 충분한 전류를 얻기 위해 일반적으로 array의 갯수를 5만개 내외로 제작하고 있다[3]. 이처럼 충분히 tip의 갯수가 많기 때문에 무한 array라고 가정할 수 있고 그러면 하나의 tip과 그

옆의 tip의 중간 평면에서는 대칭성으로 인해 전계가 z성분(수직성분) 밖에 없다. 따라서 그림 1의 (b)와 같이 옆면들에 Neumann 경계조건을 주어 전계 해석을 시행하면 되는 것이다. 이러한 방법으로 해석영역이 array 전체에서 하나의 tip으로 축소되기 때문에 요구되는 계산량을 크게 줄일 수 있다.

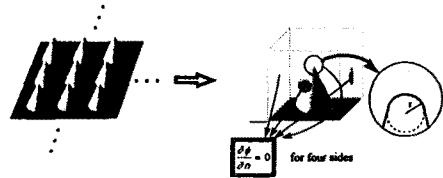


그림 1. FED tip array의 모델링

- (a) 실제의 FED tip array
- (b) 모델링한 하나의 FED tip

III. Tip 간격에 따른 전계의 변화

본 장에서는 II장에서 제안된 방법으로 tip간의 간격을 달리하며 유한요소법 전계해석을 시행한 결과를 다루고자 한다.

일반적으로 tip 간의 간격이 크면 클 수록 tip 간의 상호작용이 작아져서 tip의 전계가 커지게 된다. 그러나, 면적당 전류밀도 높이기 위해서는 tip간 간격을 줄여 tip 밀도를 높여야 한다. 따라서, 이러한 두 가지 현상의 trade-off가 존재한다.

해석 모델은 그림 2와 같다. 여기에서 $V = 30[V]$, $d = 3\mu m$, $h = 4\mu m$, $r = 10nm$ 이며 $s = 7.4, 8.9, 10.4, 11.9, 14.9\mu m$ 에 대하여 전계 해석을 하였다.

그림 3은 $s = 7.4\mu m$ 일 때의 tip 단면의 등전위 분포인데 tip과 tip사이의 중간면(그림 3에서의 오른쪽 경계선)과 등전위면이 수직임을 볼 수 있다.

그림 4는 tip 간격에 따른 tip의 전계 분포인데 기존의 논문[2]에 수록된 모델과의 비교를 나타내고 있다. 여기서 s가 작아짐에 따라 전계가 작아짐을 볼 수 있으며 정확하게 전계값은 같

지 않지만 전계변화의 경향은 일치하고 있다.

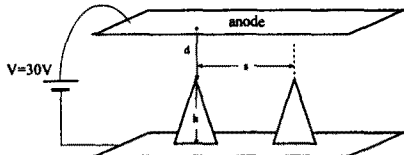


그림 2. 해석 모델의 형상

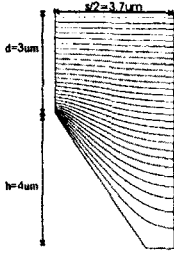


그림 3. tip 단면에서의 등전위 분포

IV. Tunneling 전류의 계산

보통의 FED tip array는 Si 표준 공정을 이용하여 제작하는 데, 이러한 Si tip은 전자 방출의 불안정성, tip의 파괴라는 두 가지의 주된 문제점으로 인하여 Mo-coating하여 제작하기도 한다[3]. 본 장에서는 이러한 Si tip과 Mo-coated tip의 전계해석과 이를 통한 전류계산을 다루고자 한다. 사용된 파라미터 값들은 $V = 40[V]$, $d = 1.3 \mu m$, $h = 1.2 \mu m$, $r = 5 nm$, $s = 4.5 \mu m$ 이다.

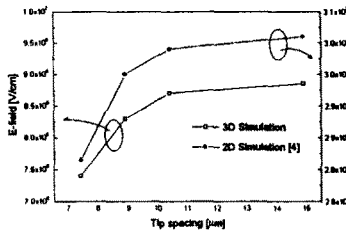


그림 4. Tip 간격에 따른 전계의 변화

그림 5는 tip 끝에서 anode까지의 전압분포와 전계분포를 나타낸다. tip 끝에서 전압이 급격하게 상승하여 강한 전계가 인가됨을 알 수 있다.

Mo-coating된 tip에서의 터널링 전류는 다음과 같은 Fowler-Nordheim 식에 의해 계산될 수 있다.

$$J = \frac{AE^2}{\phi^2} \exp\left(-B \frac{\phi^{3/2}}{E} \nu(y)\right) \quad [A/cm^2] \quad (1)$$

한편, Si tip에서 터널링 전류는

$$J_c = q \frac{4\pi m k T}{h^3} \int_0^\infty dE_x \ln\{1 + \exp[(\xi - E_x)/kT]\} \times \{D(E_x) - [1 - E_m'(E_x)]D(E_x - E_m(E_x))\} \quad (2)$$

에 의해 계산할 수 있다[4-7].

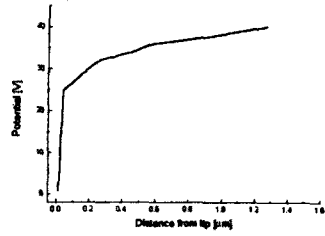


그림 5(a). Tip에서 anode까지의 전위분포

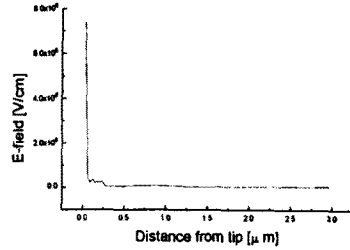


그림 5(b). Tip에서 anode까지의 전계분포

그림 6은 Si tip과 Mo-coated tip 구조에서의 전계이고 그림7은 이 전계에 의한 터널링전류를 실험치[3]와 비교한 것이다.

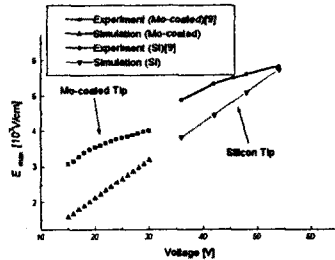


그림 6. Si와 Mo-coating된 tip에서의 전계

그림 6,7에서 공정상의 이유로 tip 표면이 매끄럽지 않고, 인가된 전압에 따라 방출면적이 변하기 때문에 실험값과 계산값이 정확하게 일치하지는 않으나[2], 계산값은 그 변화의 경향은 예측할 수 있게 해준다. 이러한 시뮬레이션 결과는 어떠한 fitting 파라미터도 사용하지 않은 것으로서, 우수한 결과로 판단된다.

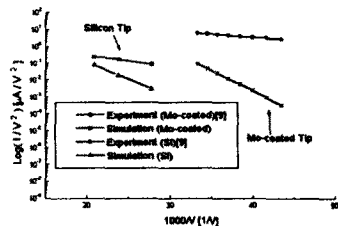


그림 7. Si와 Mo-coating된 tip에서의 터널링 전류

V. Triode 구조에의 적용

이제 gate가 있는 triode 구조를 해석한 결과를 논한다. 해석한 구조는 gate가 있다는 것이 diode 구조와 다르다. Gate aperture는 $1\mu\text{m}$, gate의 두께는 $0.5\mu\text{m}$ 로 하였으며 gate의 높이는 tip의 높이와 같게하였다.

그림 8은 gate에 10V를 주고 anode의 전압을 변화시키면서 전계의 변화를 나타낸 것이다. Diode 구조에서는 anode의 전압에 비례해서 field의 크기가 변해야하지만, triode 구조에서는 gate의 영향으로 그렇지 않다는 것을 알 수 있다.

그림 9는 anode에 60V를 주고 gate의 전압을 변화시킨 것이다. 그림 8과 비교해볼 때, anode의 전압의 변화보다는 gate의 전압의 변화에 더 민감한 것을 알 수 있다.

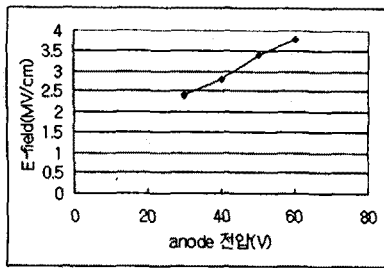


그림 8. anode의 전압의 변화에 따른 전계의 변화

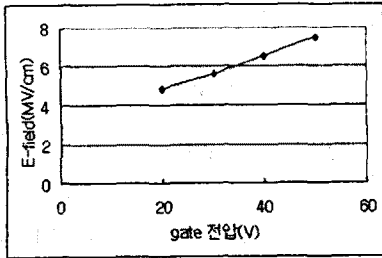


그림 9. gate의 전압의 변화에 따른 전계의 변화

그림 10은 anode와 gate의 전압을 고정시키고 tip간의 간격을 달리한 것이다. Gate의 shielding 효과에 의해 전계의 값이 거의 일정하다는 것을 알 수 있다. 이점에 있어서 diode 구조와 큰 차이를 보인다. 그림 4와 비교해보면 이를 잘 알 수 있다. 그림 8, 9, 10으로부터 triode 구조에서는 gate가 소자의 특성에 아주 큰 영향을 미친다는 것을 알 수 있다.

VI. 결론

본 논문에서는 FED 소자 tip array의 3차원 유한요소 전계 해석을 다루었다. 제안된 3차원 유한요소법 전계 해석으로 tip 모양에 어떠한 가정도 없이 실험값과 비슷한 변화 추세를 보여주는 결과를 얻을 수 있었다. 본 논문의 시뮬레이션 결과는 어떠

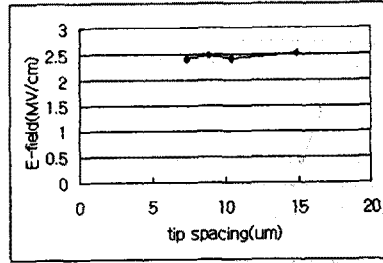


그림 10. tip 간격에 따른 전계의 변화

한 fitting 파라미터도 사용하지 않은 것으로서, 우수한 결과로 판단된다. 좀 더 정확한 계산을 위해서는 tip과 금속막 사이의 재료적인 특성, effective work function의 변화 등도 고려하여 tunneling 전류를 모델링하여야 할 것이다.

※본 연구는 서울대학교 반도체공동연구소를 통한 교육부의 지원에 의해 수행되었음.(과제번호:ISRC 96-E-1412)

참고문헌

- [1] 이종덕, "새로운 디스플레이 기술 - FED," 제 1회 한국 반도체 학술회의 논문집, 1994, pp. 407-408.
- [2] 안호영, "Numerical analysis of field emitters," Ph.D. dissertation, 서울대학교, pp. 28-29, 1996.
- [3] H. W. Park, B. K. Ju, Y. H. Lee, J. H. Park and M. H. Oh, "Emission characteristics of the molybdenum-coated si field emitter array," *Jpn. J. Appl. Phys.*, vol. 35, pp. L1301-L 1304, Part 2, No. 10A, 1 October 1996.
- [4] K. L. Jensen, "Improved Fowler-Nordheim equation for field emission," *J. Vac. Sci. Technol. B* 13(2), pp. 516-521, Mar/Apr 1995.
- [5] 이병호, 민성욱, 방지훈, 유봉안, "Field emission display tip에서의 방출전류의 모델링: 확장된 FN 터널링 전류식 및 간단한 전계해석 기법의 타당성에 대한 연구," *대한전기학회 MEMS 연구회 학술발표회 논문집*, 1996, pp. 45-54.
- [6] B. Lee, S.-W. Min, J.-H. Bang, D.-S. Hwang, and T.-J. Kwon, "Modeling of tunneling current at the field emission display tips: for non-metallic tips and an analytic method of solving for electric fields," *9th International Vacuum Microelectronics Conference*, St. Petersburg, Russia, 1996, pp. 97-101.
- [7] 황도성, 이병호, "저항성 박막위에 놓인 전계방출 디스플레이 이용 microtip 어레이 방출특성의 이론적 해석," *Photonics Conference '96*, 1996, pp. 229-230.