

단조 버퍼링 방식을 이용한 Banyan형
ATM 스위치의 성능평가
The Performance of Banyan Type
ATM Switch using Monotonic Buffering Scheme

김범식 · 우찬일 · 신인철
(단국대학교 전자공학과)

Bum-sik Kim · Chan-il Woo · In-chul Shin
(Dept. of Electronic Engineering, Dan-Kook Univ.)

ABSTRACT

In the future, the performance of B-ISDN offering the multimedia and a various service depends on the performance of switch that is the important factor consisting of network.

Bufferless banyan network consisted of MIN(multistage interconnection network) selected for- the fabric of ATM switch and has a limitation of performance because of blocking.

Input buffered banyan networks with FIFO(first-in first-out) buffering scheme for the reduction of blocking and the cell bypass queueing theory for the reduction of HOL(head of line) blocking were seperately compared of the performance of switch. Specially input buffered banyan networks were applied monotonic buffering scheme that was proposed.

As a result of simulation, Buffered Banyan Network with cell bypass queueing theory showed better performance than FIFO type input buffered Banyan network. Monotonic increase buffering scheme showed better performance than Monotonic decrease buffering scheme.

1. 서 론

비동기 전송 방식(ATM : Asynchronous Transfer Mode)은 통계적 다중화를 통한 망 자원의 효율적인 이용 및 다양한 서비스를 수용할 수 있는 광대역 종합 통신망(B-ISDN) 구축에 기반 기술로 인식되고 있다. 그러나 ATM이 지니고 있는 장점을 충

분히 활용하려면 효율적인 트래픽 제어 및 자원 관리가 필요하다. 즉 다양한 형태의 트래픽과 서로 다른 서비스를 만족시키기 위한 연구가 활발히 진행되고 있다.

일반적으로 B-ISDN의 성능은 망의 핵심적인 구성 요소인 교환기(switch)의 성능에 크게 좌우된다. 만약 교환기의 성능이 좋지 않다면 교환기로 입력되는 트래픽의 상당수가 손실(loss) 또는 오전송(misroute)되거나 교환기 내부의 버퍼에서 지나치게 지연되는 등의 원하지 않는 현상이 생길 수 있다. 이와 같은 현상은 B-ISDN 연결 설정시 사용자와 망 사이에 협약된 서비스 품질을 저하시키는 결과를 초래하는 것으로 방지 또는 최소화되어야 한다.

다양한 서비스 처리 능력과 고속의 교환 능력을 제공하는 ATM 교환망의 스위치 구조로는 Banyan형 교환망이 있으며 Goke와 Lipovskil)에 의해 처음으로 제안되었다. Banyan형 교환망의 장점으로서는 망이 지닌 규칙적인 구조에 기인한 VLSI로의 구현의 적당함, 자립 경로 배정 (self-routing) 기능에 따른 교환 제어의 간단함, 작은 크기의 망들로부터 큰 망으로의 구성을 가능하게 하는 망의 모듈화가 가능하다는 점 등이다. 그러나 Banyan형 교환망은 망의 근본적인 구조상 발생하는 블럭킹(blocking)으로 인하여 셀 손실률이 크고 처리량은 제한적이기 때문에 블럭킹 완화를 위하여 각 교환 소자에 버퍼를 두는 방법등이 일반적이다.

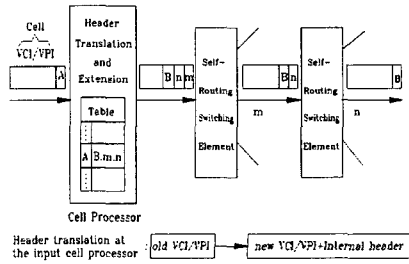
본 연구에서는 선입선출 방식의 입력 버퍼형 Banyan망(Input Buffered Banyan Network)과 HOL(Head of Line) 블럭킹 현상을 완화하기 위하여 셀 우회 이론을 사용한 입력 버퍼형 Banyan망(Input Buffered Banyan Network)에 기존의 망들처럼 각 단에 동일한 크기의 버퍼를 설정하지 않고, 버퍼 크기를 가변적으로 구성하는 단조 버퍼링 방식(monotonic buffering scheme)을 적용하여 성능을 평가한다. 입력환경은 유니폼한 경우를 가정하였으며 Sun SPARC station IPX 상에서 시뮬레이션 전용 언어인 SLAM II를 이용하여 셀의 스루풋, 정규화된 지연 시간에 대하여 분석한 결과를 제시하였다.

II. Banyan형 교환망

1. Banyan형 교환망의 일반적인 개념

Banyan형 교환망은 병렬 처리 컴퓨터를 위한 메모리와 다중 처리기의 상호접속을

하기 위하여 1971년 L.R. Goke와 G.j. Lipovski에 의해 제안된 다단상호 접속망(MIN : Multi-stage Interconnection Network)으로 일반적인 구성은 다음과 같다. 교환망의 규모가 $N \times N$ 이라고 하면 이 구조는 $b \times b$ 교환 소자(SE : Switching Element)들을 일정한 규칙에 따라 $n = \log_b N$ 단(stage) 배열한 형태이다. 각 단에는 N/b 개의 교환 소자가 존재한다. 단 사이의 연결 방법은 교환망의 임의의 입력 단자와 출력 단자 사이에 유일한 경로가 존재하도록 연결한다. 이와 같은 연결 조건을 만족하는 망 구성은 여러 개가 존재한다. 이들 모두를 통틀어서 Banyan형 망(banyan based network)이라 하며 이들 유사 형태의 망들은 기능적으로 같다. 즉, 망의 성능은 동일 트래픽 조건하에서 모두 같다.



<그림 1> 자립 경로 배정 원리

Banyan형 망이 ATM 망의 교환기의 교환망으로 사용되기에 적합한 가장 중요한 이유는 망의 자립 경로 배정(self-routing) 특성 때문이다²⁾³⁾. 그림 1은 교환망의 자립 경로 배정 원리를 보여준다.

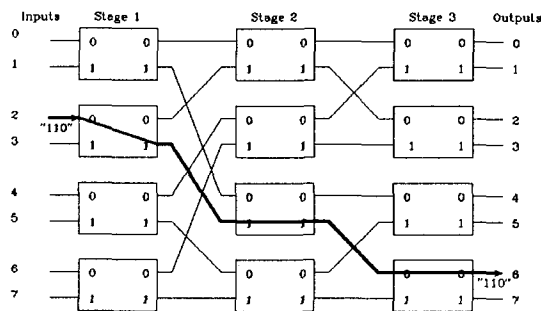
교환망의 앞에 위치하는 셀 처리기에 의하여 VPI/VCI 번역이 행하여지며 교환망의 출력 단자 번지를 나타내는 경로 배정 태그(routing tag)가 셀의 앞에 붙여져서 셀의 길이가 확장된다.

k 단으로 구성되어 있는 교환망의 경우 이 내부 헤더는 k 개의 서브필드(각 서브필드의 길이는 $\log_2 b$ 비트다)로 나누어져 있다. i 번째 서브 필드는 i 번째 단에 속한 교환 소자의 출력 번지를 포함한다. 각 서브필드는 해당 교환 소자에 의하여 참조된 후 제거된다.

각 교환 소자는 단순히 셀의 앞에 붙어 있는 경로 배정 정보 비트들 중 가장 앞의 $\log_2 b$ 비트(자신에게 해당하는 서브 필드)를 읽어 그 값에 따라 출력 단자를 한 단씩

정하여 다음 단으로 셀을 경로 배정시켜 주며, 이런 식으로 마지막 단까지 전달되어 교환망의 올바른 출력 단자로 교환되는 것이다. 이와 같은 자립 경로 배정 특성에 기인하여 Banyan형 교환망에서의 셀 교환 제어는 매우 간단하게 된다.

그림 2는 8×8 Banyan 망의 구성과 자립 경로 배정의 예를 나타내었다. Banyan 망의 n번째 단에서 스위치 소자들은 셀을 각각의 목적지까지 전송하기 위하여 셀의 목적지 주소의 n번째 비트만을 검사한다. 만약 n번째 비트가 '0' 이면 상위 출력 단자에 '1' 이면 하위 출력 단자에 각각 라우팅 시키는데 이것은 중앙 프로세서의 제어 없이 입력 단자에서 출력 단자로 셀프라우팅이 되어 빠른 속도의 전송이 가능하다¹⁾. 그림 2는 8×8 Banyan 망으로 임의의 전송 요구를 출발지와 목적지로 구분하였을 때, 입력단자 '2' 에서 출력단자 '6' 으로의 셀프라우팅 경로를 굵은 선으로 나타내었다.

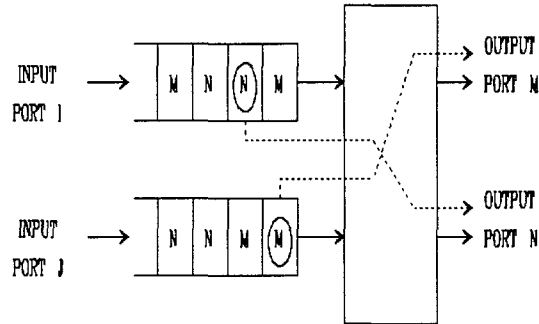


<그림 2> 8×8 Banyan Network

2. Cell Bypass Queueing 이론

FIFO 방식을 사용하는 버퍼가 있는 Banyan망(Buffered Banyan Network)은 출력 블럭킹에 의해 발생하는 HOL 블럭킹 현상으로 인해 스위치의 성능이 저하되는 단점을 가지고 있다. 셀우회 이론(Cell Bypass Queueing Theory)을 이용하면 입력 버퍼 방식의 이런 단점을 개선할 수 있게 된다.

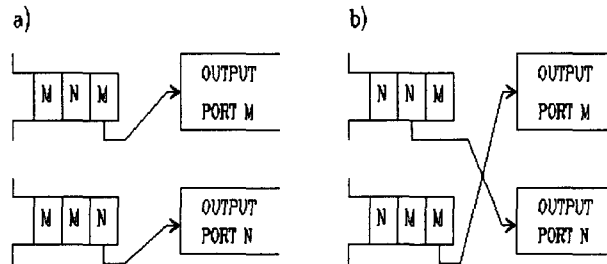
예를 들어 그림 3과 같이 입력 단자 I와 J의 양 버퍼에 맨 앞 셀이 동시에 같은 출력 단자 M에 전송을 요구하였을 때 양 버퍼를 조사하여 또다른 출력 단자 N에 전송 예정인 셀을 찾아 두개의 입력단의 셀들을 동시에 전송시킨다. 이러한 셀 우회 이론은 셀의 지연 및 스루풋 향상에 크게 기여할 것이다.



<그림 3> 셀 우회 이론을 이용한
우선 순위 제어

셀 우회 이론을 사용한 셀 출력 결정 방법은 다음과 같다. (그림 4 참조)

- (1) 출력 단자 M과 N이 모두 셀을 받아들일 수 있을 경우.
- 입력 단자의 입력 버퍼에 저장된 맨 앞 셀들의 전송 요구 방향이 다르므로 동시에 출력 시킨다. (a)
 - 각각의 입력 버퍼에 저장된 맨 앞 셀들의 전송 요구 방향이 같으므로 먼저 도착한 셀에 우선권을 주어 출력시키고 나머지 입력 버퍼를 조사하여 맨 앞 셀과 다른 방향의 전송 목적지를 요구하는 셀을 발견하여 우회시켜 출력시킨다. (b)



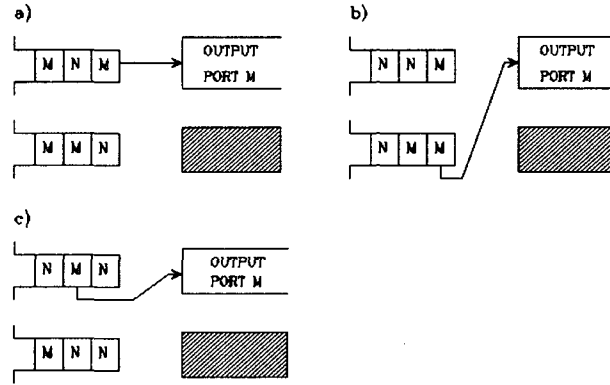
<그림 4> 셀 출력 결정 방법

- (2) 출력단자 M, N 중 어느 하나만 (M라고 가정) 셀을 받아들일 수 있는 경우.

(그림 5 참조)

- 입력 단자의 입력 버퍼에 저장된 맨 앞 셀들의 전송 요구 방향이 다르다. (a)
- 각각의 입력 버퍼에 저장된 맨 앞 셀의 전송 요구 방향이 모두 M이므로 먼저 도착한 셀에 우선권을 주어 출력시킨다. (b)

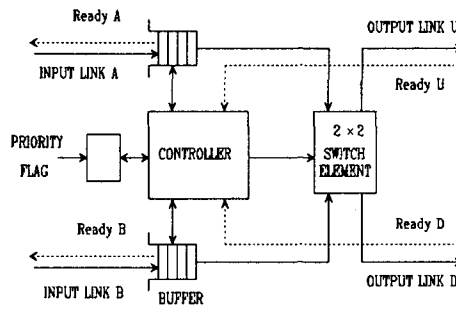
- 각각의 입력 버퍼에 저장된 맨 앞 셀의 전송 요구 방향이 모두 N이므로 먼저 상위의 버퍼를 조사하여 출력단과 M을 향하는 셀을 찾아 출력시킨다. 만약 없을 경우 하위의 버퍼를 조사한다. (c)



<그림 5> 셀 출력 결정 방법

3. 단조 버퍼링 방식

버퍼 Banyan망은 다단계 자체 라우팅 스위치 망으로서, 단위 스위치의 각 입력 포트에 대해 버퍼를 갖는 명확한 단위 스위치로부터 만들어지고, 그림 6.에서 처럼 입력 버퍼 컨트롤러에 의해 버퍼는 블럭킹된 패킷에 대해 임시 보관 장소로서 사용된다.

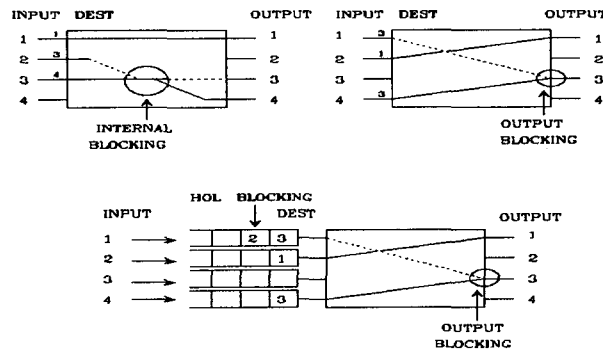


<그림 6> 단위 스위치의 내부 구조

버퍼가 있는 Banyan 망은 버퍼가 없는 구조와 비교해서 고속 대용량 스위치 노드를 구현하는데 있어서 다음과 같은 장점이 있다.

조절 신호가 필요 없는 자체 라우팅 망의 단위 스위치에서 두 패킷이 한 곳의 링크

로 나가려 하면 두 패킷 중의 하나는 반드시 블럭킹이 되게 되며, 이 때 단위 스위치 내에 버퍼가 없을 때에는 블럭킹된 패킷은 손실된다. 그러나 블럭킹이 일어난 단위 스위치에 버퍼가 있다면 블럭킹된 패킷은 버퍼에 임시로 보관이 될 수 있으며, 다음 클럭 주기 때 다음 단으로 이동되도록 한다. 결론적으로 단위 스위치 내의 버퍼링 효과는 셀 손실률을 방지하면서 전체 처리율을 향상시킨다. 그림 7은 블럭킹의 종류를 나타낸다.



<그림 7> ATM 스위치의 블럭킹 종류

그러나 버퍼 Banyan망은 어느 정도의 단점을 갖고 있다. 그 중에 하나가 버퍼가 없는 Banyan망에 비해 높은 지연율이다.

스위치 내의 버퍼가 크기가 너무 작으면 망의 크기가 커질수록 전체 처리율은 떨어지고 지연은 길어진다. 또한 버퍼가 너무 크면 버퍼 크기에 비해 오히려 처리율이 떨어지고, 그만큼 지연은 더욱 더 길어진다. 따라서 단위 스위치 내의 버퍼 크기는 망의 전체 처리율과 지연에 커다란 영향을 미친다.

따라서 본 논문에서는 기존의 망들처럼 각 단에 동일한 크기의 버퍼를 설정하지 않고, 첫 단에서는 버퍼의 크기를 작게하고, 출력 단으로 가면서 버퍼의 크기를 확대하는 단조 증가 버퍼링 방식(monotonic increase buffering scheme)과 단조 증가 버퍼링의 반대 개념인 단조 감소 버퍼링 방식(monotonic decrease buffering scheme)을 제안한다. 표 1에 단조 버퍼링 방식의 버퍼 크기를 나타내었다. 두 가지 형태의 단조 버퍼링 방식간에 성능의 차이점을 알아보고 또한 고정 버퍼링 방식과 비교하여 성능 향상 여부를 확인하자는 데 목적이 있다. 따라서 4장 성능 평가에서는 이러한 방식들에 의한 스루풋 및 지연시간에 대한 성능 분석을 실시하도록 한다.

<표 1> 각 단계에서의 버퍼 크기

버퍼링 방식	STAGE	버퍼 크기	버퍼링 방식	STAGE	버퍼 크기
단조 증가	1	L1	단조 감소	1	L1
	2	L2= L1×2		2	L2 = L1÷2
	3	L3= L2×2		3	L3 = L2÷2
	4	L4 =L3×2		4	L4 = L3÷2

III. 시뮬레이션에 의한 성능분석

본 논문에서는 ATM교환용 스위치의 구조(fabric)로 다단 상호 접속망인 Banyan망을 설정하였으며 이 순수한 Banyan망은 블럭킹 현상으로 인한 성능의 한계가 있다. 이러한 블럭킹 현상의 완화를 위해 입력단에 선입선출 방식의 버퍼를 둔 입력 buffered Banyan망과 선입선출 방식의 입력 buffered Banyan망에서의 HOL블럭킹 현상을 완화하기 위해 제안된 셀우회이론을 사용한 입력 buffered Banyan망에 각각 단조버퍼링 방식을 적용하여 성능을 비교하였다.

광대역 통신망에서는 여러 가지 정보원에서 발생한 트래픽이 ATM 교환망에서 다중화되는데 각 출력선별로 입력 트래픽 패턴을 예측하는 것이 극히 어렵기 때문에 스위칭 망의 각 입력 링크에 도착하는 셀을 균등 분포의 트래픽으로 가정하여 시뮬레이션을 수행한 후 결과에 대하여 그 성능을 분석하였다.

1. 시뮬레이션 모델의 가정

16×16 buffered Banyan 망에 대한 시뮬레이션 모델을 Prinsker & Associates, INC사의 SLAM II 네트워크 모델을 이용하였다.

본 논문의 성능 평가를 위하여 다음과 같은 가정을 두었다.

- (1) 셀은 매 접속망 클럭주기(network clock cycle)내에 포아송 분포에 따라 도착하며 특정 입력에 도착할 확률, 즉 입력 부하가 p 이다. ($0 < p \leq 1$)
- (2) 각각의 셀의 전송요구 목적지는 $1/N$ 의 확률을 가진다. (N 은 입력 링크 수)

- (3) 네트워크는 동기적으로 작동한다. i 번째 단의 단위 스위치 입력 버퍼에서 $i+1$ 번째 단의 입력 버퍼로 셀이 전송되는 과정을 경로설정 동작과 셀이동 동작으로 분리할 수 있는데 전체 동작이 행해지는데 걸리는 시간을 단위 사이클로 하였다.
- (4) 2×2 단위스위치는 각각의 입력버퍼에 저장된 셀의 전송요구 방향이 다를때 동시에 전송할 수 있다.
- (5) 모든 셀은 같은 크기를 가지고 있다.
- (6) N 개의 입력으로 도착하는 각 셀은 독립적이다.

2. 시뮬레이션 결과

실험결과에 사용된 용어의 의미는 다음과 같다.

BBAN : 선입선출 방식, 버퍼크기 고정

CBAN : 셀우회이론, 버퍼크기 고정

IBBAN : 선입선출 방식, 버퍼 단조 증가

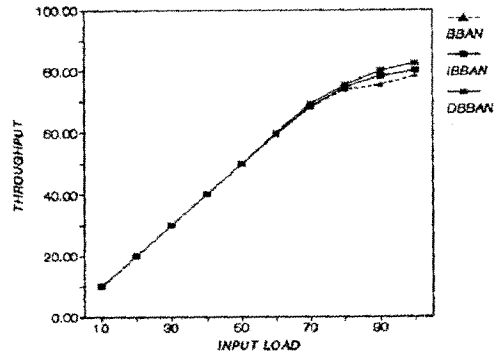
DBBAN : 선입선출 방식, 버퍼 단조 감소

ICBAN : 셀우회이론, 버퍼 단조 증가

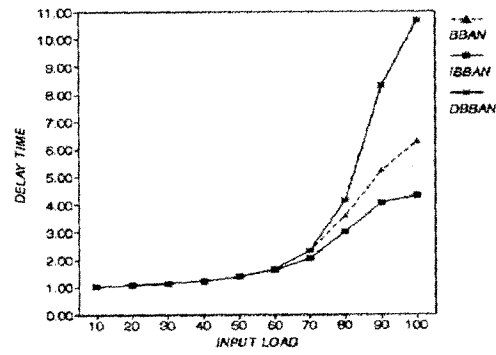
DCBAN : 셀우회이론, 버퍼 단조 감소

<표 2> 각 경우의버퍼크기

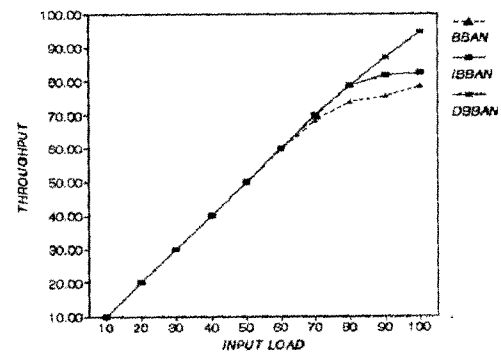
방식 경우	단조 증가 버퍼링	단조 감소 버퍼링	고 정
경우 1	4, 8, 16, 32	32, 16, 8, 4	5
경우 2	8, 16, 32, 64	64, 32, 16, 8	5
경우 3	16, 32, 64, 128	128, 64, 32, 16	5
경우 4	4, 8, 16, 32	32, 16, 8, 4	5
경우 5	8, 16, 32, 64	64, 32, 16, 8	5
경우 6	16, 32, 64, 128	128, 64, 32, 16	5



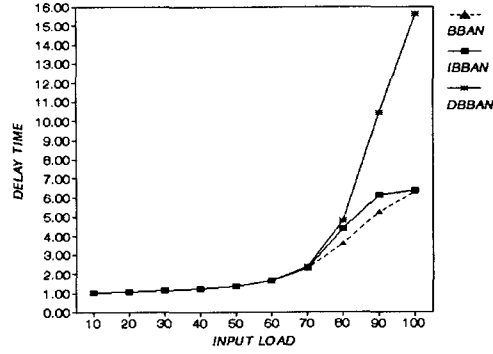
<그림 8> 입력부하에 따른 스루풋 (경우 1)



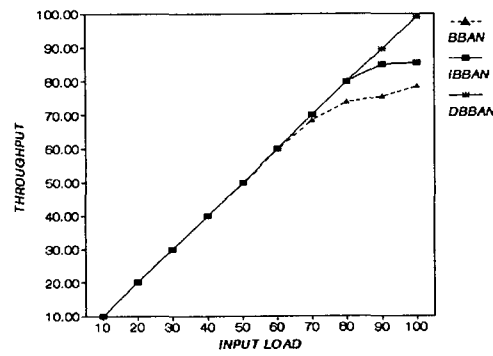
<그림 9> 입력부하에 따른 정규화된 지연시간 (경우 1)



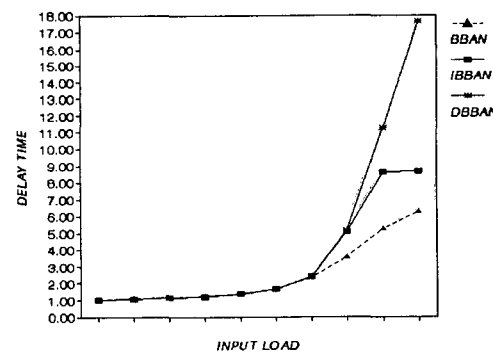
<그림 10> 입력부하에 따른 스루풋(경우 2)



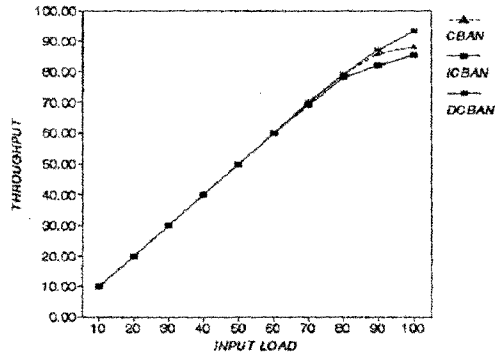
<그림 11> 입력부하에 따른 정규화된 지연시간 (경우 2)



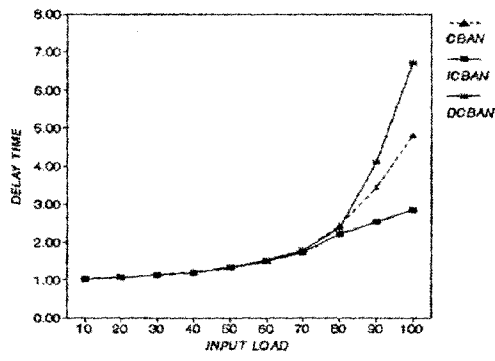
<그림 12> 입력부하에 따른 스루풋 (경우 3)



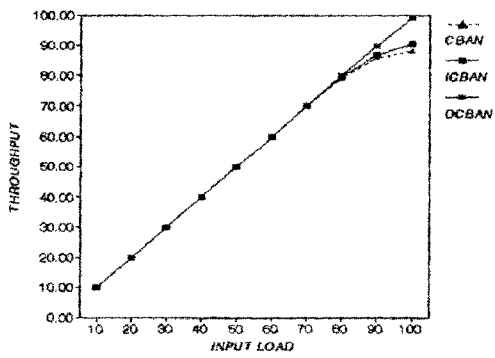
<그림 13> 입력부하에 따른 정규화된 지연시간 (경우 3)



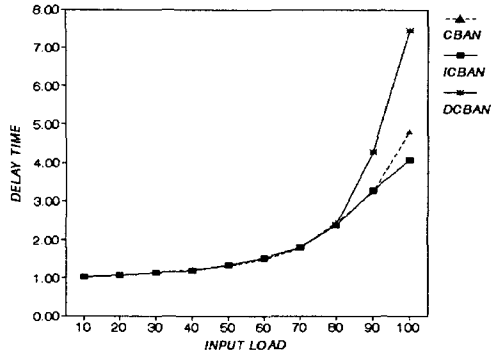
<그림 14> 입력 부하에 따른 스루풋 (경우 4)



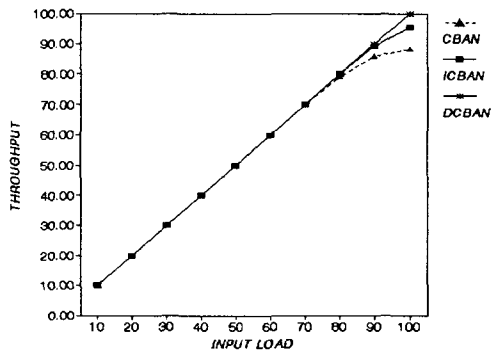
<그림 15> 입력 부하에 따른 정규화된 지연시간 (경우 4)



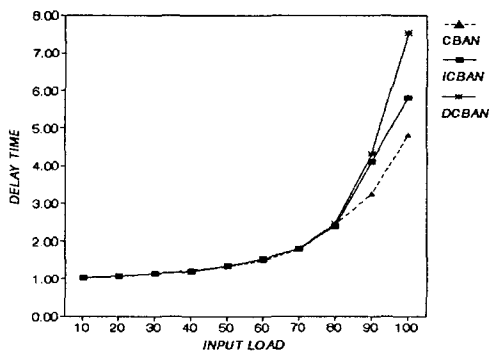
<그림 16> 입력 부하에 따른 스루풋 (경우 5)



<그림 17> 입력 부하에 따른 정규화된 지연시간 (경우 5)



<그림 18> 입력 부하에 따른 스루풋 (경우 6)



<그림 19> 입력 부하에 따른 정규화된 지연시간(경우 6)

IV. 결 론

자립 경로 배정(self-routing) 기능에 기인한 셀 교환 제어의 간단함과 VLSI로의 구현의 용이성 등의 장점으로 인하여 고속화, 대용량화에 적합한 Banyan 망을 멀티서비스를 위한 가장 적합한 스위칭 기술로 판단하여 성능분석 대상 스위치로 선택하였다.

본 논문에서는 스위치 내에 각 단마다 동일한 크기의 버퍼를 두지 않고 첫번째 단에서 마지막 단으로 갈수록 버퍼의 크기가 커지는 단조 증가 버퍼링 방식과 그 반대되는 개념인 단조 감소 버퍼링 방식에 대하여 실험하였다.

성능 분석의 방법으로는 네트워크 시뮬레이션 전용 언어인 SLAM II를 사용하였으며 성능 평가 파라미터로 스루풋, 셀손실율, 지연시간을 구하여 성능을 분석하였다.

스루풋과 지연시간을 고려해 볼 때 셀 우회 이론을 적용한 경우가 선입선출 방식보다 성능이 우수함을 알 수 있었다. 위 두 가지 방식에 단조 버퍼링 방식을 적용한 buffered banyan망은 버퍼의 크기를 단조 증가 혹은 감소로 하느냐에 따라 스위치 내에 버퍼의 총 갯수는 동일하였음에도 불구하고 단조 감소 버퍼링 방식이 스루풋의 향상 폭이 큼을 보였다.

또한 셀 우회 이론을 적용한, 경우 4)의 단조 증가 버퍼링 방식을 제외한 나머지 모든 경우에서 고정 버퍼링 방식 보다 스루풋이 증가하였다. 지연시간에 있어서는 단조 감소 버퍼링 방식이 단조 증가 버퍼링 방식보다 지연폭이 큼을 알 수 있었으며 고정 버퍼링 방식과 비교해 볼 때 경우에 따라 증가 혹은 감소하였다. 따라서 버퍼의 크기는 교환기의 성능에 큰 영향을 미침을 알 수 있었으며 본 실험에서는 버퍼크기 8, 16, 32, 64의 단조 증가 버퍼링 방식의 성능이 향호함을 알 수 있었다. 앞으로의 연구 방향으로 ATM 교환망에 입력되는 트래픽 패턴을 고찰하여 LAN 트래픽과 같은 다양한 입력 환경하에서의 교환망 성능분석이 필요하다 하겠다.

참 고 문 헌

- [1] 이 병기, 강 민호, 이 종희, 광대역 통신 시스템, 교학사, 1992
- [2] Yuji OIE, Tatsuya SUDA, 등 "Survey of the Performance of Nonblocking Switches with FIFO Input Buffer", IEEE INFCOM 90' pp737-741, 1990
- [3] L. R. Goke and G. J. Lipovski, "Banyan networks for partitioning

- multiprocessor systems", Proc. 1st Annu. Int. Symp. Comput. Architect., pp.21-28, Dec, 1973.
- [4] Hamid Ahmadi, Wolfgang E. Dazel "A Survey of High-Performance Switching Techniques" IEEE JOURNAL ON SELECTED AREA IN COMMUNICATIONS Vol 7. pp1091-1103 Sep. 1989.
- [5] R.Handel, "Evolution of ISDN towards B-ISDN", IEEE Network, pp.7-13, Jan., 1989.
- [6] W.Stallings, ISDN and Broadband ISDN, Macmillan Publishin Company, 1992
- [7] Achille Pattavina, Stefano Gianatti, "Analytical Models for the Performance Evaluation of Banyan Networks with Shared Queueing", in Proc. GLOBECOM'93, pp.860-866, Nov. 1993.
- [8] Arindam Saha, Meghanad D. Wagh, "Performance Analysis of Banyan Networks Based on Buffers of Various Sizes", in Proc. INFOCOM'90,pp.157-164, June 1990.