

3-D 헤드 자장 분포를 사용한 평면 실리콘 헤드의
average bit error rate 시뮬레이션

승실대학교 서정욱*, 조순철
삼성종합 기술원 김용수, 박노열

Simulation of average bit error rate for planar silicon heads
utilizing 3-D head field distribution

Soongsil University J. W. Seo*, S. Jo
Samsung Advanced Institute of Technology Y. S. Kim, N. Y. Park

1. 서 론

주어진 average bit error rate와 트랙 피치에 대해 track misregistration(TMR)을 추정하는 것은 헤드 디자인시 매우 필수적이다. 본 연구에서는 평면 실리콘 헤드[1]를 모델링하여 average bit error rate[2]를 계산하였다. 이 error rate를 구하기 위해 3-D 유한 요소법을 사용하여 헤드 자장 분포와 error rate response surface(ERRS)를 구하였고[3] 이 ERRS를 통하여 average bit error rate를 시뮬레이션 하였다.

2. 시뮬레이션 방법

헤드 자장을 얻기 위해 3 차원 유한 요소법 프로그램인 Ansoft사의 Maxwell 을 사용하였다. 이것으로 헤드의 average bit error rate(AVE.BER)를 구할 수 있으며 다음의 식으로 표현되어진다[2].

$$AVE.BER = \frac{1}{(2\pi)^2 \sigma_r (\sigma_w)^3} \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} \\ \exp\left[-\frac{1}{2}\left[\left(\frac{L}{\sigma_w}\right)^2 + \left(\frac{R}{\sigma_w}\right)^2 + \left(\frac{C}{\sigma_w}\right)^2 + \left(\frac{X}{\sigma_r}\right)^2\right]\right] \\ \cdot ERRS(L, R, C, X) dL dR dC dX$$

여기서 σ_r 은 write-to-read TMR, σ_w 는 write-to-write TMR이다. L, R, C 는 writing할 동안 각각 왼쪽, 오른쪽, 가운데 트랙에서의 displacement이며, X는 reading할 동안 on-track 되었을 때와 비교하였을 때의 displacement이다.

이 식을 시뮬레이션 하기위해 먼저 3개의 트랙을 생각한다. 만약 중앙 트랙이 먼저 쓰여졌고, 그 후에 2개의 근접 트랙이 중앙 트랙의 일부를 덮어썼다고 생각하자. 즉, squeeze 되었다고 생각한다. 이 squeeze 조건을 시뮬레이션 하기 위해 옆에 두 개의 트랙을 쓴다. 그리고 이 두 트랙의 중앙에 데이터 트랙을 쓴다. 이제 중앙 트랙 옆에 두 개의 근접 트랙을 쓴다. 여기서 위의 식으로 average bit error rate를 계산할 수 있다. Average bit error rate에 대한 이식의 계산은 3개의 쓰여진 트랙의 각각의 위치에 대하여 적당한 bathtub curve가 선택되어지고 σ_r 을 더한 후 여기에 σ_w 를 고려함으로써 이루어진다. σ_r , σ_w 는 Gaussian 분포를 따른다고 가정하였다.

3. 시뮬레이션 결과 및 고찰

평면 실리콘 헤드의 폭은 $3.2 \mu\text{m}$ 이었고, 소거 밴드 폭은 $0.25 \mu\text{m}$, 헤드의 공극은 $0.2 \mu\text{m}$ 이었다. 그리고 매체의 자화 profile은 모든 경우를 고려하였다. 자화의 보자력은 1800 Oe , M_t 의 값은 1.54 memu/cm^2 이었다.

Fig. 1 에서는 시스템의 잡음이 $7.1 \mu\text{V}$ 라 가정했을 때, 트랙 피치에 따른 ERRS를 계산하였다. 여기서 트랙 피치가 $3.7 \mu\text{m}$ 일 때 트랙 밀도가 최대임을 알 수가 있었으며 이것은 747 곡선을 통해 검증하였다. Fig. 1 에서 구하여진 ERRS를 통하여 구한 average bit error rate를 Fig. 2 에 나타내었다. 시스템이 허용할 수 있는 error rate가 10^{-6} 이라하고 트랙 피치가 $3.7 \mu\text{m}$ 일 때, 요구되는 TMR은 0.36 , 즉 트랙 피치의 9.7 %임을 알 수 있다. 보통의 시스템에서 요구하는 TMR이 트랙 피치의 10 % 임을 생각하면 본 결과가 타당함을 알 수 있다.

4. 결 론

평면 실리콘 헤드의 자장을 얻기 위해 3 차원 유한 요소법을 사용하였다. 그리고 트랙 피치에 따른 ERRS, average bit error rate를 시뮬레이션 하였다. ERRS는 bathtub curve 모양임을 알 수 있었으며 트랙 피치가 줄어들수록 bit error rate가 높아지는 것을 볼 수가 있었다. 이상의 결과를 가지고 TMR의 변화에 따른 average bit error rate를 계산하였다. 본 연구를 통하여 시스템의 전체 에러율을 추정하는데 도움이 될 것이라 사료된다.

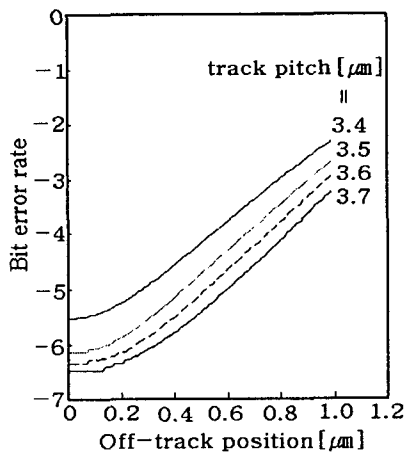


Fig. 1. ERRS for various adjacent track squeeze conditions.

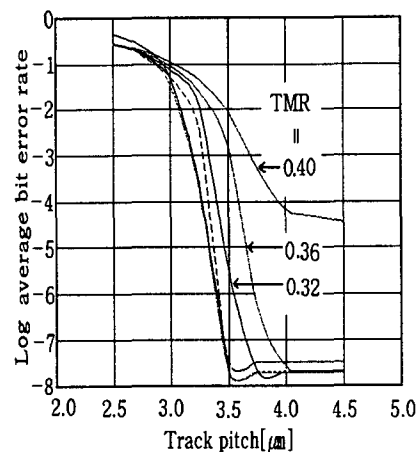


Fig. 2. The average bit error rate considered with TMR variation.

5. 참고문헌

- [1] J. P. Lazzari and P. Deroux-Dauphin, "A New Thin Film Head Generation : IC Head", IEEE Trans. on Mag., Vol 25 No. 5, pp 3190-3193, 1989.
- [2] P. C. Arnett and D. McCown, "TMR and squeeze at gigabit areal densities", IEEE Trans. Magn. vol. 28, NO. 4 pp.1984-1987, July 1992.
- [3] Mathew P. Vea and Thomas D. Howell, "A soft error rate model for predicting off-track performance", IEEE Trans. Magn. vol. 31, NO. 1, pp. 820-829, Jan. 1995.