

p-채널 poly-Si TFT 소자의 Hot-Carrier 효과에 관한 연구

A Study on the Hot-Carrier Effects of p-channel poly-Si TFT

진 교원, 박 태성, 이 제혁, 백 희원, 변 문기, 김 영호

G. W. Chin, T. S. Park, J. H. Lee, H. W. Back, M. G. Byun, Y. H. Kim

수원대학교 전자재료공학과

Dept. of Electronic Materials Engineering, The University of Suwon

Abstract

Hot carrier effects as a function of bias stress time and bias stress conditions were systematically investigated in p-channel poly-Si TFT's fabricated on the quartz substrate. The device degradation was observed for the negative bias stress. After positive bias stressing, improvement of electrical characteristic except for subthreshold slope was observed. It was found that these results were related to the hot carrier injection into the gate oxide and interface states at the poly-Si/SiO₂ interface rather than defects states generation under bias stress.

1. 서 론

최근 다결정 실리콘 박막 트랜지스터(polysilicon thin film transistors, poly-Si TFTs)는 active matrix의 스위칭 소자 뿐만 아니라 구동회로로서의 무한한 응용 가능성, 즉 a-Si TFT에 비해 동일한 기판에 LCD 구동회로를 집적화할 수 있기에 가능한 저소비전력과 소형화, 우수한 전기적 특성으로 인하여 많은 연구가 진행되고 있다.

그러나 poly-Si TFT는 10V~30V 정도의 비교적 높은 구동전압 인가로 인하여 hot carrier 현상이 발생하게 되며 특히, 차세대 고정밀 대화면 Hi-Vision용 액정 투사형 디스플레이와 같이 TFT 소자의 채널길이가 10 μ m이하가 되는 경우는 hot carrier 효과로 인한 구동회로용 poly-Si TFT의 전기적 특성 저하 현상이 더욱 심각한 문제점으로 대두되고 있다. 이와 같이 전기적 스트레스에 의한 hot carrier 현상은 소자 및 시스템의 장기적 신뢰성에 결정적으로 영향을 미치는 매우 중요한 요인이기 때문에 hot carrier 효과에 대한 다양한 연구가 이루어져 왔다. poly-Si TFT의 hot carrier 효과에 대한 다양한 연구로 n-채널¹⁾ poly-Si TFT에서의 hot carrier 주입으로 인한 계면준위 생성³⁾,

게이트 산화막내로의 hot carrier trapping⁴⁾, poly-Si 박막내의 defect state 생성²⁾ 등 여러 가지 hot carrier 현상의 원인이 제시되고 있으나 p-채널 poly-Si TFT의 경우는 전기적 스트레스 인가에 따른 hot carrier 현상의 지배적인 메커니즘 규명이 아직 미미한 것으로 알려져 있다.

따라서, 본 연구에서는 W/L=10 μ m/5 μ m인 p-채널 poly-Si TFT를 제조한 후 bias stress에 따른 전기적 특성 변화를 체계적으로 해석하여 poly-Si TFT의 열화 메커니즘을 규명하고자 한다.

2. 실험 방법

LPCVD (low-pressure chemical vapor deposition) 방법으로 550 °C 에서 500 Å 두께의 실리콘 박막을 quartz 기판 위에 증착하여 활성영역층으로 사용하였다. 이때 반응 gas로는 100 % SiH₄를 사용하였으며, 증착시 진공도는 0.3 Torr, SiH₄ 유입량은 60 sccm (standard cubic centimeter), 증착률은 34 Å/min로 유지하였다. Si 이온을 35 KeV, 1.1 × 10¹⁵ cm²의 조건으로 실리콘 박막에 이온 주입시킨 후 SPC(solid phase

crystallization) 방법으로 열처리 (580 °C, 48 hrs) 하여 다결정 실리콘으로 고상결정화시킨 후 active mask를 이용하여 활성 영역층을 정의하고 건식 식각 방법으로 다결정 실리콘 박막을 식각 하였다. 게이트 산화막은 열산화 방법으로 950 °C에서 1000 Å 성장시켜 gate mask를 사용하여 gate 영역층을 정의한 후 p⁺의 source, drain 형성을 위해 자기 정렬 방법으로 $3 \times 10^{15} / \text{cm}^2$, 95 KeV의 조건으로 Boron 이온을 source, drain, gate 영역에 이온 주입시켰으며 열산화방법으로 순수 SiO₂ 막을 950 °C 에서 3500 Å 두께로 증착시켰다. Contact mask를 이용하여 source, drain, gate 접촉점을 정의한 후 실리콘이 1 % 함유된 알루미늄을 DC magnetron sputtering 하여 전극을 증착한 후 metal mask를 사용하여 전극을 형성하고 450 °C에서 1 시간 동안 alloying 하여 p-채널 다결정 실리콘 박막 트랜지스터를 제작하였다.

3. 결과 및 고찰

p-채널 다결정 실리콘 박막 트랜지스터의 positive bias stress에 따른 poly-Si TFT 소자의 전기적 특성은 Table. 1에 나타내었다.

Fig. 1은 poly-Si TFT 소자에 negative bias stress ($V_{GS} = -20\text{V}$, $V_{DS} = -20\text{V}$)를 인가한 후 $V_{DS} = -1\text{V}$, $V_{DS} = -10\text{V}$ 일 때의 bias stress 시간에 따른 전형적인 $I_{DS}-V_{GS}$ 특성 곡선이다. 소자의 W/L은 $10\mu\text{m}/5\mu\text{m}$ 이며 bias stress를 인가한 후 문턱전압의 negative shift가 약간 나타나는데 이는 negative bias stress 인가로 발생하는 hot hole 주입에 의한 전류특성으로 사료된다. 즉 on 상태에서는 트랩된 hot hole이 채널에 (-)전하를 유도하여 문턱전압을 증가시키고 hot carrier 주입에 따라 poly-Si/SiO₂ 계면에 생성된 interface state는 (+)전하를 띄게되어 electron capture 역할을 하게되므로 채널 내의 전자농도는 줄어 문턱전압은 감소된다. 그러나 트랩된 hot hole로 인한 문턱전압의 증가가 (+)로 대전된 계면준위 생성으로 인한 영향보다 지배적이기 때문에 전체적인 문턱전압은 증가하는 추세를 나타낸다. 또한 bias stress인가 전에 비해 stress 인가 후의 I-V 특성 곡선의 기울기가 감소(subthreshold slope의 증가) 하는 경향을 나타내는데 이는 hot carrier 주입으로 인하여 poly-Si/SiO₂ 계면에 생성된 interface state와 poly-Si 박막 내에 생성된 defect state에 기인 하는 것으로 사료된다.

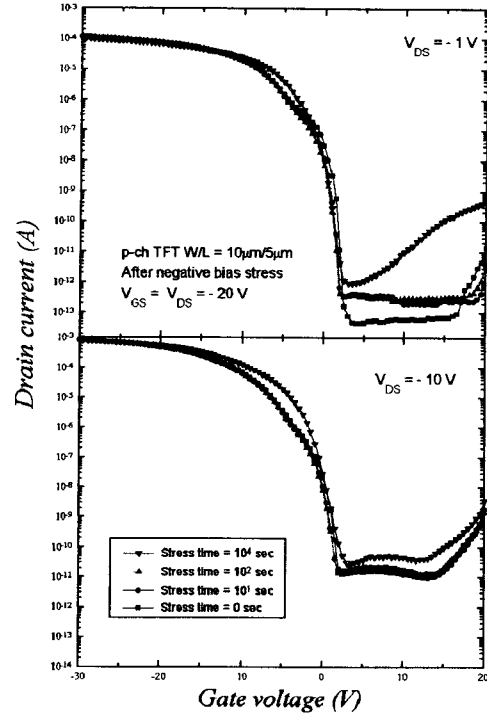


Fig. 1. The transfer characteristics at drain voltage $V_{DS} = -1\text{V}$, -10V of p-channel poly-Si TFT with negative bias stress

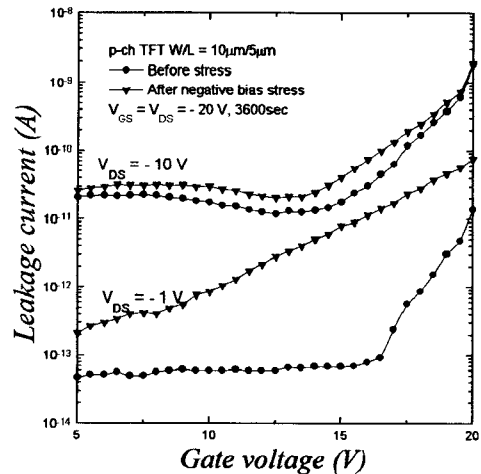


Fig. 2. The leakage current at drain voltage $V_{DS} = -1\text{V}$, -10V of poly-Si TFT before and after negative bias stress for 3600sec

Fig. 2는 negative bias stress ($V_{GS} = -20V$, $V_{DS} = -20V$)를 3600sec동안 인가한 후 $V_{DS} = -1V$, $-10V$ 일 때의 off-current 변화를 나타낸 것이다. Off 상태에서는 gate oxide에 트랩된 hot hole이 채널에 (-)전하를 유도할 뿐만 아니라 생성된 poly-Si/SiO₂ interface state가 (-)전하를 띄게되어 동일한 채널길이에서의 전위차값이 커져서 드레인 근처에 인가되는 전계가 증가하게 되므로 off-current가 증가하게 된다.

Fig. 3은 poly-Si TFT's 소자에 positive bias stress ($V_{GS} = +20V$, $V_{DS} = -20V$)를 인가한 후 $V_{DS} = -1V$, $V_{DS} = -10V$ 일 때의 bias stress 시간에 따른 전형적인 $I_{DS}-V_{GS}$ 특성 곡선이다. bias stress를 인가한 후 negative bias stress의 경우보다 변화 폭이 큰 것은 poly-Si/SiO₂ 계면의 에너지 장벽이 electron보다는 hole에 대하여 더 높기 때문이다. 이러한 positive shift 현상은 hot-electron 주입에 의한 전류특성으로써 게이트 산화막에 트랩된 hot electron이 (+)전하를 채널에 유도하여 채널 형성에 필요한 게이트 전압이 감소하므로 문턱전압이 현저히 저하된다.

Fig. 4는 positive bias stress ($V_{GS} = +20V$, $V_{DS} = -20V$)를 28800sec동안 인가한 후 $V_{DS} = -1V$, $-10V$ 일 때의 off-current 변화를 나타낸 것이다. Off 상태에서는 gate oxide에 트랩된 hot electron이 채널에 (+)전하를 유도할 뿐만 아니라 poly-Si/SiO₂ interface state도 (-)전하를 띄게되어 드레인 근처의 (+)전하 농도가 증가한다. 따라서 드레인 근방의 수평전계가 감소하므로 off-current는 현저히 감소하게 된다. 이는 poly-Si TFT 소자 특성 변화 메커니즘이 poly-Si 박막내의 defect state 생성보다는 게이트 산화막내로의 hot carrier 주입에 지배적으로 영향을 받는 것을 반증하는 결과로 사료된다.

Table. 1을 참고하면 negative bias stress 인가의 경우는 hot hole이 게이트 산화막 내로 주입되면서 계면에 생성된 interface state로 인하여 transconductance가 $0.54 \mu S$ 에서 $0.50 \mu S$ 로 7.4% 감소하며 positive bias stress의 경우는 생성된 interface states가 ∂V_{GS} 값을 저하시키므로 g_m 값이 $0.54 \mu S$ 에서 $0.68 \mu S$ 로 25.92% 증가를 나타낸다. 이러한 transconductance의 변화 차이는 채널을 구성하는 hole의 이온화율이 electron에 비해 현저히 적을 뿐만 아니라 poly-Si/SiO₂ 계면에 존재하는 에너지 장벽이 hole에 대해 훨씬 크다는 점에 기인한다.

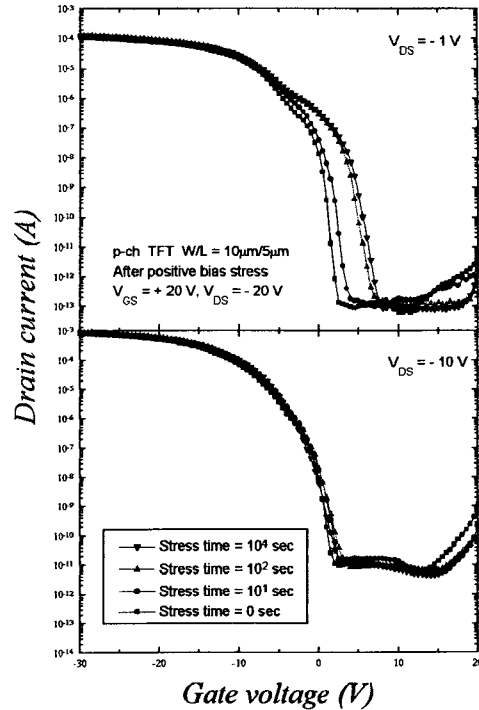


Fig. 3. The transfer characteristics at drain voltage $V_{DS} = -1V$, $-10V$ of p-channel poly-Si TFT with positive bias stress

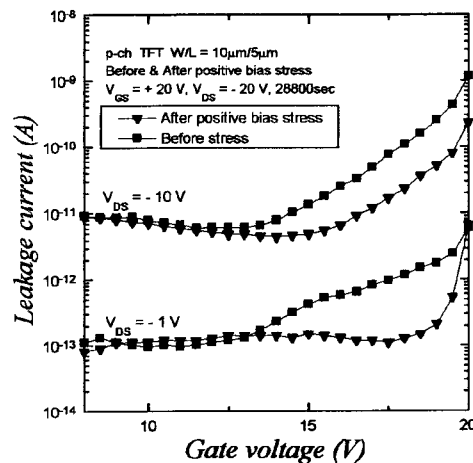


Fig. 4. The leakage current at drain voltage $V_{DS} = -1V$, $-10V$ of poly-Si TFT before and after positive bias stress for 28800sec

Table 1. Summary of device parameters of p-channel poly-Si TFT's ($W=10\mu\text{m}, L=5\mu\text{m}$) before and after the bias stress at room temperature.

Stress Conditions		Device Parameters				
Stress Bias	Time [sec]	ΔV_{TH} [V]	$\Delta g_m/g_m$	I_{off} [pA]		ΔS -Slope /S-Slope
				$V_{GS} = 5V$	$V_{GS} = 20V$	
$V_{GS} = -20V$ $V_{DS} = -20V$	0	-	-	3.95	1.15E3	-
	10	-0.50	0.018	2.56	3.40E2	0.02
	30	-0.57	0.027	2.58	2.29E2	0.12
	60	-0.64	0.018	2.50	3.49E2	0.05
	90	-0.68	0.018	2.37	2.03E2	0.05
	120	-0.52	0.018	2.28	2.66E2	0.07
	300	-0.65	0	1.78	6.50E2	0.12
	900	-0.64	0	2.27	8.31E1	0.37
	1800	-0.59	0.037	2.61	9.47E1	0.63
	3600	-0.52	0	14.90	1.72E3	0.41
	7200	-0.4	0	13.05	3.09E3	0.49
	14400	-0.26	-0.019	11.00	2.28E3	0.37
28800	-0.29	-0.074	15.22	3.12E3	0.61	

Stress Conditions		Device Parameters				
Stress Bias	Time [sec]	ΔV_{TH} [V]	$\Delta g_m/g_m$	I_{off} [pA]		ΔS -Slope /S-Slope
				$V_{GS} = 5V$	$V_{GS} = 20V$	
$V_{GS} = +20V$ $V_{DS} = -20V$	0	-	-	1.68	1.05E2	-
	10	0.01	0.20	1.44	6.40E1	-0.28
	30	0.37	0.26	1.42	1.42E2	-0.3
	60	0.55	0.28	1.54	8.99E1	-0.38
	90	0.14	0.29	1.44	9.56E1	-0.42
	120	0.33	0.3	1.46	8.41E1	-0.43
	300	0.43	0.3	1.51	1.13E2	-0.39
	900	0.40	0.3	1.75	1.10E2	-0.39
	1800	0.35	0.31	1.68	9.52E1	-0.38
	3600	0.07	0.32	1.70	9.03E1	-0.35
	7200	-0.02	0.29	1.46	1.32E2	-0.41
	14400	-0.03	0.31	1.54	1.44E2	-0.39
28800	-0.06	0.26	1.63	1.11E2	-0.40	

※ The V_{TH} and S-Slope were determined at $V_{DS} = -5V$. The threshold voltage was measured at a constant normalized drain current of $I_{DS} = 100\text{nA} \times W/L$. The transconductance, g_m was measured at $V_{DS} = -0.1V$. The leakage current, I_{off} was measured at $V_{DS} = -5V$.

4. 결론

Negative bias stress의 경우 드레인 근방에 국부적으로 hot hole의 주입이 발생하여 계면준위 생성과 함께 게이트 산화막 내에 hole trap을 형성한다. 트랩된 hot hole은 (-)전하를 채널에 유도하여 문턱전압을 증가시키며 이러한 영향이 poly-Si/SiO₂ 계면에 생성되는 계면준위로 인한 영

향보다 크기 때문에 결과적으로 문턱전압의 증가를 나타낸다. Off 상태에서는 gate oxide에 트랩된 hole이 채널에 (-)전하를 유도하고 생성된 계면준위가 (-)전하를 띄어 off-current값이 증가하게 된다. 또한 poly-Si/SiO₂ 계면에 생성된 계면준위가 채널 형성을 저해하는 요인으로 작용하여 on 특성인 g_m 을 저하시킨다.

한편 positive bias stress의 경우는 gate oxide내에 hot electron이 트랩되고 (+)전하를 채널에 유도하여 문턱전압은 상당히 감소하게 된다. 이와 같은 off-current의 감소 현상은 poly-Si TFT 소자의 성능 변화 메커니즘에 있어서 poly-Si 막막내의 defect state 생성보다는 게이트 산화막내로의 hot carrier 주입이 지배적인 요인임을 반증하는 결과로 생각된다. 또한 게이트 산화막에 hot electron이 트랩되면서 생성된 interface states는 ∂V_{GS} 의 감소로 인하여 g_m 의 증가를 일으키는 것으로 사료된다.

참고 문헌

1. J. R. Ayres and N. D. Young : *IEE Proc.-Circuit Devices Syst.* 141 (1994) 33
2. I.-W. Wu, W. B. Jackson, T.-Y. Huang, A. G. Lewis, and A. Chiang, "Mechanism of device degradation in n- and p-Channel polysilicon TFT's by electrical stressing," *IEEE Electron Device Lett.*, vol. 11, no. 4, pp. 167-170, Apr. 1990.
3. G. Fortunato, A. Pecra, G. Tallarida, L. Mariucci, C. Rieta and P. Migliorato, "Hot-carrier effects in n-channel polycrystalline silicon thin-film transistors : A correlation between off-current and transconductance variations," *IEEE Trans. Electron Dev.*, vol. 41, pp. 340, 1994
4. N. D. Young and A. Grill, "Electron trapping instabilities in polycrystalline silicon thin-film transistors," *Semicond. Sci. Technol.*, vol. 5, pp. 72, 1990