

전기적 방법을 이용한 실리콘 단결정 내 미세 결함의 검지 (Electric Detection Of Microdefect In Silicon Single Crystal)

영남대학교 응용전자학과 김기범, 서희돈
포항산업과학연구원 김홍락, 강성건, 류근걸

Kibeom Kim, Heedon Seo
Department of Applied Electronics, Yeungnam University
712-749 Daedong, Kyongsan, Kyoungbook

Heungrak Kim, Sunggun Kang, and Kunkul Ryoo
RIST
Hyojadong, Pohang, Kyoungbook

TZDB(Time-Zero Dielectric Breakdown)법을 이용하여 CZ법으로 성장된 6인치와 8인치 실리콘 웨이퍼의 미세 결함에 대해 조사하였다. 800°C에서 N₂분위기로 성장시킨 SiO₂를 이용하여 표면에 1092개의 MOS 커패시터를 형성한 뒤, 개별 소자에 대해 I-V test를 행하고 이를 통해 얻어진 파괴전압과 누설전류값을 이용하여 결과를 디스플레이 하는 프로그램을 개발하였다. Breakdown실험을 통해서 얻어진 결과를 결정내부의 특성을 관찰하는 SPV결과와 비교함으로써 표면의 상태와 내부의 상태를 연관시키고자 하는 시도를 하였다. 결함이 존재하는 지역의 커패시터는 결함이 존재하지 않는 지역과 비교하여 상대적으로 높은 누설전류값을 보였다.

1. 서 론

대부분의 반도체회로가 형성되는 실리콘 웨이퍼에 있어서 미세한 점결함들의 존재가 소자의 소형화를 진행하는데 있어 새로운 장애물로 부각되고 있다. 성장이 완료된 실리콘 단결정 내에는 열에 의해서 생성된 점결함(thermal point defects)의 식출로 인하여 발생하는 미세결함(micro defects)들이 관찰된다. 이러한 현상은 과포화 되어있던 수많은 점결함들이 결정이 냉각됨에 따라 결함으로 존재하게 된 것이다. 성장된 실리콘 단결정을 웨이퍼형태로 가공하면 줄무늬 형태의 결함이 분포하는 지역이 관찰되는데 이러한 형태의 결함을 스월(swirl)이라고 부른다.¹⁾

스월결함은 캐리어 라이프타임과 p-n junction, 불순물확산 농도분포등에 나쁜 영향을 미치고 심지어는 소자를 제조하는 과정에서 전위(dislocation)나 적층결함(stacking fault)을 생성시키는 2차적인 결함생성의 근원으로 작용한다는 보고도 있다. 스월의 분포가 가지는 불균일한 특성은 스월이 존재하는 웨이퍼로 소자들을 제작하여 사용하는 경우 문제를 일으킬 수 있다²⁾. MOS소자의 경우, 이러한 결정학적 결함들은 아주 부정적인 영향을 미치는데, 특히 DRAM의 경우 소자 상태에서의 동작 시 holding time이 결함들과 연관이 있음이 밝혀졌다³⁾.

본 연구에서는 이러한 웨이퍼들의 결정학적 결함을 전기적인 방법으로 검지해내고자 하며 그 중에서도 중점을 두는 바는

TZDB(Time-Zero Dielectric Breakdown) test를 이용한 High Density Map을 제작하고, 이를 이용하여 SPV 시험결과와 비교하여 결정의 Surface Property와 Bulk Property를 상호 연관시키고자 하는 것이다.

2. 실험방법

(100)방향의 결정방위를 가지는 8인치 P-type 실리콘 웨이퍼를 $H_2SO_4:H_2O_2(3:1)$, HF:DI water(1:100), SC 140용액을 사용하여 차례로 세정한 뒤 점결합의 성장을 위하여 N_2 분위기를 유지한 상태에서 $1,000^\circ C$, 5시간 열처리를 하였다. SPV검사(Semiconductor Diagnostics社)를 통해 스월이 존재하는 시편을 선택하였으며, Quartz Furnace(Lenton社)를 이용하여 200Å의 산화막을 성장시켰다.

산화막을 형성한 뒤에는 DC magnetron sputter(Varian社)를 사용하여 Al을 8,000Å 증착하였다. MOS 구조를 제작한 뒤, 식각 공정을 거쳐 8인치 웨이퍼 한 장 당 5361개의 개별 소자로 분리하였다. 이 소자들을 각각 2×2 로 4개씩 grouping하여 웨이퍼 한 장 당 소자의 수를 1098개로 하는 검사패턴을 만들었다.

TZDB 측정시스템은 HP 4062UX(Hullett-Packard社)와 Probe station(TSK社), 그리고 이들의 운용을 위한 work station으로 이루어졌다. 개별소자에 대한 측정은 0V에서부터 -30V까지의 Voltage Sweep중에서 누설전류가 $1.0 \times 10^{-5} A$ 이상 흐르는 시점의 전압을 파괴전압(Breakdown Voltage)라 판정하였으며, 0V에서의 누설전류를 초기 누설전류(Initial Leakage Currents)로 지정하여 측정하였다.

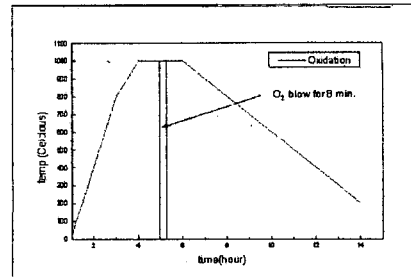


Fig. 1. Diagram of Oxidation Condition

3. 결과 및 고찰

결정결합이 산화막의 성장에 부정적인 영향을 줌으로써 파괴전압을 낮추는 결과를 가져오므로, 누설전류의 경우 산화막에 있어서 결합이 존재하는 부위는 전류의 누설경로로서 존재하게 되므로 누설전류의 값이 결합이 존재하지 않는 부위보다 높은 값을 가진다⁶⁾는 것이 지금까지의 일반적인 견해였으나 본 실험에 있어서는 이와 다소 다른 결과가 나타났다.

그림 2의 (A)는 시편 1의 SPV map이고, (B)는 Breakdown Voltage map이다. 그림 2 (A)에서 어두운 색으로 나타난 영역은 전자의 확산거리가 평균치보다 확연히 떨어지는 영역으로서 이러한 확산거리 값의 차이에 의해서 실리콘 단결정의 상태를 평가 할 수 있는 것이다. 그림 2 (A)에 나타난 결합 영역과 그림 2 (B)에 나타난 결합영역은 대체적으로 비슷한 장소에 위치하였으나 완전한 일치를 보이지는 못하였다.

그림 3 (A)의 SPV map은 전형적인 스월의 형태를 보이고 있다. 그러나 동일한 웨이퍼에 대한 BV map의 측정결과인 그림 3 (B)에서 관찰되는 분포형태는 스월과 파괴전압과의 상관관계를 증명하는 데에 어려움이 있다.

결합의 분포형태라는 측면에서는 다소 유사성이 있으나, 스월이 존재하는 자리에서보다는

오히려 스월의 바깥쪽에서 저전계 항복현상 (Low Field Breakdown)이 관찰되었으므로 종래의 확실패는 차이를 보였다.

그러나, 누설전류를 이용한 측정결과는 스월의 위치에서 높은 누설전류값을 보였다.

그림 4 (A)는 전형적인 스월의 SPV map이고, 그림 4 (B)는 같은 시편에 대해 가로로 38개의 소자에 대해 누설전류값을 측정한 결과이다. 5번과 28번의 커패시터들은 다른 소자들에 비해 높은 누설 전류 값을 보이고 있는데 이들 소자의 위치는 SPV map상의 결함영역과 일치한다. 이러한 결과는 확산거리값이 낮게 나타난 결함이 존재하는 영역이 산화막으로 형성된 이후에도 상대적으로 누설경로가 많이 존재하게 되므로 우수한 확산거리를 보인 영역보다 상대적으로 열악한 GOI를 가지게 된다고 설명할 수 있다. 이러한 점에 착안하여 매핑에 있어서 절연파괴 전압을 이용하는 것보다는 누설전류를 이용하는 것이 실리콘 웨이퍼의 결함에 관한 정보를 얻는데 더 좋은 감도를 보이리라 판단된다.

그림 5 (A)는 웨이퍼의 가장자리를 따라 스월이 분포하고 있는데, 이 웨이퍼에 대한 누설전류 측정결과로 얻어진 그림 5 (B)는 SPV 측정결과와 결함의 위치에 있어서 아주 유사한 결과를 보이고 있다.

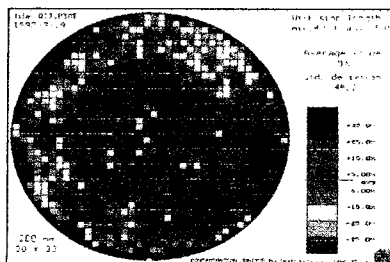


Fig. 2 (A) SPV map of specimen #1

4. 결 론

본 연구에서는 TZDB 메커니즘을 이용한 측정 프로그램과 매핑프로그램을 제작하고 이를 이용하여 SPV test와의 비교를 통해 결정학적 결함이 MOS 커패시터의 파괴전압에는 영향을 주지 않았으나 커패시터의 누설전류를 증가시키는 효과가 있음을 확인하였다. 또, 이러한 결과를 통해서 SPV test로 알 수 있는 결정내부의 특성(Bulk Property)과 BVox test를 통해서 알 수 있는 결정표면의 특성(Surface Property)을 상호 연관시킬 수 있다는 결론을 얻었다.

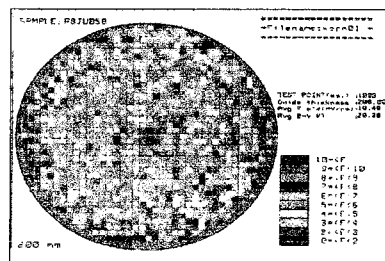


Fig. 2 (B) BV map of specimen #1

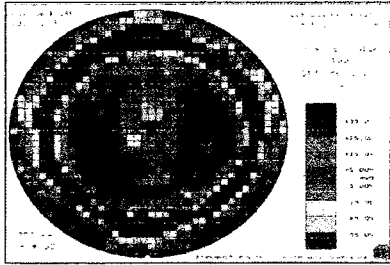


Fig. 3 (A) SPV map of specimen #2

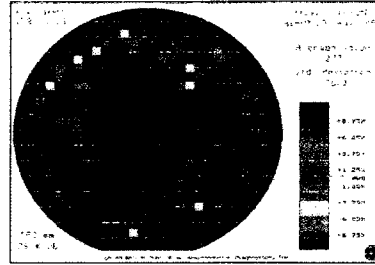


Fig. 5 (A) SPV map of specimen #4

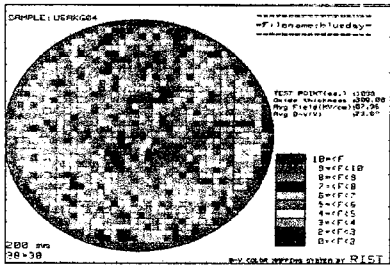


Fig. 3 (B) BV map of specimen #2

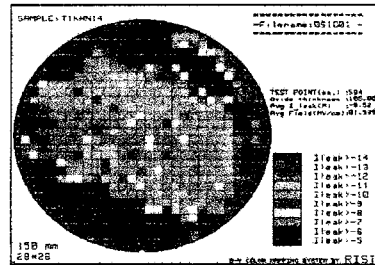


Fig. 5 (B) BV map of specimen #4

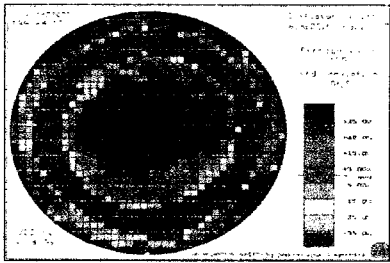


Fig. 4 (A) SPV map of specimen #3

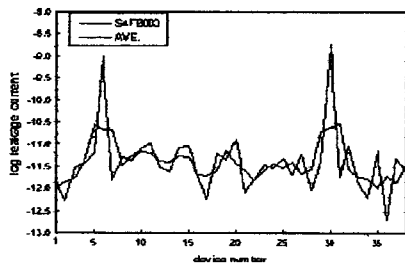


Fig. 4 (B) Leakage current graph of specimen #3

1. T. Abe et al. "Etch-pits observed in dislocation free silicon crystals." Jpn. J. Appl. Phys. 5, 458-459 (1966)
2. D. I. Pomerantz, "Effect of grown-in and process induced defects in silicon during oxidation" J. Electrochem. Soc. 119, 255-165 (1972)
3. H. Strack et al. "The detrimental influence of stacking faults on the refresh time of MOS memories" Solid-state Electron. 22, 135-140 (1979)
4. W.Kern and D.A. Puotinen, RCA rev. 31, (1970)
5. M. Tachimori, T.Sakon and T. Kaneko: 7th kessho Kogaku Symp., Japan Society of Applied Physics, Tokyo, (1990)
6. H. Yamagigghi, I. Fusegawa, N. Fujimaki and M. Katayama, Semiconductor Science Technology, A135, (1992)