

A-Si:H/Cd 계면층을 이용한 a-Si:H의 결정화 연구

A study of crystallization of a-Si:H using a-Si:H/Cd interface layer

김도영* 성균관대학교 전기, 전자 및 컴퓨터 공학부

최유신 성균관대학교 전기, 전자 및 컴퓨터 공학부

임동건 성균관대학교 전기, 전자 및 컴퓨터 공학부

김홍우 에너지기술연구소 태양광발전팀

이수홍 삼성종합기술원

이준신 성균관대학교 전기, 전자 및 컴퓨터 공학부

Do-young Kim* School of Electrical and Computer Engineering, Sung Kyun Kwan Univ.

Yu-shin Choi School of Electrical and Computer Engineering, Sung Kyun Kwan Univ.

Dong-gun Lim School of Electrical and Computer Engineering, Sung Kyun Kwan Univ.

Hong-woo Kim Korea Institute of Energy Research, Photovoltaic Research Team

Soo-hong Lee Samsung Advanced Institute of Technology

Junsin Yi School of Electrical and Computer Engineering, Sung Kyun Kwan Univ.

Abstract

We studied the crystallization of a-Si:H thin film. Multi-crystallized Si films are preferred in many applications such as FPD, solar cells, RAM, and integrated circuits. Because most of these applications require a low temperature process, we investigated a crystallization of a-Si:H using a Cd layer. A metal Cd shows an eutectic point at a temperature of 321°C. This paper present Cd layer assisted crystallization of a-Si:H film for the various grain growth parameters such as anneal temperature, Cd layer thickness, and anneal time.

1. 서 론

다결정 규소 박막은 평판화면(FPD)소자, 다결정 태양전지, RAM, 3차원 집적소자^[1,2,3]등 다양한 응용범위를 가지고 있으며 비정질 규소박막에 비하여 반송자 이동도가 높고 도핑농도조절이 용이하여 비정질 규소에 비하여 우수한 특성을 가지고 있다. 그러나 저가의 유리 기판에서 비정질규소의 다결정화의 경우 a-Si:H의 결정화 온도가 높으므로 유리 기판과 비정질규소간의 열팽창계수의 문제가 발생하여 열적 부정합이 발생하게되며 이에 따라 microtwin, stacking fault, dislocation과 같은 결함이 발생하기 쉽다. 이러한 결함들은 소자 제작시 높은 누설전류를 야기하거나 전체효과 이동도를 낮추는 효과를 일으키므로 소자제작시 단점으로 나타난다. 이러한 단점을 개선하기 위해서 열처

리방법으로 레이저 어닐링^[4,5]과 같은 비정질 규소의 다결정화의 연구가 진행중이다.

본 연구는 규소와 고용체를 형성하는 금속인 Cd를 이용하여 유리기판에 성장된 a-Si:H의 결정화 연구를 수행하였다. 비정질규소와 eutectic reaction을 하는 금속으로는 5주기원소인 Ag, Cd, In, Sn, Sb와 6주기원소로써 Au, Hg, Ti, Pd, Bi^[6] 등이 있다. 그림 1은 Cd-Si의 eutectic reaction 상태도를 보였다.

이러한 금속중 Cd는 규소와 eutectic reaction 온도(321°C)가 가장 낮은 금속으로 알려져 있다. 따라서 본 연구에서는 Cd와 a-Si:H 간의 계면에서의 공정반응을 통한 상부의 a-Si:H 박막결정화를 연구하였다. Cd와 a-Si:H과 eutectic reaction 과정을 거친 a-Si:H/Cd 계면에 형성된 고용체는 비정질규소의 결정성장의 출발자로서 결정화의 초기 단계

에 나타나기 시작하게 된다. 각각의 출발자들은 결정방향이 상이하므로 다결정규소박막이 성장하게 된다. 본 논문에서는 Cd를 a-Si:H 박막의 결정화 촉진층으로 사용하여 열처리 조건에 따른 결정화도를 조사하였다.

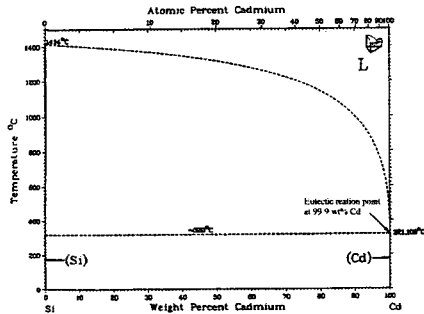


Fig. 1. A phase diagram for Si-Cd system^[7].

2. 실험 방법

본 연구에서 사용된 a-Si:H 박막은 rf-sputtering을 이용하여 증착하였다. 증착에 사용된 target으로 n형 Si(Size 2×1/4", purity 99.999%, CERAC Co.)이 사용되었다. 최적의 a-Si:H 증착을 위하여 광학적, 전기적 성질에 영향을 미치는 Si-H 결합율을 조사하기 위해서 기판온도, rf-power, H₂의 비율을 가변하여 최적의 증착조건을 채택하였다.

기판으로 사용된 유리는 열처리에 의한 불순물 오염을 막기 위하여 Corning 7059를 아세톤-메탄올-D·I water를 각각 10분 동안 처리하였다.

Cd 증착은 thermal evaporation 방법을 이용하여 증착하였으며 증착원료로 99.999%의 shot형 (CERAC Co.)을 사용하였다. 두께에 따른 결정화도를 측정하기 위하여 20Å에서 1000Å까지 두께를 가변하여 증착하였다.

a-Si:H/Cd/glass는 기판표면의 산화와 불순물에 의한 오염을 방지하기 위하여 질소 분위기(1.5 lpm)에서 400°C에서 700°C까지 furnace에서 3시간 열처리를 통하여 결정화하였다.

3. 결과 및 고찰

먼저 결정화전에 성장되는 a-Si:H의 특성을 규

명하고 이를 결정화후에 살펴보았다. 최적화된 a-Si:H은 대부분의 Si-H 결합이 기판의 온도, rf power, H₂/Ar의 비율에 따라 변화하게 된다. 그림 2와 같이 기판의 온도가 증가함에 따라 Si-H결합 (파수: 2000cm⁻¹)이 증가하였으며 rf-power에 따라서는 거의 변화가 없었다.

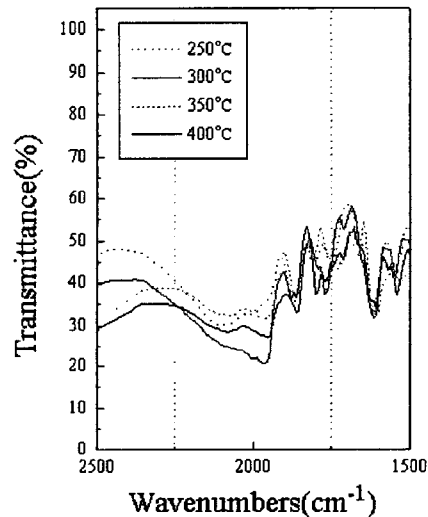


Fig. 2. FTIR result on a-Si:H as a function of substrate temperature.

그림 3은 Ar/H₂ 비율에 따른 주파수에 따른 투과율 그림이다. Si-H 결합은 주파수 2020cm⁻¹에서 가장 적은 투과율을 보이는데 H₂ 비율이 20%인 경우 가장 낮은 투과율을 보이는데 이러한 투과율은 Si-H 결합이 이 주파수대의 빛을 대부분을 흡수함에 따른 결과라고 생각된다. 그러나 20%이상 되는 경우 Ar의 부분압을 감소시켜 오히려 규소박막의 증착속도를 감소시키면서 Si-H 결합이 수소과잉에 의해 감소하는 경향을 보였다. 기판의 온도는 300°C에서 가장 낮은 투과율을 보이며 300°C이상의 온도에서는 높아지는 경향을 보였다. 이에 최적화된 n⁺ a-Si:H의 두께는 1.24μm, 면저항은 1.3×10⁴Ω/□ 이었다.

그림 4는 각각의 열처리 온도에 따른 결정화

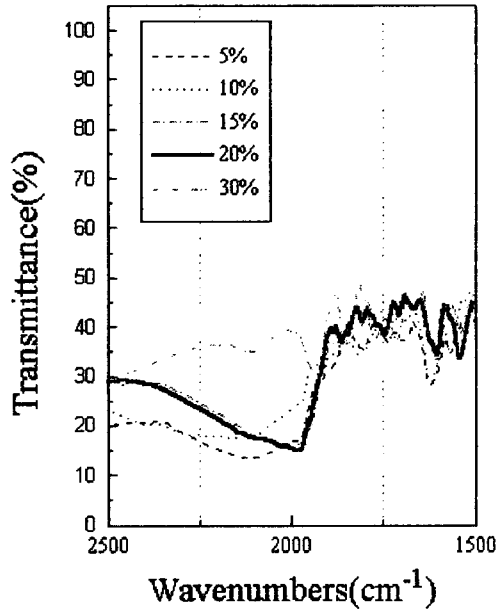


Fig. 3. FTIR result on a-Si:H with a variation of H₂ partial pressure.

XRD pattern이다. a-Si:H/Cd/glass의 열처리결과 400°C 3시간 열처리하였을 경우 표면이나 결정화도에 영향을 거의 주지 못하였다. 700°C의 경우 XRD에서는 나타나지 않는 미세한 결정이 (111)방향으로 나타나고 있었으나 기판과 비정질 규소간의 열팽창계수의 차이 때문에 인장응력을 받게 되어 기판이 손상이 관측되었다.

이러한 결과는 Cd와 a-Si:H간의 두께의 비가 너무 커서 eutectic reaction을 일으킬 수 있는 충분한 조성비가 박막결정화 반응에서 이루어지지 않았음을 알 수 있다. 즉 온도가 321°C에서 고용체 형성시 규소가 0.1%미만이므로 향후 연구에서 규소 박막의 두께를 감소하거나 Cd 층을 두껍게 하여 고용체 형성을 촉진함으로써 결정화 온도를 낮추려한다. 그림 5의 열처리 온도에 따른 SEM을 통한 표면사진은 각각의 열처리 온도가 증가함에 따라 Si-Cd의 고용체의 양이 증가하였다. 열처리전에는 표면에 어떤 구조도 관측되지 않았으나, 열처리온도 400°C 후에는 island형 고용체가 형성되었고 500°C 열처리로 병합과정이 시작되었으며 600°C 이상에서는 병합이 더욱 커지게 진행되었다. 고용체들은 온도가 700°C이상으로 증가함에 따라

Cd가 줄어들고 천천히 결정화되었음을 XRD와 SEM 사진을 통해서 알 수 있었다.

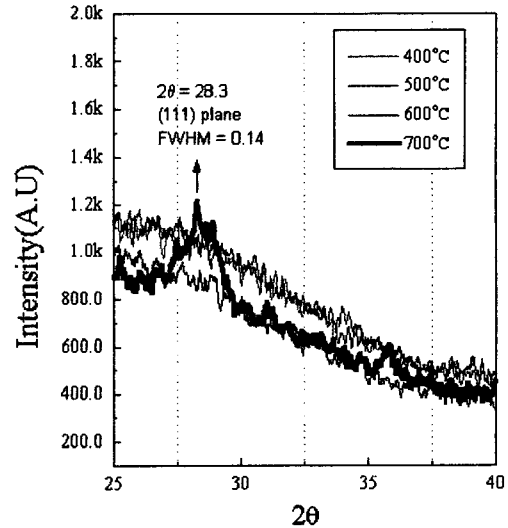


Fig. 4. Anneal temperature effect on crystallization of a-Si:H films.

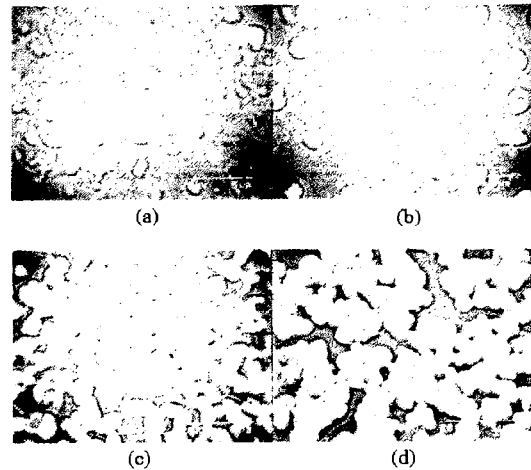


Fig. 5. Surface morphology changes as a function of anneal temperature(×6000) (a) 400 °C, (b) 500 °C, (c) 600 °C, and (d) 700 °C.

4. 결 론

- (1) a-Si:H은 온도와 H₂의 농도가 증가함에 따라 Si-H 결합이 증가하고 rf-power에 따라서는 차이가 없다
- (2) a-Si:H/Cd 층의 열처리를 통하여 온도가 증가함에 따라 결정화는 증가하며 700℃에서 가장 우수한 결정화도를 보였다.
- (3) 차후의 연구로써 Cd 층의 두께를 높이고 a-Si:H 층의 두께를 줄임으로써 결정화도를 높이고 열처리 온도를 낮추는 연구가 요구된다.

5. 참 고 문 헌

[1] Credelle, T. P., Proc. Int. Display Res. Conf., 1988, p.208.

[2] Miyaji, F., Matsuyama, Y, and Kanaishi, Y., IEEE J. Solid-State Circuits, 1989, 24, 1213.

[3] Kamins, T., Polycrystalline Silicon for Integrated Circuit Applications, Kluwer Academic Publisher, 1988, p.203.

[4] Yuki, M., Masumo, K., Takafuji, S., Asakawa, T., Imajya, N. and Kunigita, M., Proc. Int. Display Res. Conf., 1988, p.220.

[5] Samashima, T., Hara, M. and Usui, S., Jpn. J. Appl. Phys., 1989, 28, 1789.

[6] Yi, J., "Properties and Application of Thin Films of Amorphous and microcrystalline(poly) Silicon", Ph.D. Dissertation, SUNY at Buaffalo, NY, 1994.

[7] Murray J. L. and McAlister, A. J., Alloy Phase Diagrams, 5(1), Feb., 1984.