D-21

$SiO_2/Si_{0.7}Ge_{0.3}/SiO_2$ 계에서의 계면응집현상에 의한 양자점 형성에 관한 연구

Quantum Dot Formation by Interface Agglomeration at the $SiO_2/Si_{0.7}Ge_{0.3}/SiO_2$ system

서울대학교 재료공학부 윤태식, 권장연, 이동훈, 민석홍, 김기범

현재의 MOS 구조를 이용한 메모리 소자의 경우, 소자 구조 상의 한계에 의해 약 4giga-bit 이상의 집적도를 나타내는 것이 불가능할 것으로 예상되고 있다. 따라서 이러한 한계를 극복하기 위한 방법으로 제안된 소자의 한 형태가 단일전자 메모리(Single Electron Transistor Memory Device)라는 새로운 형태의 소자이다. 단일전자 메모리 소자는 외부에서 인가하는 전압에 의해 전자를 부도체 내부에 존재하는 전도성 양자점(Quantum Dot)에 저장함으로써 나타나는 *Coulomb blockade effect*를 이용하여 전자를 불연속적으로 제어하는 원리를 이용한 것이다. 이러한 단일전자 메모리 소자는 그 작동 원리에 의하면, 열적 진동에 의한 전자의 흐름을 억제하여 상온 이상의 온도에서도 외부에서 인가하는 전압에 의해서만 전자의 흐름을 제어하기 위해서 우선적으로 수 nm 크기의 양자점의 형성이 필수적이다. 따라서 이러한 양자점을 형성하기 위한 공정으로 여러 가지 방법들이 제안되고 있으며, 본 연구에서는 이러한 양자점 형성에 대한 새로운 공정 기술로서 interface agglomeration 공정을 이용하였다.

실험 결과에 의하면, SiO_2(13nm)/$Si_{0.7}Ge_{0.3}$(3.5nm)/SiO_2 구조를 여러 온도와 분위기에서 열처리함으로써 $Si_{0.7}Ge_{0.3}$ 층의 interface agglomeration과 partial oxidation에 의한 양자점 형성 양상을 확인하였고, 그 결과 약 4~5 nm크기의 구형을 나타내는 양자점을 SiO_2 부도체 내부에 비교적 균일하게 $10^{11}\sim10^{12}/cm^2$의 밀도로 형성시킬 수 있었다. 상압의 관상로에서 질소분위기로 800℃, 10분 동안 열처리한 경우에 약 4.9±1.3nm 크기의 양자점을 $3.8\pm0.36\times10^{11}/cm^2$의 밀도로 형성시킬 수 있었으며, 진공분위기에서 동일한 온도와 시간으로 열처리한 경우에는 3.6±1.3nm, $1.5\pm0.1\times10^{12}/cm^2$의 크기와 밀도를 나타내는 양자점을 형성시킬 수 있었다. 상압의 관상로에서 900℃에서 열처리한 경우에는 $Si_{0.7}Ge_{0.3}$ 층이 사라진 것을 확인할 수 있었으며, 진공 분위기에서 900℃에서 열처리한 경우에는 진공분위기에서 800℃의 온도로 열처리한 경우와 거의 비슷한 양상을 나타내었다. 상압의 관상로에서 열처리한 경우에 양자점의 밀도가 진공분위기에서 열처리한 경우에 비해 상대적으로 낮거나 또는 $Si_{0.7}Ge_{0.3}$ 층이 사라진 이유로는 노 내부에 잔존하는 산소 및 수증기 등에 의한 부분적인 산화 효과에 의한 것으로 확인되었다.

이러한 interface agglomeration 공정을 이용함으로써 단일전자 메모리 소자에 필요한 5 nm 이하의 크기를 나타내는 양자점을 wafer 위에 전면적으로 형성할 수 있었다.