

증착속도에 따른 LPCVD 비정질실리콘 박막의 고상결정화거동 (Effect of Deposition Rate on the Crystallization Behavior of LPCVD Amorphous Silicon Film)

한국과학기술원 ; 손동균, 최용우, 안병태

1. 서론

액정디스플레이나 SRAM으로 응용되는 TFT의 channel layer로 사용하는 다결정 Si박막은 막 내 grain boundary에 많은 defect들이 존재하고 이것이 trap center로 작용하여 TFT특성이 나빠진다. 따라서 grain size를 증가시켜 grain boundary의 면적을 감소시켜 TFT특성을 개선할수 있다. Grain size를 증가시키는 방법중 고상결정화(SPC: Solid Phase Crystallization)법은 공정온도를 낮출수 있어 많은 연구가 진행되었다. 그러나 결정화 거동을 열역학적 parameter를 실험적으로 구하여 설명하는 시도는 미흡한 실정이다.

본 연구에서는 LPCVD법으로 증착속도를 달리하여 증착한 a-Si 박막의 증착직후의 미세구조가 결정화거동과 입자크기 변화에 어떤영향을 미치는지 관찰하였다. 또한 열역학적 parameter를 Avrami식으로 fitting하여 구하고 결정화거동을 설명하였다.

2. 실험방법

본 실험에서 사용된 a-Si 박막은 750nm 열산화막이 형성된 Si 기판위에 SiH₄와 H₂ 혼합가스를 이용하여 150nm의 비정질 실리콘을 증착하였다. 증착온도는 545℃로 고정하고, 증착속도는 SiH₄와 H₂ 유량을 바꾸어 조절하였다. 증착속도가 2.8 nm/min은 SiH₄ 300sccm, H₂ 450sccm, 4.0 nm/min은 SiH₄만 100sccm으로 하였고, 박막의 두께는 NANOSPEC으로 측정하였다.

증착된 a-Si박막은 530~620℃의 온도에서 ~100시간까지 furnace를 이용하여 Ar 분위기에서 열처리하였다. 열처리한 Si 박막의 결정화정도 측정은 XRD(X-ray Diffraction)를 이용하였다. TEM으로 미세구조를 관찰하였고 시편은 lift-off 방법으로 제작하였다.

3. 결과 및 결론

유량을 변화시켜 증착속도가 각각 2.8 nm/min, 4.0 nm/min인 a-Si 박막을 제조하여 열처리한 결과 증착속도가 빠른 경우 결정화에 필요한 시간이 길어지며 최종입자의 크기가 증가하였다. 그 이유는 증착속도가 느릴수록 as-deposited 박막내의 SiO₂/a-Si 계면에 crystallite가 쉽게 형성되어 비정질과 결정상의 mixed phase가 나타나게 되고 핵생성이 쉽게 되기 때문이다.

열역학적 parameter는 a-Si 박막을 온도와 시간에 따라 열처리하여 얻은 결정화 분율로부터 Avrami 식을 fitting하여 τ_0 를 구하였고 이를 Arrhenius plot 하여 기울기로부터 잠복기의 활성화에너지(E_{τ_0})를 구했다. 그 결과 증착속도가 4.0 nm/min의 경우 5.05 eV로 증착속도가 2.8 nm/min의 3.62 eV 값보다 크게 나왔다. 핵생성의 활성화에너지(E_{τ})는 E_{τ_0} 에 비례하므로 증착속도가 2.8 nm/min인 경우가 핵생성속도가 빠르다. 따라서 결정성장속도는 비슷할 것으로 기대되므로 핵생성속도가 작은 증착속도 4.0 nm/min인 경우가 최종 결정립 크기가 더 클 것으로 기대되며, 측정결과 증착속도 4.0 nm/min인 경우 0.3 μ m, 2.8nm/min인 경우 0.2 μ m로 기대했던 바와 같은 결과를 보였다.