

일정 학습계수와 이진 강화함수를 가진 SOFM 신경회로망의 디지털 하드웨어 구현에 관한 연구

A Study on the Digital Hardware Implementation of Self-Organizing
Feature Map Neural Network with Constant Adaptation Gain and
Binary Reinforcement Function

趙 成 元 石 鎭 旭 洪 成 龍
Seongwon Cho Jinwuk Seok Seongyong Hong
School of Electronic and Electrical Engineering, Hong Ik University

요 약

일정 학습계수와 이진 강화함수를 지닌 자기조직화 형상지도(Self-Organizing Feature Map)신경회로망을 FPGA위에 하드웨어로 구현하였다. 원래의 SOFM 알고리즘에서 학습계수가 시간 종속형인데 반하여, 본 논문에서 하드웨어로 구현한 알고리즘에서는 학습계수가 일정한 값으로 고정되며 이로 인한 성능저하를 보상하기 위하여 이진 강화함수를 부가하였다. 제안한 알고리즘은 복잡한 곱셈 연산을 필요로 하지 않으므로 하드웨어 구현시 보다 쉽게 구현 가능한 특징이 있다. 1개의 덧셈/뺄셈기와 2개의 덧셈기로 구성된 단위 뉴런은 형태가 단순하면서 반복적이므로 하나의 FPGA위에서도 다수의 뉴런을 구현 할 수 있으며 비교적 소수의 제어 신호로서 이들을 모두 제어 가능할 수 있도록 설계하였다. 실험결과 각 구성부분은 모두 이상 없이 올바르게 동작하였으며 각 부분이 모두 종합된 전체 시스템도 이상 없이 동작함을 알 수 있었다.

1. 서론

현재까지 신경회로망의 하드웨어 구현에 대한 연구는 대부분 아날로그 방식 혹은 Stochastic Pulse Stream 방식으로 이루어져 왔다. 그러나, 아날로그 방식의 하드웨어에서는 CMOS내 PMOS 트랜지스터와 NMOS 트랜지스터의 특성 불일치, 이상적인 아날로그 메모리 소자 구현의 어려움, A/D 및 D/A 변환기 내장 시 이로 인한 정확도 손실 등의 문제점이 있고,

Stochastic Pulse Stream의 경우 충분한 정확도를 얻기 위해서는 연산에 필요한 시간이 지나치게 길어진다는 것과 데이터의 동기 확보가 역시 문제점으로 지적된다.

디지털 방식의 하드웨어 구현에서는 뉴런의 집적도를 높이기 위해 쉬운 알고리즘의 개발이 필수적인 문제가 되고, 이는 신경회로망 알고리즘 개발에 있어 고려 하여야 할 가장 중요한 문제중 하나이다[1]. 신경회로망의 하드웨어 구현을 위해서는 무엇보다 신경회로망 학습 알고리즘이 하드웨어 구현에 용이한가 하는 것이 우선적인 고려 사항인데, 경쟁학습 신경회로망 모델은 학습 방식식이 단순하여 하드웨어

* 이 논문은 1995년도 한국학술진흥재단의 공모과제 연구비에 의하여 연구되었음.

구현에 유리한 조건을 갖추고 있다. 그러나, 기존의 경쟁학습 모델들 역시 시간에 따른 단조 감소 함수인 적응이득 (Adaptation Gain) $\epsilon(t)$ 을 계산하기 위해 하드웨어 구현이 어려운 나눗셈기 하나와 각 뉴런별로 곱셈기 하나가 필요하게 된다. 본 논문은 효율적인 디지털 하드웨어 구현을 위해 일정 학습계수와 이진 강화 함수라는 개념을 도입한 새로운 방식의 SOFM 신경회로망의 디지털 하드웨어에 대하여 논한다[1].

2. 일정 적응 이득과 이진 강화 함수를 가진 SOFM

SOFM 신경회로망은 비지도 학습법의 가장 대표적인 신경회로망으로서 학습 알고리즘은 다음과 같다.

$$w_r(t+1) = w_r(t) + \epsilon(t) h_{rs}(t) (v_s - w_r(t)), \quad \forall r, s \in A \quad (1)$$

식 (1)에서 A 는 뉴런 각각을 가리키는 Index 집합이며 $\epsilon(t)$ 는 시간에 단조함수인 학습계수이고 $h_{rs}(t)$ 는 근접 상호작용함수 혹은 집합 (Neighborhood Interaction Function or set)으로서 $[0,1]$ 혹은 $\{0,1\}$ 의 값을 가진다. SOFM 신경회로망은 $h_{rs}(t)$ 에 의해 Winner가 아닌 뉴런도 학습을 하게 되므로 뉴런들로 이루어진 Compact집합 위에 뉴런들 상호간의 지도(Map)가 형성된다.

한편, 일정 학습계수와 이진 강화함수가 결합한 Langevine 형식의 SOFM알고리즘은 다음과 같다[2][3].

step 0 : Weight vector 초기화

step 1 : Input Data vector v_i 에 대하여 다음 조건을 만족하는 Weight vector index r 을 선택

$$r = \arg \min_{w_r(t)} d(v_i, w_r(t)) \quad (2)$$

step 2 : Input Data vector v_i 과 Weight vector index r 에 대하여 D_i 계산

$F(t) :=$ Final Epoch - t 사이의 임의의 값

을 취하는 확률변수

$P(t) :=$ 0에서 t 사이의 임의의 값을 취하는 확률변수

$$\delta(t) = 1 \quad \text{with probability } \frac{1}{2} P_\delta(F(t) > P(t))$$

$$\eta(\lambda, \delta, t, v_i, w_r) = \begin{cases} \delta(t) = 1 & \\ -\lambda \delta(t) \operatorname{sgn}(v(t) - w_r(t)) & \\ \delta(t) = 0 & 0 \end{cases}$$

$$\begin{aligned} D_i &= \epsilon_L h_{rs}(t) \nabla J_i + \eta(\lambda, \delta, t, v_i, w_r) \\ &= -\epsilon_L h_{rs}(t) (v(t) - w_r(t)) \\ &\quad - \lambda \delta(t) \operatorname{sgn}(v(t) - w_r(t)) \end{aligned}$$

step 3 : Weight vector를 다음 식에 의해 갱신

$$w_r(t+1) = w_r(t) + \epsilon_L (v(t) - w_r(t)) + \delta \rho(t) \operatorname{sgn}(v(t) - w_r(t)) \quad (3)$$

여기서 ϵ 는 상수이고 $\rho(t)$ 는 시간에 따라 1의 발생확률이 감소하는 랜덤변수, δ 는 이진 강화함수 이득이다.

step 4 : t 를 $t+1$ 로 변환

step 5 : 수렴될 때까지 Step 1부터 Step 4까지 반복

3. 일정 학습계수와 이진 강화 함수를 가진 SOFM 신경회로망의 하드웨어 구현

3.1 전체구성

일정 학습계수와 이진 강화함수를 가진 자기조직화 형상지도 신경회로망의 하드웨어는 하나의 Chip위에 알고리즘의 기본적인 동작이 가능함을 목표로 1개 Neuron에 해당되는 학습 방정식을 실제로 수행하는 부분과 각 뉴런 전체에 공통적인 신호를 공급하는 전역 제어기 부분으로 나누어진다. 전역 제어기 부분은 또한 Input Data vector의 어드레스를 참조하기 위한 어드레스 Index Buffer와 Weight vector의 어드레스를 참조하기 위한 어드레스 Index Buffer, 그리고 이진 강화함수부분과 학습회수를 세는 부분으로 세분된다.

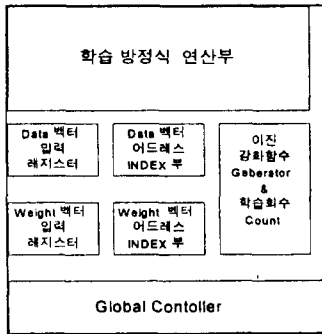


그림 1 제안된 신경망 Chip의 전역구조

본 논문에서 제안하는 신경회로망 Chip은 외부 Clock에 의해 동작되며 4개의 상태를 통해 1 동작이 완료된다. 각 상태들의 천이는 그림 2와 같다.

상태 1에서는 전체 학습과정이 준비되는 단계이다. 이 과정에서 입력 레지스터들은 Clear된다. 상태 2에서는 Data와 Weight vector의 1 Dimension값이 입력 레지스터 내에 저장되며 학습이 시작된다. 상태 3에서는 학습이 종료되고 그 값이 출력을 위한 임시 레지스터에 저장된다. 이때 Weight vector를 외부 RAM에 쓰기 위한 편들은 High Impedance상태가 되어 기존의 Weight vector값이 쓰여지거나 하는 오류를 방지한다. 상태 4에서는 출력을 위한 임시 레지스터에 있는 Weight 값을 외부의 RAM에 저장하기 위한 쓰기 신호가 활성화되고 내부에 저장되어 있는 학습회수가 1 감소하게 된다.

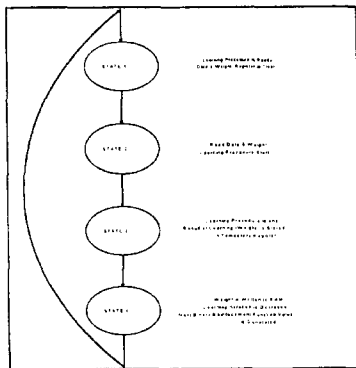


그림 2 제안된 신경망 하드웨어의 상태 천이도

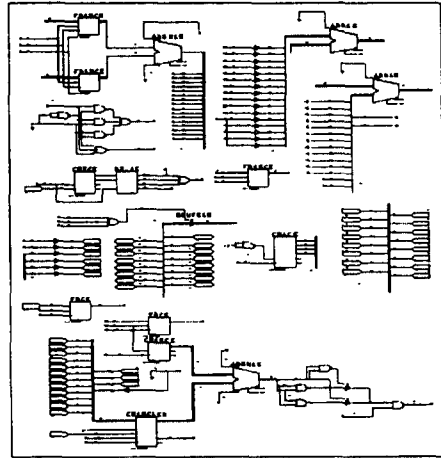


그림 3 제안된 신경망 하드웨어의 전체 회로도

외부 RAM에 Weight값을 출력시키기 위해서 출력을 위한 임시 레지스터에 있는 Weight 값은 상태 4, 상태 1, 상태 2동안에는 유지되며 상태 3에서 갱신된 Weight값과의 충돌과 레지스터에 Weight 값을 안정하게 안착시키기 위해 High Impedance상태를 유지한다. 학습과정은 상태 2에서 시작하여 상태 3에 이르기 전에 끝난다. 이 부분은 내부 Clock에 대해 동기하지 않으므로 적절한 시간지연에 대한 고려가 필요하다. 또한 상태 1에서는 다음 Dimension의 Weight값을 얻기 위해 Weight에 대한 어드레스 값이 1 증가한다. 이로서 각 부분은 내부 Clock에 대하여 모두 동기되므로 안정적인 동작이 보장된다.

3.2 학습방정식 구현부

학습방정식을 구현하는 부분은 모두 1개의 Adder/Subtractor와 2개의 Adder로 구성된다. 1개의 Adder/Subtractor와 1개의 Adder는 학습 방정식의 이진 강화함수를 제외한 부분을 하드웨어로 구현하기 위해 사용되었으며 1개의 Adder는 이진 강화함수와 2의 보수연산을 위한 보정값을 더해주기 위해 사용된다. 학습 방정식에서 학습계수를 곱하는 부분은 첫 번째 Adder/Subtractor와 2번째 단 사이에 bit Change로 구현하였다. 그러므로 보다 작거나 큰 학습계수를 얻고자 한다면 Bit Change가 일어나는 위치를 변화시켜주면 된다. 그리고 이진 강화함수가 더해지는 부분은 편의상 2번째

Adder의 출력부의 LSB에 더해지는 형태로 구성하였으나 이진강화함수의 효과를 보다 크게 해주기 위해서는 LSB보다 상위 Bit에 가해지도록 구성하면 된다. 또한 Data와 Weight를 위한 레지스터가 입력부분에 설치되어 있으며 최종 출력은 상태 3에 동기하는 임시 출력 레지스터에 저장되는 형태로 되어있다. 이 부분은 그림 4와 같다.

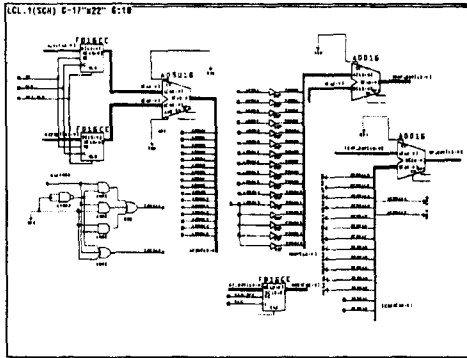


그림 4 학습 방법식의 하드웨어 구현부

3.3 전역 제어부

전역 제어부분은 각 제어신호를 내부 Clock에 동기하여 생성하는 부분과 입출력 데이터의 읽기/쓰기를 담당하는 부분 그리고 외부에서 주어지는 학습회수를 저장하여 제어신호에 동기, 학습회수를 감소시키며 동시에 감소하는 학습신호에 맞추어 이진 강화함수값을 만들어 내는 부분으로 나누어진다. 전역 제어부의 회로도도 그림 5와 같다.

특히, 이진 강화함수의 구현을 용이하게 하기 위해서는 사실상 ALU에 준하는 회로가 요구되나 여기에서는 이진 강화함수를 단순화시켜 두 개의 카운터와 OR gate, AND gate를 사용하여 외부 Random신호와 AND연산을 거쳐 이진 강화함수값을 출력한다. 이때 0에서 시작하는 증가 카운터의 값과 주어진 학습회수에서 감소하는 카운터의 값에서 증가 카운터 측의 값이 감소 카운터 값보다 크면 최대 25%의 확률로 1이 발생하며 반대로 감소하는 카운터의 값에서 증가 카운터 측의 값이 감소 카운터 값보다 작으면 최대 75%의 확률로 1이 발생한다. 이렇게 발생한 값과 외부의 Random 값과 AND연산을 하게된다. 따라서, 본 하드웨어에서 이진 강화함수의 효과를 크게 하기 위해서는 외부에서 가해지는 Random신호가 얼마나 무작위적으

로 1을 만들어 낼 수 있는가에 의존된다.

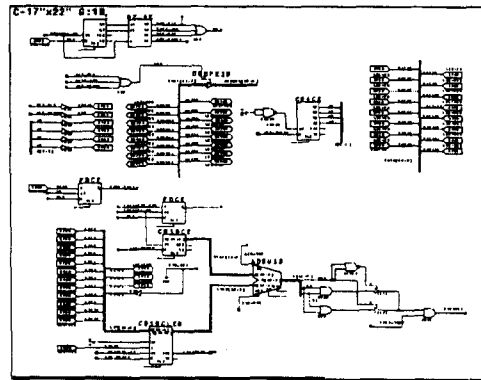


그림 5 전역 제어부의 회로도

전역 제어신호를 생성하는 부분은 내부 Clock에 동기하여 2bit Counter와 Decoder를 사용하여 각 상태 신호를 생성하게 되며 이렇게 생성된 상태신호를 적절히 배합하여 필요한 제어신호를 만들어 내게 된다. 예를 들어, Weight 값을 외부 RAM에 쓰기 위해서는 학습된 Weight 값이 되도록 충분히 출력 레지스터에 머무르도록 하며, 이 가운데 쓰기 신호를 출력하면 외부 RAM에 쓰기가 가능해진다. 이와 같은 작동을 위해서 상태 4, 상태 1, 상태 2까지 Buffer를 통해 Weight 값이 통과하는 BUS가 활성화 되도록 하고 상태 4를 쓰기 신호로 출력하면 이상 없이 외부 RAM에 결과를 보낼 수 있다. 또한, 학습과정 중에는 입력 레지스터가 계속 Data와 Weight값이 BUS위에 활성화되어 있어야 하므로 상태 1, 상태 2, 상태 3에는 레지스터가 계속 활성화 되도록 구성하면 된다. 그림 6은 전역 제어부의 회로도이며, 그림 7은 이진 강화함수값을 출력하는 부분이다.

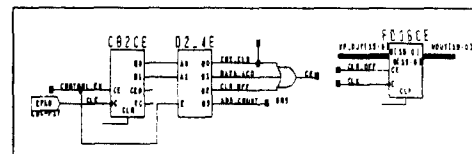


그림 6 전역 제어신호 생성부

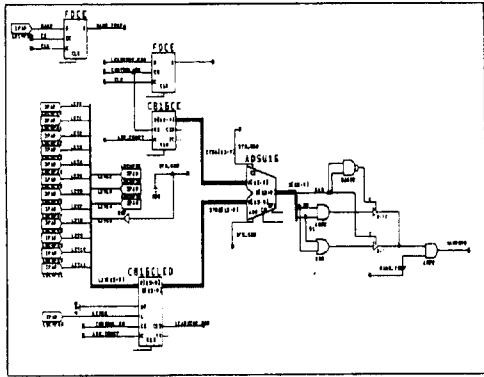


그림 7 이진강화학습 생성부

4. 실험결과

실험은 크게 세 가지로 구성된다. 첫 번째는 단일 데이터에 대하여 이진 강화학습이 적용되지 않았을 때 학습 방정식의 하드웨어 구현을 통해 구성된 단위 뉴런이 올바르게 동작하는가를 알아보는 것이며, 두 번째는 이진 강화학습이 올바르게 작동하는가를 검사하고 이진 강화학습이 작동하고 있는 동안 뉴런의 작동상태와 데이터가 계속 다른 값으로 입력될 때 뉴런이 올바르게 동작하는가를 알아보는 것이다. 마지막으로 구현된 하드웨어가 얼마나 빨리 동작할 수 있는가를 알아본다.

본 실험은 IBM-PC Pentium-100에서 행하였으며 실험 장비는 Xilinx사의 Xilinx-View Logic에서 제공되는 PROsim 시뮬레이터이다. 실험환경은 Xilinx사의 XC-4000 FPGA 단일 Chip위에 모든 회로가 구현되어 있는 것이며 각 실험에서 내부 Clock은 100ns, 일정 학습계수 값은 1/16으로 놓았다.

4.1 단일 데이터에 대한 동작실험

본 하드웨어는 전역 제어신호의 하나인 CONTROL_EN신호가 활성화 될 때 동작이 시작되도록 설계되었다. 따라서, 초기상태는 일단 외부 저장장치 등에서 Data와 Weight값이 각각 16진수 3333H와 6666H로 인가되어 있고 외부에서 주어지는 Clock이 하드웨어에 인가된다. 이 때 초기상태에 대한 고려가 잘못되어 있다면 CONTROL_EN신호에도 불구하고 주요 출력(WEIGHT값과 WOUT값)에 어떤 무의미한 값(Dummy value)이 나타날 것이다. 실험결과

CONTROL_EN신호가 2 Clock 후에 활성화 될 때 외부에 가해지는 Data와 Weight값이 인가되어짐을 알 수 있으며 설계대로 3번째 상태에서 학습이 끝나 출력 레지스터에 결과값이 인가됨을 알 수 있다(WOUT 값). 이 때 단위 뉴런의 설계가 잘못되어 있다면 부호 있는 정수연산에서 2의 보수연산에서 잘못된 결과가 나올 수 있다. 따라서 설계가 올바르다면 다음 식이 성립하게 된다.

$$v_i - w_i^r : 3333H - 6666H = -3333H$$

$$\epsilon_L(v_i - w_i^r) : 1/16 \times (-3333H) = -0333H$$

$$w_{i+1} = w_i + \epsilon_L(v_i - w_i^r) : 6666H - 0333H = 6333H$$

그런데 결과값 WOUT은 2+3 clock에서 6333H를 출력함을 알 수 있다. 따라서 단일 입력에 대한 실험에서 설계한 칩은 초기상태에서 올바르게 동작함을 알 수 있다. 또한, 임의의 Iteration에 대하여 계속 옳은 출력값을 동기에 맞추어 생성해 낼 수 있는지에 대하여 실험결과 그림 9에서처럼 다음 Iteration에서 정확히 동기를 맞추어 다음 출력값을 생성해 내었다. 그림에서 WEIGHT를 살펴보면 값이 출력되어 나온 부분과 부분 사이에 값이 존재하지 않은 부분이 있는데 이것은 상태 3에서 출력을 안정화시키기 위해 High Impedance가 걸리는 부분이다. 또한 임의로 정한 128 Iteration에 대하여도 마찬가지로 올바른 출력값을 생성해 내고 있음을 그림 10을 통해 알 수 있었다.

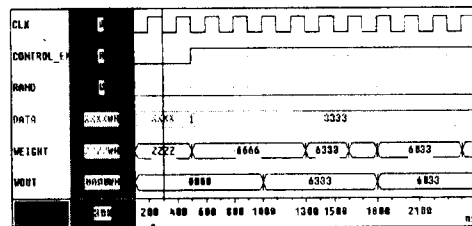


그림 8 다음 Iteration에서 Weight값과 연산 결과(WOUT)

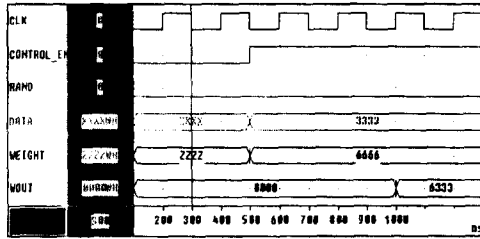


그림 9 단일 데이터에 대한 초기상태

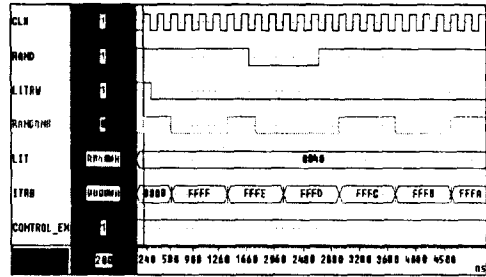


그림 11 이진 강화함수 실험결과

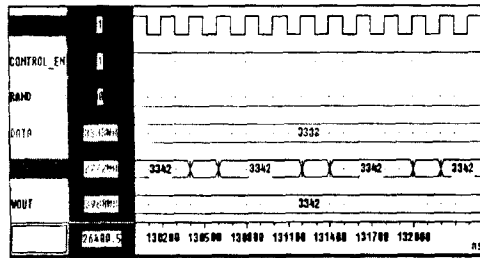


그림 10 임의 Iteration에서의 동작상태 (총 128 Iteration)

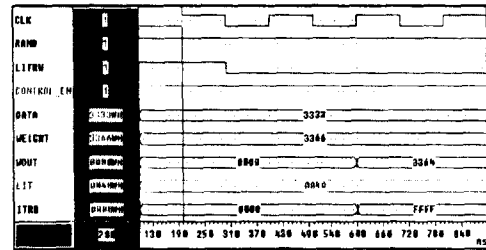


그림 12 이진 강화함수가 인가되었을 때 단일 데이터에 대한 초기 학습동작 타이밍

4.2 이진 강화함수 동작실험

이진 강화함수부분에 대한 실험은 결과가 무작위적인 형태를 가지는가에 대한 것이다. 일단 외부 Random 신호 (RAND 신호)가 만족할 만큼 충분히 무작위적으로 들어온다고 보면 이진 강화함수는 그림 11과 같이 만족할 만한 Random 이진 강화함수값을 출력해 낸다. 그림 11에서 입력으로 인가된 신호는 외부 Random 신호인 RAND, Iteration값을 FPGA로 구현된 신경망 칩 내부에 써넣기 위해 인가되는 LITRW, 그리고 Iteration값인 LIT이다. 본 실험에서는 Iteration횟수가 128이므로 LIT는 16진수 0040H로 나타나며 1 clock의 지연신호를 인가하였다. 그림에서 나타나듯이 LITRW가 활성화되지 않은 이후 4번째 clock 에서 1씩 카운트가 줄어들게 되는 것을 볼 수 있으며 출력신호인 RANDOMB가 불규칙한 시간 폭으로 1을 나타냄을 볼 수 있다.

한편, 이진 강화함수가 인가되었을 때의 신경망 동작은 그림 12와 같다. 데이터 3333H가 인가되었을 때 Weight가 3366H이면 3033H가 나타나야 함에도 LSB에 이진 강화함수가 인가되어 3034H가 결과로 나타남을 볼 수 있다.

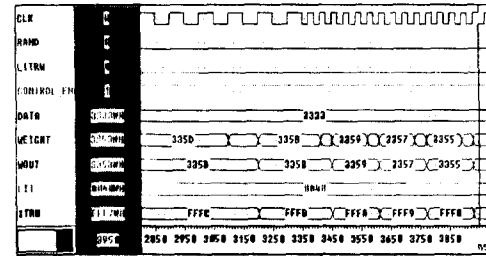


그림 13 이진 강화함수가 인가되었을 때 단일 데이터에 대한 중간정도 Iteration에서의 학습동작 타이밍

4.3 다수의 데이터에 대한 동작실험

본 실험은 이진 강화함수가 인가된 상태에서 다수의 데이터가 인가될 때 올바르게 동작하는가를 판정하는 실험이다. 그림 14는 본 실험의 중간정도 Iteration에서 올바르게 동작하는지를 보여주고 있다.

4.4 동작속도실험

구현된 신경망 하드웨어는 학습과정이 비동기식으로 이루어져 있다. 따라서, Feedback이 없이 단순히 GATE 출력에서 바로 다음 단의 입력으로 들어가는 형태로 이루어져 있다. 그러므로 각 GATE 에서 소요되는 시간지연이 열

마나 나타나게 될 것인가를 알아봄으로서 얼마나 빠르게 연산을 수행 할 수 있는지를 추정해 볼 수 있다.

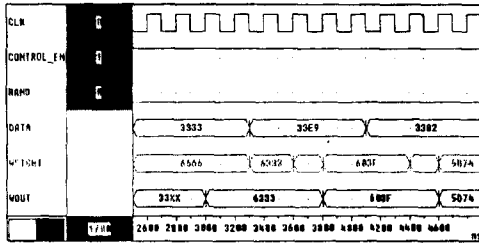


그림 14 다수의 데이터가 인가되었을 때의 동작 타이밍

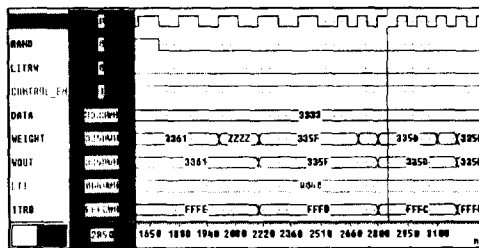


그림 15 펄스 폭을 100nsec에서 50nsec로 줄였을 때 동작 타이밍

5. 결론

본 논문에서는 하드웨어 구현에 편리하고 분류성능이 뛰어난 것으로 알려진 일정 학습계수와 이진 강화함수를 가진 자기조직화 형상지도 신경회로망을 FPGA를 사용하여 구현하였다. 구현된 하드웨어에서 각 부분들은 정확히 전역 제어신호의 동기에 따라 결과값을 생성해 내었으며, 각 부분을 통합하여 실험해 본 결과 이상 없이 동작할 수 있음을 확인 할 수 있었다. 또한 설계한 하드웨어는 20ns에서도 안정된 작동이 가능할 수 있음을 보여주어 기억소자가 데이터를 읽거나 쓰기 위한 지연범위 내에서 최대한의 속도를 보장하며 동작할 수 있음을 알 수 있었다. 설계한 하드웨어는 주요 기억소자들을 신경망 칩 외부에 설치할 수 있도록 설계하여 입력벡터의 Dimension과 데이터 수에 대하여 어느 정도의 유연성을 보장하였다. 그리고, 설계된 하드웨어에서 1개의 뉴런에 해당하는 학습 방정식 구현 부분은 단순한 형태로 3개의 Adder를 주요 소자로 하도록 구성되어 있으므로 필요에 따라서는 집적도가 높은 FPGA

에서 다수의 Neuron을 실장할 수 있으며 한 개의 전역 제어기로 모든 Neuron을 제어 할 수 있으므로 연산의 효율성이 크게 높아질 수 있다.

본 논문에서 제안하는 하드웨어에서는 그러나 Independent Increment 특성을 지니는 이진 강화함수 부분을 원 칩(One-Chip)하드웨어의 집적도를 높이기 위하여 매우 단순한 형태로 제작하였으며 이것이 전체 하드웨어 시스템에 어떤 영향을 끼칠 것인지에 대한 연구와 더불어 실제 시스템에 응용하여 제어분야나 여러 인식분야 등에 적용한 시스템을 구성할 필요성이 제기된다.

참고 문헌

- [1] T. Poggio and F. Girosi, "Networks for Approximation and Learning", Proc. IEEE, vol. 78, No. 9, pp.1481-1497, September, 1990.
- [2] 조성원, 석진욱, "일정 학습계수와 이진 강화함수를 가진 자기 조직화 형상지도 신경회로망", 대한전자공학회 논문지, 제32권, B편, 제1호, pp. 180-188, 1995.
- [3] J. Seok, S. Cho, "Self-Organizing Feature Map with Binary Reinforcement and Constant Adaption Gain : For an easier Hardware Implementation", Proc. ICONIP'94, vol 2, 966-971, 1. 1994.