

## 티타늄이 코팅된 실리콘 팁 어레이의 전계방출 특성 분석

최민수, 강승열, 송운호, 이진호, 임영언\*, 조경익, 유형준

한국전자통신연구원 반도체연구단

\*충남대학교 재료공학과

전계방출(field emission) 현상을 이용하는 진공미세소자는 새로운 전자소자로서, 평판 디스플레이, 고속 스위칭 소자, 미세 센서 등에 응용하기 위해서 연구가 활발히 진행되고 있다. 이들 소자를 제작하는 방법 중 실리콘 전계방출 어레이(Si field emission array: Si FEA)는 기존의 발달된 반도체 공정과 호환가능하다는 장점이 있지만, 전자방출의 안정성이 낮고, 수명이 짧은 단점을 가지고 있다[1]. 본 실험에서는 티타늄(Ti)을 3극형(triode-type) 실리콘 팁 어레이 위에 코팅하여 Si FEA의 장점을 유지함과 동시에 그들이 갖는 안정성과 수명의 문제를 해결하고자 하였다.

우선 (100) 실리콘 웨이퍼를 사용하여 900 °C에서  $\text{POCl}_3$ 로 도핑(doping)하여 캐소드(cathode) 전극을 형성하였으며, 열산화법으로 약 3000 Å의 산화막( $\text{SiO}_2$ )을 성장시켜 패터닝(patterning)한 후, 산화막을 건식식각하여 1.2  $\mu\text{m}$ 의 마스크용 디스크를 만들었다. 그 다음  $\text{SF}_6$  가스를 사용하여 등방성 식각을 한 다음,  $\text{SF}_6 + \text{O}_2$  가스로 비등방성 식각을 하여 팁을 형성하였다. 실리콘 팁을 더욱 뾰족하게 만들기 위해서 첨예화 산화(sharpening oxidation) 공정을 수행하였으며, 성장된 열산화막을 6:1 BHF 용액으로 모두 제거하였다. 그 위에 게이트(gate) 절연층을 형성하기 위해 화학증착법으로 저온 산화막(low temperature oxide: LTO)을 증착한 후, 저압화학증착법(low pressure chemical vapor deposition: LPCVD) 방법으로 폴리실리콘을 증착하여 게이트 전극막을 형성하였다. 그 다음, 스피ن-온-글래스(spin-on-glass)를 2000 Å 두께로 증착한 후, 플라즈마 식각 챔버에서 에치-백(etch-back) 공정[2]을 수행하였다. 에치-백 공정을 하여 팁의 상부 산화막을 노출시키고, 6:1 BHF 용액에서 LTO를 식각하여 팁을 노출시켰다. 그 후 게이트 전극을 리소그래피(lithography)와 식각공정으로 패터닝 하였으며, 티타늄을 스퍼터링(sputtering) 방법으로 증착한 후 리소그래피·식각하여 티타늄이 코팅된 Si FEA를 얻었다.

기존의 Si FEA와 티타늄이 코팅된 Si FEA의 경우 모두, 동작개시 전압(turn-on voltage)은 비슷하였다. 그러나, 기존의 Si FEA의 경우 열화가 발생하는 임계시간이  $1\text{nA}/\text{tip}$ 에서 약 250 초였으나, 티타늄이 코팅된 Si FEA의 경우에는 약 5000 초로서 수명이 20 배 정도 증가하였다. 이는 티타늄의 일함수(work function)가 실리콘의 일함수와 비슷하므로 동작개시 전압이 서로 비슷하며, 티타늄이 실리콘에 비해 상대적으로 높은 용점과 낮은 비저항값을 갖기 때문에 수명이 증가된 것으로 판단된다.

### 참고문헌

1. Yoon-Ho Song et al., 4th ASID Proc., p. 211, Hong Kong, Feb, 1997.
2. Jin Ho Lee et al., 9th IVMC '96 Technical Digest, p. 380, St. Petersburg, Russia, July, 1996.