

a-Si/SiO₂ 계면의 증착조건에 따른 비정질 실리콘 박막의 고상 결정화

정 세 진* · 황 의 훈 · 노 재 상

홍익대학교 금속·재료 공학과

서 른 다결정 실리콘 박막은 MOS 소자의 gate electrode, bipolar transistor의 emitter 와 내부전극 등에 다양하게 적용되고 있다. 최근에는 다결정 실리콘 박막 트랜지스터(poly-Si TFT's)를 이용한 AMLCD(active-matrix-liquid-crystal-display)의 제조에 관심이 집중되고 있다. 그러나 다결정 실리콘 박막 내부에 존재하는 결정립계는 전하 이동자의 포획자리로 작용하여 소자의 field effect mobility를 감소시키고 threshold voltage 및 leakage current 등을 증가시키는 등 소자의 전기적 특성을 저하시킨다. 이러한 단점을 극복하기 위해 결정립을 조대화할 목적이 있다. 조대한 결정립을 갖는 다결정 실리콘 박막을 얻기 위해서는 핵생성이 억제되고 상대적으로 결정립 성장속도는 증가되어야 한다. 일반적으로 비정질 실리콘 박막의 고상결정화시 핵생성에 필요한 잠복기 및 핵생성 속도는 초기 비정질 실리콘의 증착조건에 의해 결정되고 핵생성은 a-Si/SiO₂ 계면에서 주로 일어난다고 보고되고 있다. 이러한 사실에 착안하여 조대한 다결정 실리콘 박막을 제조할 수 있는 기술을 개발하였다. NIC(nucleation-interface-control)라 명명된 이 기술은 일산화막 위에 긴 잠복기를 갖는 매우 얇은 비정질 실리콘을 증착한 후 상대적으로 두꺼운 reference 비정질 실리콘을 증착하여 우선적으로 핵생성을 일으키는 a-Si/SiO₂ 계면 근처의 비정질도를 변화시켜 후일처리시 조대한 다결정 실리콘 박막을 얻을 수 있는 기술이다.

실험방법 4" p-type (100) wafer에 1000Å 두께의 일산화막(SiO₂)을 증착한 후, 그 위에 LPCVD를 이용하여 Si₂H₆ 가스를 사용한 비정질 실리콘 박막을 증착하였다. a-Si/SiO₂ 계면에 440~480 °C 의 증착온도 범위에서 상대적으로 매우 얇은(~50Å) 비정질 실리콘 박막을 증착시키고 그 위에 500 °C, 0.35 Torr의 조건으로 증착시킨 1000Å 두께를 갖는 다층 비정질 실리콘 박막을 제조하였다. 증착된 비정질 실리콘 박막은 N₂ 분위기의 관상로에서 열처리 시간에 따른 결정화 거동을 XRD를 이용하여 관찰하였으며 결정립의 크기 및 미세구조는 TEM을 이용하여 단면 및 평면 명시야상 등의 방법으로 관찰하였다. 제조된 다층 비정질 실리콘 박막을 이용, NMOS-TFT를 제조하여 전기적 특성을 평가하였다.

실험결과 및 고찰 일산화막위에 우선 ~50Å의 얇은 비정질 실리콘층을 증착한후 연속적으로 그위에 ~950Å의 reference 박막을 500°C, 0.35 Torr의 조건으로 증착하였다. ~50Å의 비정질 실리콘층은 0.35 Torr의 증착압력에서 증착온도를 440, 460, 480°C로 변화시키었다. 이를 600°C 열처리하여 XRD 분석한 결과 ~50Å의 비정질 실리콘의 증착온도가 감소할수록 잠복기와 (111) intensity가 증가하는 것을 관찰할 수 있었다. 1000Å의 reference 박막의 잠복기와 최종 결정립 크기가 1.3시간, 1µm인데 비해 440°C, 0.35 Torr의 증착조건으로 핵생성 계면 제어한 경우 3시간의 잠복기와 3µm의 결정립 크기의 증가가 관찰되었다. 또다른 핵생성 계면 제어 실험으로 500°C, 0.35 Torr의 증착 조건으로 ~50Å의 비정질 실리콘을 증착한 후 주입가스를 차단하여 반응기내에서 oxygen과 같은 불순물의 유입을 유도하였다. 3분정도 경과한 후 다시 가스를 주입하여 하부층과 같은 증착조건으로 ~950Å의 비정질 실리콘을 증착하였다. 이는 반응기 내부에 잔류해 있는 oxygen과 같은 불순물 효과를 이용한 것으로 핵생성이 우선적으로 일어나는 a-Si/SiO₂ 계면 근처에 유입된 불순물이 결정립 성장에는 영향을 주지 않고 단지 핵생성만을 제어하고자 하였다. 600°C 열처리한 결과 같은 증착조건으로 연속증착한 경우보다 2배이상의 잠복기와 결정립 크기의 증가를 관찰할 수 있었다. 440°C, 0.35 Torr의 조건으로 ~50Å의 비정질 실리콘을 증착하고 그 위에 500°C, 0.35 Torr 조건 의 ~950Å의 두께를 갖는 비정질 박막을 연속적으로 증착한 비정질 박막과 불순물 효과를 이용해 동일한 증착조건의 불연속 비정질 박막을 각각 제조하고 600°C, 13시간동안 열처리 수행후, XTEM으로 관찰한 결과 연속증착에 의해 핵생성을 제어한 박막은 1000Å 비정질 실리콘 박막 전체의 결정화가 완료되었다. 그러나 동일한 증착조건의 불연속 증착에 의한 박막의 경우 상부 ~950Å의 비정질 실리콘의 결정화가 완료되었음에도 불구하고 하부의 ~50Å의 비정질 실리콘은 oxygen과 같은 불순물이 많이 함유되어 결정화가 완료되지 않음을 볼 수 있었다. 불연속 증착에 의해 핵생성 계면 제어된 다결정 실리콘을 사용한 NMOS-TFT 경우 매우 높은 소자의 전자 이동도와 낮은 문턱전압을 나타내었다. 이는 핵생성 계면제어에 의해 조대해진 다결정립이 소자 구동 영역에서의 결정립계에 의한 전자 포획 효과를 최소화시킨 결과라 판단된다.

결 론 핵생성 계면 제어된 비정질 실리콘의 고상결정화를 통하여 a-Si/SiO₂ 계면근처의 50 Å 비정질 실리콘의 증착조건에 따라 전체 비정질 실리콘의 결정화 거동이 결정립을 관찰할 수 있었다. 한편 핵생성 계면에 유입된 불순물은 하부 비정질 실리콘 박막의 고상 결정화를 지연시키는 효과를 나타내었다. 계면제어에 의해 제조된 다결정 실리콘 박막을 이용하여 NMOS TFT를 제조한 결과 높은 전하이동도와 낮은 문턱전압을 얻을 수 있었다.