

## GPS를 이용한, 전류차동계전기의 전류 샘플링 동기장치 개발.

이영일<sup>1</sup>, 최봉규<sup>1</sup>, 이기원<sup>2</sup>, 정범진<sup>2</sup>

<sup>1</sup> 경상대학교 항공기 부품 기술 연구소, <sup>2</sup> 기인시스템(주)

### Development of the synchronized current sampling device for current difference relay using GPS

Lee, Young I<sup>1</sup>, Choi, Bong Kyu<sup>1</sup>, Lee, Gi Won<sup>2</sup>, Jung Bum Jin<sup>2</sup>

<sup>1</sup> Gyeongsang National Univ. RRC for Aircraft Parts Technology, <sup>2</sup> Key-in System CO.

**Abstract** - 본 논문에서는 GPS 수신기를 이용하여 송전선 양단에 설치되어 있는 전류차동계전기들의 전류샘플링을 동기시키는 방법을 제안하고, 이를 이용한 전류샘플링 동기장치의 개발에 대해 설명한다.

송전선 양단의 GPS 수신기들에서 만들어지는 서로 동기된 1PPS신호들을 이용해 샘플링 동기신호를 만들어 주고, 이를 이용해서 서로 동기된 전류샘플링이 적당한 계수값 지정과 함께 이루어지도록 A/D변환기와 메모리 그리고 프로그램형 논리 소자를 사용한다.

샘플링 동기신호를 만들어주기 위해서 GPS수신기와 10MHz발진기를 이용한 디지털 위상잠금회로(DPLL, Digital Phase- Locked Loop)를 구성한다.

본 논문에서 제안하는 전류샘플링 동기방식은 통신을 이용한 기존의 방식에 비해 계전기의 계산부담을 덜어주고 보다 정확한 샘플링 동기를 얻을 수 있게 한다.

#### 1. 서 론

근래에 들어서 Travelling wave theory를 이용한 전류차동계전기(current differential relay)가 다단자 전송선로(multi-terminal lines)나 원거리·과부하의 전송선로(long and heavily loaded lines), 그리고 지중 케이블 전송선로(under-ground cable lines)등의 분야에 많이 이용되고 있다.[1] 전류차동계전기는 송전선 양단의 순간전류를 이용하여 송전선 보호 조작(protective computation)을 하는데, 이런 순간적인 값들은 고정된 시간 간격마다 송전선 양단의 계전기에 의해 동시에 샘플링 되어 pulse code로 변환된다. 이렇게 송전선 양단에서 변환된 순간전류의 디지털 값들은 통신선(microwave channel)을 통해 서로에게 전송되고, 전송된 디지털 값들은 이상 발견을 위한 계산(fault detecting computation)을 하기 위해 마이크로컴퓨터에 입력된다. 마이크로컴퓨터는 입력된 값들과 보호계전알고리즘을 이용하여 송전선 양단에 적절한 조치를 한다.[1] 이

과정 중에서, 만약 두 양단이 정확히 동기가 된 상태에서 전류가 측정되지 않는다면 계전기는 오동작을 할 것이다. 이 문제를 해결하기 위해 기존의 전류차동계전기 시스템에서는 통신환경을 이용하여 송전선 양단을 동기화 하려 하였다[1]. 하지만 이와 같은 동기화 방법은 전송선로상의 지연(delay)이 많아 정밀한 동기가 어렵고 또한 통신량이 많아 빠른 통신시스템을 요구한다.[1][2]

이에 본 연구에서는 위성에서 발사되는 신호를 사용하여 보다 쉽고 정확하게 송전선 양단에 설치되어 있는 전류차동계전기들의 전류샘플링을 동기시키는 방법을 제시하고자 한다. 특히 본 연구에서는 GPS위성에서 보내주는 위성신호를 이용하였다.

본 연구에서 개발된 장비는 정밀 시각 제공용 GPS 수신기에서 제공하는 1PPS신호(오차: UTC ± 100ns)를 받아 이와 동기된 샘플링 신호를 만들어 주는 부분과 이를 이용하여 동기된 데이터 취득이 적당한 계수값 지정과 함께 이루어지도록 제어신호를 생성하는 부분, 그리고 상기 생성된 제어신호에 따라 A/D변환을 수행하고 그 값을 저장하는 부분으로 구성되어 있다. 특히, 구성장치 중 샘플링 동기신호를 만들어 주는 부분은 GPS 수신기와 디지털위상잠금회로(DPLL)등으로 이루어진다.

#### 2. GPS의 개요

GPS는 미국방부에서 1970년대부터 개발을 시작한 위성항법장치로 GPS위성은 매 11시간 28분을 주기로 지구 주위를 회전하며, 루비듐과 세슘 원자시계를 이용하여 정밀한 위성항법정보를 제공하고 있다.[3]

GPS 위성에서 제공하는 정보는 크게 두 분야로 나누어지는데, 정밀 측위시스템에 이용되는 정보와 정밀 시각정보이다. 본 연구에서는 GPS위성에서 제공하는 정밀 시각정보를 원격지에 있는 계전기 시스템들을 동기시키는데 이용하였다.

GPS의 전체 시스템은 space segment, control segment, user segment로 구성되어 있는데, 그림

1은 그 구성도를 나타낸 것이다.

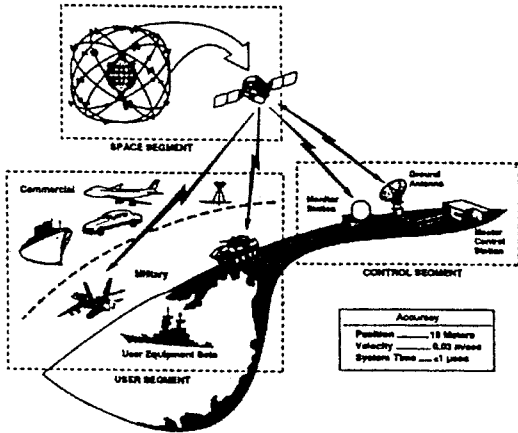


그림 1 GPS Segments

### 2.1 시각 동기를 위한 GPS의 이용

GPS위성에서 보내지는 모든 신호는 탑재된 원자시계에 정확하게 동기되어 전송된다. 또한 GPS 위성들에 탑재되어 있는 원자시계들은 GPS time이라는 고유한 시간 척도에 모두 동기되어 있다. 따라서 시각동기는 이 GPS신호에 수신기의 내부시계를 동기시킴으로써 가능해진다.

GPS 수신기는 위성에서 보내주는 항법정보를 이용하여 의사거리(pseudo range)를 구한다. 의사거리를 구하는 항법식은 다음과 같다.

$$T_i = t_u - t_{si} + \rho_i / C + \delta\rho_i / C + t_n \quad \text{식(2)}$$

여기서

- $T_i$  : 의사거리(시간지연-측정된 값)
- $t_u$  : 수신기의 시각
- $t_{si}$  : GPS 위성탑재시계의 시각
- $\rho_i$  : 위성과 수신점간의 거리
- $C$  : 빛의 속도( $3 \times 10^8 \text{ m/s}$ )
- $\delta\rho_i$  : 전리층, 대기권, 상대론효과 등에 영향
- $t_n$  : 수신기내의 전파지연시간

이다.  $\rho_i$ 는 위성의 위성신호에 포함된 시각 및 궤도정보와 수신점의 위치로부터 계산되고,  $\delta\rho_i$ 는 위성의 각종 궤도정보로부터 계산된다. 따라서 위성탑재시계와 수신기 기준 발진기에 의한 시계와의 시각 차는 다음과 같이 계산된다.

$$t_u - t_{si} = T_i - \rho_i / C - \delta\rho_i / C - t_n \quad \text{식(3)}$$

본 연구에서 사용한 GPS수신기는  $t_i - t_{si}$ 의 값을

항상 0이 되도록 유지시켜 기준 발진기에 의한 시각을 위성시계에 동기되도록 하고 있다.

### 2.3 GPS 시각 장치의 오차

GPS는 인공위성을 이용한 항법시스템이므로 위성신호의 전파지연시간의 정확한 측정은 시각동기의 정확도에 영향을 미친다. 시각동기의 오차요인으로는 전리층, 대기권 등의 전파지연시간, 상대론효과, 수신기내 전파지연시간 및 다중경로의 영향, 그리고 S/A(Selective Availability)에 의한 오차 등으로 분류할 수 있는데, 이러한 오차는 GPS 위성을 이용한 고정밀 동기에 큰 영향을 미치게 된다. 따라서 이러한 오차를 줄이기 위해서는 수신안테나의 위치를 정확히 알아야 하고 GPS time의 흐름을 항상 모니터링하여 이를 보정하여야 한다. 이를 위해 본 연구에서는 GPS 수신기의 1PPS를 감시하는 부분을 DPLL에 추가하여 오차를 감소시켰다.

### 3 장치의 구성

본 연구에서는 정밀도 향상을 위해 정밀시각정보 제공용으로 제작된 GPS수신기를 사용하였다. 또한 동기된 데이터의 취득이 적당한 계수값 지정과 함께 이루어지도록 계수기 및 몇 가지 논리회로를 사용하였다.

본 연구에서는 회로의 단순화와 기능의 library화를 위하여 현재 많이 이용되고 있는 FPGA(Field Programmable Gate Array)인 Xilinx사의 XC3030A를 이용하여 디지털위상잠금장치(DPLL)와 데이터 취득부의 계수기 및 논리회로를 구성하였다. 그림 2는 신호 취득부의 구성도를 나타낸 것이다.

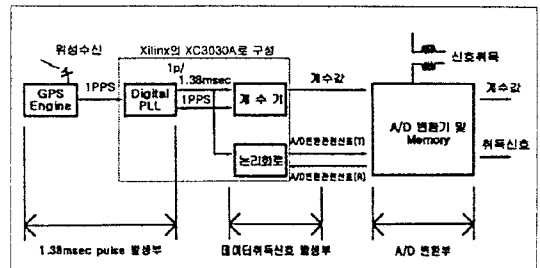


그림 2 신호 취득부의 구성도

### 3.1 Sampling 동기신호 발생부

본 연구에서는 전류차동계전기가 보호계전동작을 수행하기 위하여 송전선에 흐르는 60Hz신호를 각 주기당 12 sample을 한다고 본다. 그리고 이를 위해 샘플링동기신호로서 720Hz의 pulse를 만든다.

#### 3.1.1 1PPS 신호

본 연구에서 720Hz의 정밀한 주파수를 발생하기

위하여 비교적 정밀한 10MHz의 Oscillator와 Motorola사의 UT Oncore GPS 수신기를 사용하였다. 이 수신기의 시각 정밀도는 일반적으로 130ns (S/A on)이며 position hold mode에서는 50ns (S/A on) 이하이다.

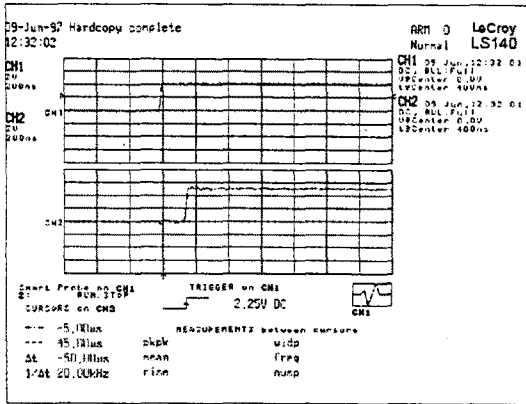


그림 3 2대 UT Oncore의 1PPS비교

그림 3은 2대의 UT Oncore GPS 수신기에서 제공하는 1PPS의 신호를 비교한 것 중 worst case의 것이다. 이 경우 약 200ns의 오차가 발생함을 알 수 있다.

### 3.1.2 Xilinx XC3030A Logic

그림 4는 D-FF를 이용하여 만든 DPLL의 가장 기본적인 cell이다. 본 연구에 사용한 DPLL은 이와 같은 기본적인 cell을 14개 사용하고 적당한 조합은 리회로를 사용함으로써 비교적 정밀한 720Hz의 신호를 만들어 낸다.

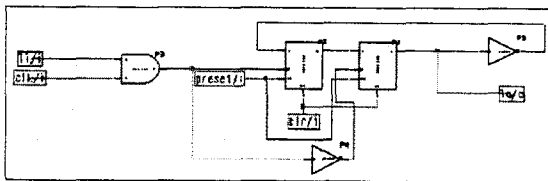


그림 4 Counter cell

신호의 정밀성과 정확한 동기를 위해 각 cell에는 GPS 수신기에서 공급하는 1PPS가 참조신호로 제공된다. 1PPS 신호 감시부에서는 1PPS신호가 허용치를 넘는 변동이 있을 시 이에 따른 동기시점의 혼란을 막기 위해 항상 1PPS입력신호를 감시한다.

### 3.2 제어회로부.

본 연구에서 이용된 모든 제어신호들은 계전기의 마이크로컴퓨터와 독립적으로 수행될 수 있도록

FPGA를 이용하였다. 즉, 모든 제어신호들이 1PPS와 720Hz 신호에 동기되어 순차적으로 제어신호를 발생하도록 FPGA를 이용하여 순차논리회로를 구성하였다.

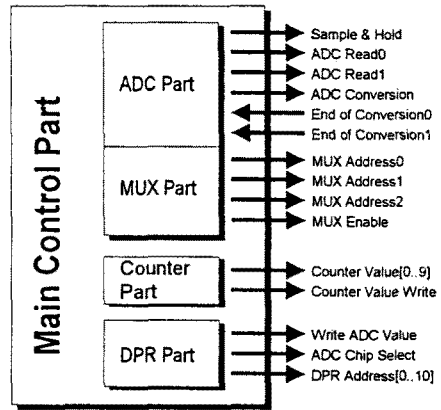


그림 5 제어신호 입출력 관계도

그림 5는 전체 시스템에서 이용되어지는 제어신호들의 입출력을 나타내주고 있다. 본 연구에서 사용한 Xilinx사의 XC3030A는 S-RAM Base Type으로 외부 ROM에 적당한 로직값을 저장함으로써 특정 기능을 수행할 수 있다. 시스템에 필요한 내부 제어회로는 최적의 기능을 수행할 수 있도록 하기 위하여 계속 수정 중에 있다. 그림 6은 실제 FPGA 외부 결선도를 나타내고 있다.

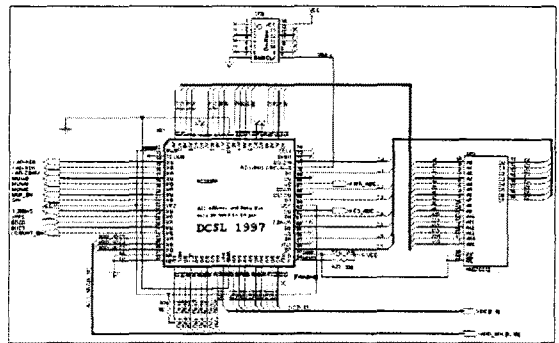


그림 6 제어부의 회로도(FPGA)

### 3.3 A/D 변환부.

A/D변환부는 크게 Filter부, Sample and Hold부, Multiplexer(MUX)부, ADC(Analog to Digital Converter)부로 나눌 수 있는데, 이는 전체 16 Channel의 아날로그입력을 받고, 각 Channel별로 14bit의 디지털값으로 변환하는 기능을 수행한다. MUX부에 사용된 ADG508A는  $2^3 \times 1$  MUX의 형태로 MUX Address 0, 1, 2를 이용하여 8 Channel의

입력밖에는 못 받아들이기 때문에 2개를 사용하였다. 그리고 아날로그값을 디지털값으로 변환해주는 AD779는 14bit의 resolution을 가지는데 MUX를 2개 사용하였기 때문에 이것도 2개를 사용하였다. 이러한 시스템은 2Channel의 입력을 병렬로 변환할 수 있어 전체 시스템 수행 속도의 향상에 도움을 줄 수 있다.

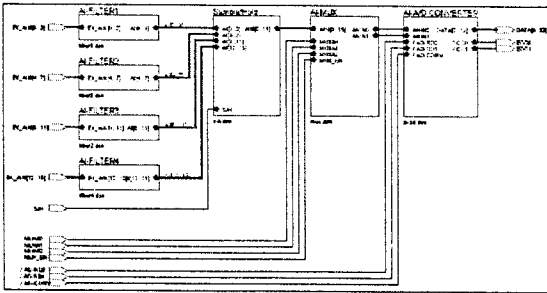


그림 7 A/D변환부의 신호 흐름도

그림 7은 A/D변환부의 전체 구성도이며 중요 신호의 흐름을 나타내주고 있다.

### 3.4 쌍단자 기억장치부

본 연구에서는 보호계전알고리즘을 수행하는 마이크로컴퓨터와 인터페이스를 하기 위해 쌍단자 기억장치(DPRAM, Dual Port RAM)를 사용하였는데, 이렇게 함으로써 신호 취득부와 마이크로컴퓨터부는 서로 독립적으로 수행될 수 있어 전체 시스템을 효율적으로 운영할 수 있다.

DPRAM에는 매 1PPS마다 초기화되고 720Hz에 동기된 counter값과 앞서 설명한 A/D변환수의 16 Channel의 디지털값이 아래 그림 8과 같이 4개의 Block과 하나의 Flag Register로 나뉘어져 관리된다.

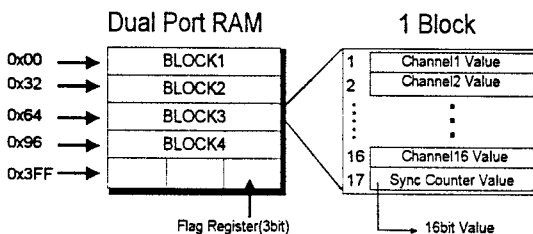


그림 8 DPRAM의 내부 블록도

Flag Register는 현재 신호 취득부에서 DPRAM에 쓰기 작업을 수행하고 있는 Block을 마이크로컴퓨터에게 알려줘 마이크로컴퓨터와 능동적으로 동작할 수 있도록 하는데 이용된다.

### 3.5 동기 오차

본 연구에서 개발한 샘플링 동기장치는 시스템의 한계에 의해 오차가 발생한다. 14bit binary counter에 의한 오차와 GPS 시각정보의 오차에 의한 것으로 구분해 볼 수 있다.

본 연구에서는 앞서 언급한바와 같이 10MHz의 clock을 main clock으로 사용하고 720Hz의 신호를 만들기 위해 14bit binary counter를 이용한 DPLL을 사용하였다. counter의 분주 능력의 한계에 의해 최대 8.99us의 delay 오차가 발생되는데 본 연구에서는 이러한 delay를 최소한으로 줄이기 위하여 8분주 counter를 추가로 사용하여 최대 delay를 88ns 까지 줄였다.

GPS 시각정보의 오차는 앞서 언급한바와 같이 최고 200ns정도의 오차가 발생할 수 있다.

전체 시스템의 오차는 이 두 가지의 오차에 의한 것으로 최대 300ns이내의 정밀도를 유지시킬 수 있다.

## 4. 결 론

본 연구에서는 위와 같이 GPS신호와 DPLL을 이용하는 시스템을 구성함으로써 기존의 방법에 비해 정확하게 Sampling Time을 동기시킬 수 있었으며 계전기의 마이크로컴퓨터와 비독립적으로 운영됨으로 마이크로컴퓨터의 부하를 줄여 고속의 보호계전 작업에 도움을 줄 수 있었다. 또한 기존의 방법에 비해 계전기간의 통신량을 줄일 수 있어 저속통신으로도 보호계전을 할 수 있다.

### (참 고 문 헌)

- [1] T. Takaqi and Y. Yamakomi, "CDCR(Current Differential Carrier Relay)", IEEE, PP.42-49, 1979. 2
- [2] Norman P. Albreeht and William C, Fleok, "Charge comparison protection of transmission lines - communications concepts", IEEE Transactions on Power Delivery, vol. 7 No 4, PP.1853-1860, 1992. 10
- [3] Bradford W. Parkinson and James J. Spilker Jr, "Gloval Positioning System : Theory and Applications Vol. I", Assoc. Eds, vol. 163, PP.29-55, 1996.
- [4] 이영중, 이호근, "범용의 GPS 고정밀 시각 동기 장치 설계", 3rd GPS Workshop Proceeding, PP.569-573, 1996.
- [5] 정낙삼, 이창복, 이동두, 전인덕, "인공위성을 이용한 시각비교 기술연구", 과학 기술처 연구보고서, 제 3차년도, PP.13-98, 1988. 10
- [6] 이창복, "Satellite Timing", 2rd GPS Workshop Proceeding, PP. 232-233, 1995