

선택적 레이저 어닐링을 이용하여 비정질 실리콘 오프셋을 갖는 Inverse Staggered 다결정 실리콘 박막 트랜지스터

박기찬, 최권영, 김천홍, 한민구
서울대학교 공과대학 전기공학부

Inverse Staggered poly-Si TFT with a-Si Offset formed by Selective Excimer Laser Annealing

Kee-Chan Park, Kwon-Young Choi, Cheon-Hong Kim and Min-Koo Han
School of Electrical Engineering, Seoul National University

Abstract - For AMLCD pixel switching device, poly-Si TFT has the advantage of high field effect mobility over a-Si TFT. However, it also has some disadvantage such as large leakage current and more masking steps.

We propose a new Inverse Staggered poly-Si TFT with a-Si offset. We have fabricated the new device and verified high ON/OFF current ratio. The device has lower leakage current level than the conventional Inverse Staggered poly-Si TFT and the same number of masking steps compared with conventional a-Si TFT's.

1. 서 론

능동구동 액정 디스플레이(Active Matrix Liquid Crystal Display: AMLCD)에 사용되는 다결정 실리콘 박막 트랜지스터(poly-Si TFT)는 비정질 실리콘 박막 트랜지스터(a-Si TFT)에 비해서 큰 전계 효과 이동을 가진다. 따라서 화소 스위칭 소자를 구동하기 위한 주변 회로를 유리 기판 위에 동시에 집적할 수 있을 정도로 충분히 큰 전류 구동 능력을 가진다[1]. 그러나 기존의 a-Si TFT에 비해서 poly-Si TFT는 누설전류가 크고 더 많은 마스크 수가 필요하다는 단점 때문에 상대적으로 활용의 폭이 좁다. poly-Si TFT의 큰 누설 전류는 특히 드레인 공핍영역에서 강한 수직전계에 의하여 실리콘 그레인 경계의 결함들로부터의 전계 방출에 의해 설명된다[2]. 이러한 poly-Si TFT의 큰 누설전류는 LDD(Lightly Doped Drain) 또는 오프셋구조를 이용하여 감소시킬 수 있음이 이미 알려져 있다 [3]. 뿐만 아니라, 기존의 a-Si TFT와 유사한 Inverse Staggered 구조를 채택하면 마스크 수도 현저하게 감소시킬 수 있다. 따라서 최근에는 현재 양산되는 a-Si TFT의 제작 공정에 최소의 공정 변화만을 추가하여 제작할 수 있는 Inverse Staggered poly-Si TFT가 큰 관심을 끌고 있다.

그러나 LDD 또는 오프셋 구조는 Coplanar 형태의 poly-Si TFT에만 적용되고 있다. Inverse Staggered 구조의 poly-Si TFT는 증착된 n⁺ a-Si:H의 재결정화와 불순물 활성화를 통해서 소오스와 드레인을 도핑하므로 LDD나 오프셋 구조를 실현하기가 어렵다.

본 연구에서는 Inverse Staggered 구조의 poly-Si TFT를 제작하는 과정에서 한 번의 엑시머 레이저 어닐링(Excimer Laser Annealing: ELA)으로 채널을 재결정화하는 동시에, a-Si 오프셋이 형성되는 새로운 방법을 제안하고 직접 소자를 제작하였다(그림 1). 그리고 전류(I_D)-전압(V_G) 전달 특성 특성을 측정하여 ON/OFF 전류비가 크게 향상되는 것을 확인하였다. 제안된 구조의 소자는 기존의 a-Si TFT에 비해서 ELA를 제외하면 거의 동일한 공정으로 제작할 수 있고 마스크 수가 같다는 장점을 갖는다.

2. 본 론

2.1 소자의 구조

본 연구에서 새로 제안한 구조는 그림 1과 같이 게이트는 아래에 있고, 소오스와 드레인 전극은 위에 있는 Inverse Staggered 구조를 기본으로 한다. 새로운 소자의 구조적, 제작 공정상의 가장 큰 특징은 알루미늄 전극과 활성층의 저항성 접촉을 위한 n⁺ poly-Si이 Etch-Stopper 위를 부분적으로 덮어서 ELA 공정 시에 자외선 레이저 빛을 흡수하고 흡수된 에너지가 열로서 Etch-Stopper 질화막에 가로막혀서 그 아래 활성층에는 a-Si 오프셋이 남아 있도록 하는 것이다.

본 실험에서는 새로 제안된 Inverse Staggered 구조의 poly-Si TFT와 비교하기 위하여 a-Si 오프셋이 없는 Inverse Staggered poly-Si TFT를 동시에 제작하여 그들의 특성을 비교하였다.

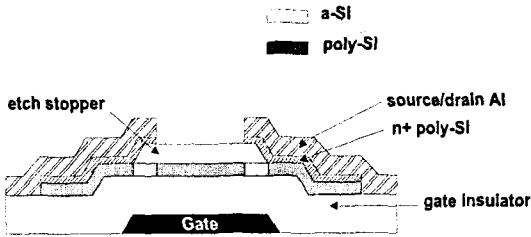


그림 1. 제안된 소자의 단면도

2.2 제작 방법

본 실험에서는 유리 기판 대신에, P-type (100) wafer 위에 실리콘 산화막인 TEOS(Tetra-Ethyl Orthosilicate)를 5000Å 두께로 증착하여 사용하였다. 그 위에 Mo를 스퍼터로 증착하고 게이트 패턴을 형성한 후, SiN_x 게이트 절연막과 채널을 이루는 a-Si 활성층을 차례로 증착하였다. 활성박막층의 증착은 LPCVD를 사용하여 550°C, 300mTorr에서 수행하였다. 활성층 위에 실리콘 질화막을 800Å 두께로 증착하여 Etch-Stopper 역할을 위한 패턴을 형성하였다. 그 위에 다시 a-Si 박막층을 400Å 두께로 증착한 후 플라즈마를 이용한 이온사워도핑 방법으로 소오스와 드레인을 도핑하여 알루미늄 전극과 저항성 접촉을 위한 n⁺ a-Si 박막층을 형성하였다. n⁺ a-Si 박막층은 채널을 형성하지 않도록 약간의 과식각(overetching)이 필요하다. 이때 앞에서 형성한 질화막이 Etch-Stopper로서 작용하기 위해서는 그 두께가 충분히 두꺼워야 하며, 동시에 채널의 a-Si 박막층을 ELA를 이용하여 재결정화하려면 그 두께가 또한 너무 두꺼워서도 안 된다. 본 실험에서는 반복적인 기초 실험을 통해서 800Å를 가장 적당한 두께로 결정하였다. 금속 전극과 저항성 접촉을 위한 n⁺ a-Si 박막층은 그림 2. (b)에서처럼 Etch-Stopper의 양끝을 부분적으로 덮도록 제작하였다. 따라서 이어지는 ELA 공정에서 Etch-Stopper 위의 a-Si 층이 자외선 레이저(XeCl laser λ=308nm)의 빛을 흡수하고, Etch-Stopper는 흡수된 에너지를 다시 열적으로 흡수하고 차단하여, 바로 아래에 도핑되지 않은 a-Si 오프셋이 형성된다. 이후에 알루미늄을 증착하여 소오스와 드레인 전극을 형성한다. 그림 2에 주요공정 단계가 나타나 있다.

2.3 결과 및 고찰

새로 제안한 Inverse Staggered poly-Si TFT 뿐만 아니라, 채널이 poly-Si으로만 구성되는 기존의 Inverse Staggered poly-Si TFT와 채널이 a-Si으로 구성되는 a-Si TFT도 제작하여 전류(I_D)-전압(V_G) 전달특성 곡선을 비교하였다.

2.3.1 수소화 이전의 특성

그림 3은 채널이 poly-Si으로만 구성되는 기존의 Inverse Staggered 형태의 TFT와 새로 제안된 TFT의 전류(I_D)-전압(V_G) 전달특성 곡선이다. 특히, W/L = 10/10μm이고 a-Si 오프셋 길이가 1μm인 새로운 TFT는 OFF 상태에서 드레인 공핍영역에서의 전계방출을 억제하여 기존의 소자보다 누설전류가 크게 감소하였다. 반면에 ON 상태에서는 a-Si 오프셋 영역을 덮고 있는 게이트 전극이 인가하는 전계에 의해 유도되는 전자들이 채널저항을 감소시키므로, ON 전류는 기존의 소자와 거의 비슷함을 확인하였다. 그림 3에서 새로운 poly-Si TFT가 기존의 poly-Si TFT에 비해서 ON/OFF 전류비가 10배 가량 증가하였음을 알 수 있다. 또한, 새로운 poly-Si TFT의 전계효과 이동도는 27cm²/Vs로서 기존의 poly-Si TFT의 31cm²/Vs와 거의 차이가 없음을 확인하였다.

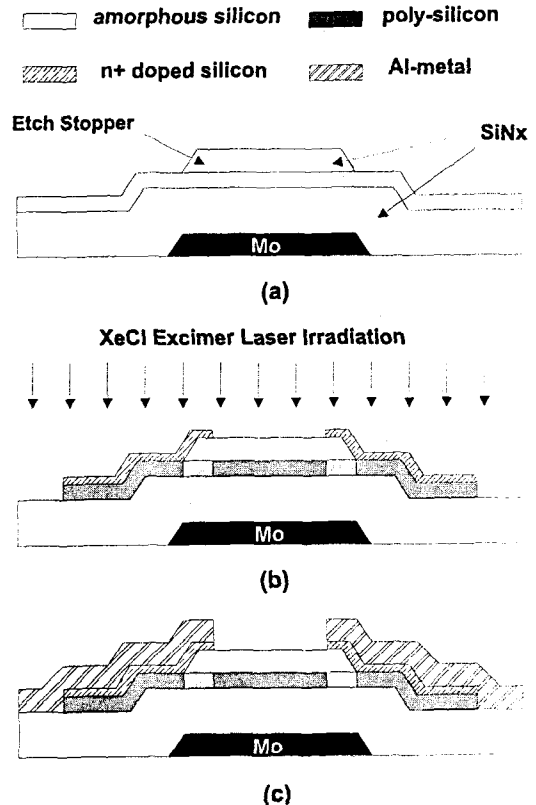


그림 2. 제안된 소자의 주요 제작 공정
(a) 게이트 전극과 절연막, 활성박막층 및 Etch-Stopper의 형성.
(b) ELA에 의한 활성층의 재결정화로 poly-Si 채널과 a-Si 오프셋의 동시 제작.
(c) 소오스와 드레인 전극이 형성되어 완성된 소자 구조.

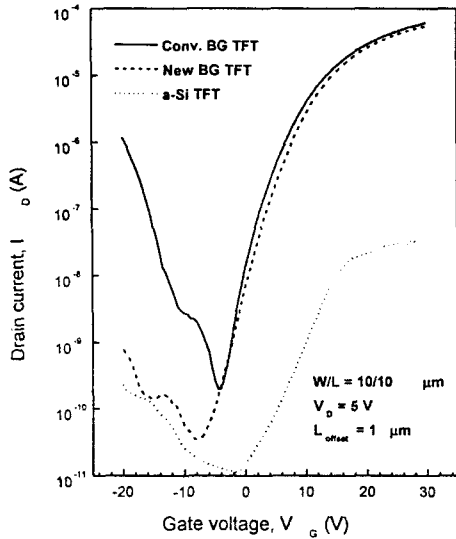


그림 3. 전류(I_D)-전압(V_G) 전달특성 곡선.

실선은 기존의 Inverse Staggered poly-Si TFT의 전달특성이고, 끊은 점선은 제안된 소자의 전달특성이다. 가는 점선은 a-Si TFT의 전달특성 곡선이다.

2.3.2 수소화 이후의 특성

그림 4는 PECVD를 이용하여 300°C, 700mTorr에서 30분간 수소화 공정을 거친 TFT의 전달특성 곡선이다. 수소화 후에 a-Si 및 poly-Si 영역에서 전하 포획 상태 밀도가 감소하여 새로운 TFT의 문턱이전 기율이 매우 향상되었음을 확인할 수 있다. 반면에 새로운 TFT의 전계 효과 이동도는 $45.6\text{cm}^2/\text{Vs}$ 로서 기존의 TFT의 $64.6\text{cm}^2/\text{Vs}$ 에 비해서 다소 작다. 그 원인은 poly-Si의 수소화 효과가 a-Si의 수소화 효과보다 더 좋기 때문이다. 그림 4를 보면, 수소화 후에도 새로운 TFT가 기존의 TFT보다 ON/OFF 전류비에서 5배 가량 우수함을 알 수 있다.

3. 결 론

본 실험에서는 기존의 Coplanar 형태의 poly-Si TFT가 가지는 단점인 많은 마스크 수와 poly-Si TFT 자체의 특성인 큰 누설전류 문제를 동시에 해결할 수 있도록, 한 번의 ELA 공정으로 a-Si 오프셋의 형성과 활성층의 재결정화가 동시에 이루어지는 새로운 Inverse Staggered 형태의 poly-Si TFT를 제작하였다. 새로운 TFT는 누설전류가 크게 감소한 반면, ON 전류는 동일한 수준을 유지하므로 ON/OFF 전류비 측면에서 기존의

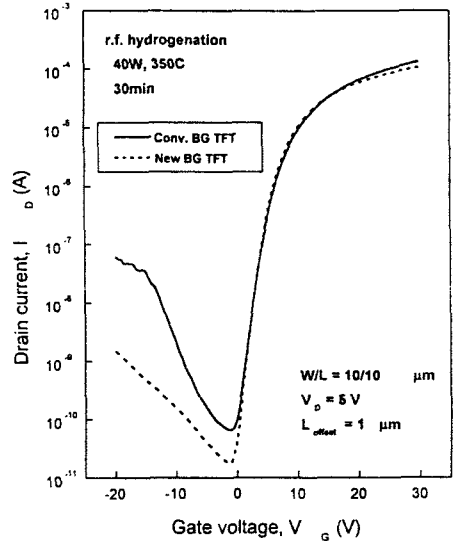


그림 4. 30분 간 수소화 후의 전류(I_D)-전압(V_G) 전달특성 곡선.

실선은 기존의 Inverse Staggered poly-Si TFT의 전달특성이고, 점선은 제안된 소자의 전달특성 곡선이다.

Inverse Staggered poly-Si TFT에 비하여 월등히 우수할 뿐만 아니라, 현재 양산되고 있는 a-Si TFT와 거의 동일한 제작 공정과 마스크 수를 특징으로 한다. 따라서 기존의 a-Si TFT 제조에 쓰이던 생산 설비를 그대로 이용하여 poly-Si TFT를 제작할 수 있는 장점이 있다.

[참 고 문 헌]

- [1] H. Oshima, and S. Morozumi, "FUTURE TRENDS FOR TFT INTEGRATED CIRCUITS ON GLASS SUBSTRATES", IEDM, pp. 157-160, 1989.
- [2] J. G. Fossum, and A. Ortiz-Conde, H. Shichijo, and S. K. Banerjee, "Anomalous leakage current in LPCVD poly-Si MOSFET", IEEE Trans. Electron Dev., vol. 32, no. 9, pp.1878-1884, 1985.
- [3] Tanaka, H. Arai, and S. Kohda, "Characteristics of offset structure polycrystalline-silicon thin film transistor", IEEE Electron Device Lett., vol. 9, no. 1, pp. 23-25, 1988.