

계면 거칠기가 다결정 박막 트랜지스터에 미치는 영향

최형배, 박철민, 한민구
서울대학교 공과대학 전기공학부

Surface Roughness Effects on Polycrystalline silicon Thin Film Transistor

Hyoung-Bae Choi, Cheol-Min Park, Min-Ku Han
School of Electrical Engineering, Seoul National University

Abstract - 엑시머 레이저를 이용한 다결정 실리콘 박막과 게이트 절연막 사이의 계면 거칠기를 개선하기 위해 변형된 방법의 레이저 어닐링으로 다결정 실리콘 박막 트랜지스터를 제작하였다. SEM(scanning electron microscope)으로 활성층과 게이트 절연층과의 표면 이미지를 관찰한 결과 기존의 레이저 어닐링 결정화에 의한 것보다 계면 거칠기 정도가 상당히 줄었음을 관찰 하였다. 이렇게 개선된 계면 거칠기가 다결정 박막 트랜 지스터의 성능에 미치는 효과를 분석하기 위해 기존의 방법으로 제작된 소자와 계면 거칠기를 줄인 소자의 여러 가지 전기적 변수들(문턱 전압 기울기, 문턱 전압, 누설 전류)을 비교해 보았다. 우리는 또한 계면 거칠기와 다결정 박막 트랜지스터 소자의 상관 관계를 보기 위해 컴퓨터 시뮬레이션도 함께 병행하였다. 시뮬레이션을 통해 거친 계면 부근의 전계 집중 효과 같은 것으로 인해 소자의 성능이 저하된다는 것을 알 수 있었다.

1. 서 론

엑시머 레이저를 이용한 다결정 실리콘 활성층의 재결정화는 저렴한 가격의 유리 기판을 사용하여 제작되는 저온 다결정 박막 트랜지스터 응용에 매우 기대되며 많은 연구가 진행 중인 방법이다. 레이저 어닐링 결정화의 이러한 이점에도 불구하고, 이를 이용해 결정화된 다결정 박막의 표면은 매우 거칠어 지는 단점을 가진다. 이는 레이저 흡수 열에 의해 결정화 핵이 형성되어 그레인이 커져 인접한 그레인끼리 충돌하면서 결정화가 이루어지는 메카니즘으로 인해 그레인 경계면이 솟아 올라 매우 거친 계면을 가지게 된다[1]. 이러한 다결정 박막 위에 게이트 절연막을 입힌 박막 트랜지스터 소자의 반응자 이동도는 계면 거칠기에 영향을 받는 것으로 알려졌다[2]. 그래서 산소를 첨가 시킨 비정질 실리콘 박막을 엑시머 레이저로 조사 시킨 뒤 그레인 경계에 생긴 실리콘과 산소의 혼합물(SiO_x)막을

BOE(buffered-oxide-etchant)로 선택적 식각을 하는 방법으로 계면의 거칠기 정도를 줄였다. 비교를 위해 산소가 첨가되지 않는 기존의 레이저 어닐링을 이용한 소자와 미량의 산소가 첨가되고 BOE로 선택적 식각을 하는 것을 제외하고는 모든 공정이 같은 변형된 방법으로 소자를 제작했다. 계면 거칠기가 다결정 실리콘 박막 트랜지스터에 미치는 영향을 분석하기 위해 활성층과 게이트 절연층 계면을 삼각 톱니 모양으로 정의하여 소자 특성 시뮬레이션도 수행하였다.

2. 본 론

다결정 박막 트랜지스터의 제작에서 레이저를 이용한 다결정 박막이 이동도가 좋은 특성을 보이고 저온 공정이 가능하나 박막의 표면이 매우 거칠다고 알려졌다[1]. 이를 개선하기 위해 비정질막 증착시 산소를 첨가시켜 레이저 어닐링 다결정 박막을 만드는 것을 제안했다. 개선된 다결정 활성층 계면이 소자의 성능에 미치는 효과를 보기 위해 기존의 방법과 함께 두가지 종류의 소자를 제작하여 전기적 특성을 비교했다. 이와 병행하여 계면 거칠기 효과의 시뮬레이션 분석도 함께 수행하였다.

2.1 실험 및 특성 평가

2.1.1 다결정 박막 형성

본 실험에서는 PECVD로 비정질 실리콘을 입힌 후 엑시머 레이저로 재결정화 하는 방법으로 다결정 활성층 박막을 형성하였다. 이때 비정질 막을 입힐 때 미량의 산소를 첨가시켜 산소가 함유된 비정질 막과 산소를 첨가시키지 않는 두가지로 하였다. 산소가 함유된 비정질 실리콘을 레이저 어닐링으로 결정화한 다결정 박막트랜지스터의 제작 공정이 그림 1. 에 있다. 그림2. 에서는 5분동안의 BOE 에칭 전후의 레이저 어닐링으로 재결정화시킨 산소가 함유된 다결정 박막의 SEM(scanning electron

microscope) 사진이 계면 거칠기를 보여주고 있다.

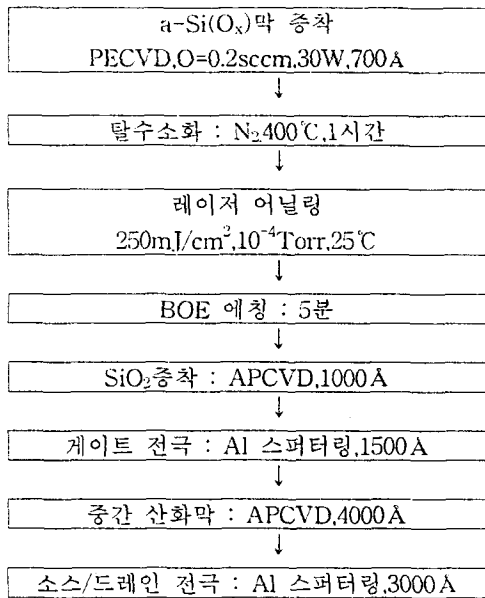
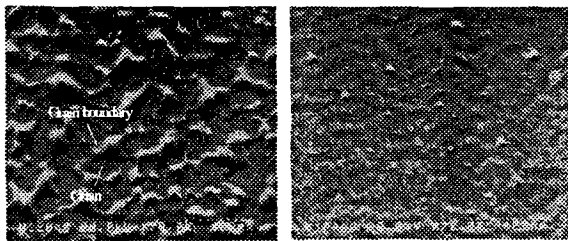


그림1. 산소가 함유된 레이저 어닐링 다결정 활성층을 가진 박막 트랜지스터 제작 공정

BOE 식각 후의 계면 형상을 보면 결정 경계가 상당히 평탄해졌음을 관찰할 수 있다. 레이저 어닐링에 형성된 결정 경계는 다른 저온 결정 형성 방법에 비해 결정 형성시 경계간의 돌출로 표면이 상당히 거칠어 지는데 BOE 식각으로 그레인 부근의 돌출을 없애 계면을 평탄화시킨다. 이는 100ns 이내 짧은 고상화 시간에도 불구하고 액상에서의 빠른 확산속도로 대부분의 a-SiO_x가 결정 경계로 밀려나는데, 이렇게 결정 경계에 모인 SiO_x를 희석된 HF용액으로 선택적으로 식각하여 계면의 그레인 경계부분에 생기는 돌출을 없애는 것으로 설명할 수 있다.



(a) (b)

그림2. Poly-SiO_x 박막의 BOE(buffered oxide echant) (a) 처리전과 (b) 처리후의 SEM사면도

2.1.2 전기적 특성 분석

비정질막 성장시 산소를 첨가하여 레이저 어닐링 후 BOE(bufferd oxide echant)로 선택 식각 공정을 추가하여 활성층과 절연층의 계면 거칠기를 개선한 소자와 산소 첨가 과정이 없는 레이저 어닐링 다결정 박막 트랜지스터의 전기적 특성을 비교 분석했다.

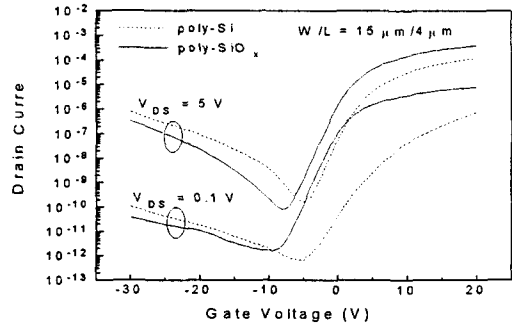


그림3. poly-SiO_x TFT와 poly-Si TFT의 I_D-V_G 특성. 전기적 이동도와 문턱전압 기울기는 poly-SiO_x는 37.6cm²/Vsec, 1.58V/decade이고 poly-Si TFT는 15.1cm²/Vsec, 3.03V/decade 이다.

그림 3.은 두가지 박막 트랜지스터의 게이트 전압에 대한 드레인 전류 특성을 보여준다. 산소가 첨가된 다결정 박막 트랜지스터(poly-SiO_x TFT)의 게이트 인가 전압이 20V정도일 때 ON-전류는 산소가 첨가되지 않은(poly-Si TFT)의 ON-전류보다 큰값을 보인다. 반면 게이트 인가 전압이 -30V일 때 OFF-전류를 비교해 보면 계면 거칠기 정도가 낮은 poly-SiO_x TFT(thin film transistor)가 낮은 값을 나타내었다. 즉, 계면 거칠기가 개선된 poly-SiO_x TFT가 기존의 레이저 어닐링을 이용한 다결정 박막 트랜지스터 보다 향상된 ON-OFF 특성을 보여주었다. 다른 몇가지 전기적 변수들을 비교해 보면 전기적 이동도에 있어서 poly-SiO_x TFT가 37.6cm²/V.sec 이고 poly-Si TFT는 15.1cm²/V.sec로 poly-SiO_x TFT가 약 두배정도 크게 나왔다. 또한 문턱전압 기울기는 poly-SiO_x TFT가 1.58V/decade로 3.03V/decade를 갖는 poly-Si TFT보다 낮게 나왔다.

이와 같이 개선된 특성을 보이는 것은 다음과 같이 설명할 수 있다. 일반적으로 다결정 박막 활성층과 게이트 절연층 사이의 계면 거칠기가 커지면 게이트에 인가된 전압에 의해 수직방향의 국소적인 전계가 발생할 가능성이 더 커진다. 실제 TFT 전기적 성능은 채널을 따라 움직이는 반송자의 이동도가 결정하는데 이 수직방향의 국소적 전계는 반송자의 채널방향 흐름을 막는다. 따라서 전기적 이동도가 감소하여 소자의 성능이 저하한다. 뿐만 아

나라, 이러한 거친 계면 때문에 발생한 국소적 전계는 반송자의 스퀘터링을 야기시켜 박막 트랜지스터의 문턱전압 기울기를 높게 한다고 볼 수 있다. 따라서 poly-SiO_x TFT에서 나타난 전기적 이동도와 문턱전압의 개선은 활성층과 게이트 절연층 사이의 계면 거칠기가 효과적으로 줄어들었다는 것을 말해준다.

Poly-SiO_x TFT는 다결정 박막 제작시 산소가 첨가 되므로 활성층에 산소가 섞여 있게 된다. 이것은 불순물로 작용하여 반송자의 이동도를 떨어뜨려 전기 전도도를 감소시킬 것이다. 따라서 함유된 산소의 양이 제작된 박막 트랜지스터의 전기 전도도에 민감한 영향을 미친다. 본 실험에서는 산소의 함량이 $9.1 \times 10^{19} \text{ cm}^{-3}$ (0.18%) 이었는데 소자 제작 후 전기적 이동도를 보면 산소가 함유된 poly-SiO_x TFT가 더 크다. 이것은 산소 때문에 생기는 부정적 효과 보다 개선된 계면으로 인한 긍정적 효과가 더 크다고 볼 수 있다.

2.2 계면 거칠기 효과를 조사하기 위한 시뮬레이션에 의한 분석

계면 거칠기가 다결정 실리콘 박막 트랜지스터에 미치는 영향을 조사하기 위해 우리는 다양한 게이트와 드레인 바이어스 조건 하에서 전달 특성과 소수 반송자 전류 밀도를 시뮬레이션했다. 그림 4.는 다양한 계면 거칠기 정도에 따른 전달 특성을 보여준다.

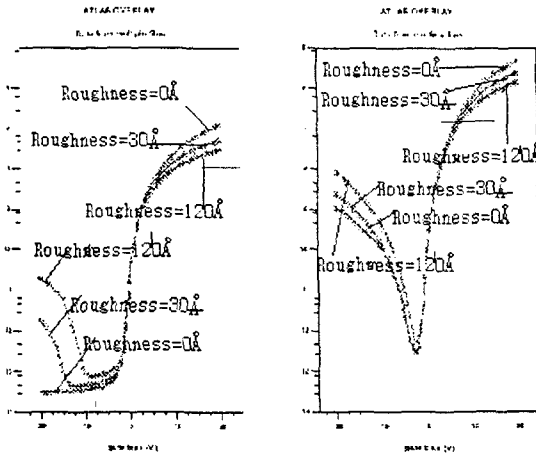


그림4. 시뮬레이션으로 나온 계면 거칠기 정도에 따른 ID-VG 특성. 거친 계면은 삼각톱니 모양으로 정의 했으며 거칠기 정도는 rms값임. 왼쪽은 VD=0.1V, 오른쪽은 VD=5V

그림 4.의 그래프는 VD=0.1V에서 계면 거칠기가

낮은 것이 높은 ON-전류와 낮은 OFF-전류값을 보이며, VD=5V에서는 큰 음의 게이트 인가 전압조건에서 OFF-전류는 거의 비슷하며 ON-전류는 계면이 매끈할수록 높은 값을 보인다. 시뮬레이션에서 소자의 안정성과 계면 효과를 조사하기 위해 몇 개의 게이트와 드레인 전압 인가 조건을 바꾸면서 반송자의 전류 밀도를 분석했다. 계면이 거칠수록 국소 전계발생 가능성이 높는데 이 국소전계는 활성층에 전자-정공쌍을 발생시킨다. 발생된 반송자들 때문에 소자는 Kink 효과를 가지게 된다[3]. 그림 5.는 n-channel TFT 에서 정공의 전류밀도가 계면 거칠기가 커지면서 높아지는 것을 보인다.

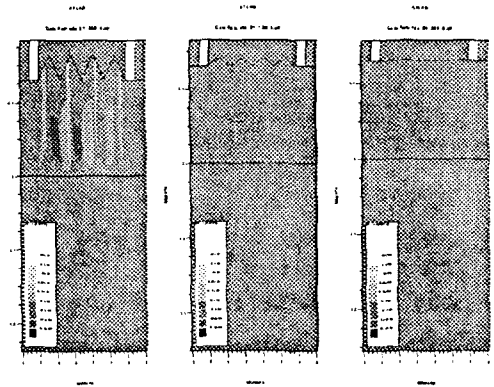


그림5. 시뮬레이션된 계면 거칠기 정도에 따른 수직방향 정공전류 밀도. VG=20V, VD=0.1V, VS=0V. RMS Roughness=120Å, 30Å, 0Å

3. 결 론

본 논문에서는 활성층과 게이트 절연층의 계면 거칠기를 줄인 레이저 어닐링 다결정 박막 트랜지스터를 제작하고 특성을 분석했다. 또한 계면이 소자의 성능에 미치는 효과를 보기 위해 시뮬레이션도 함께 수행했다. 실험과 데이터를 통해 계면 거칠기가 커질수록 게이트 인가 전압에 의한 국소적 수직 방향 전계가 발생할 가능성이 커져 소자의 성능과 안정성을 상당히 저하시키는 것을 알 수 있었다.

(참 고 문 헌)

- [1] S. R. Stiffler, et al., "Transient Nucleation Following Pulsed-Laser Melting of Thin Silicon Films", Phys. Rev. B, Vol.43, No.12, pp9851-9855, 1991.
- [2] K. Takechi, et al., Proc. Mat. Res. Soc. Symp., Vol.258, pp.955, 1992.
- [3] J. P. Colinge, "Silicon-on-Insulator Technology: Materials to VLSI", Kluwer Academic Publishers, pp.139-142, 1991.