

새로운 LDD 구조의 다결정 실리콘 박막 트랜지스터

황 성 수*, 김 동 진*, 김 용 상*, 최 권 영**, 한 민 구**, 박 진석***

*명지대학교 전기공학과, **서울대학교 전기공학부, ***한양대학교 전기공학과

A Novel LDD Structured Polysilicon Thin-Film Transistors

S. S. Hwang*, D. J. Kim*, Y. S. Kim*, K. Y. Choi**, M. K. Han**, J. S. Park***

*Myongji University, **Seoul Nat'l University, ***Hanyang University

Abstract-We have fabricated a novel LDD structured polysilicon thin film transistor with a simple fabrication process, compared with the conventional LDD poly-Si TFT, without LDD implantation by employing taper etched SiO_2 film instead of LDD implant mask. The leakage current of the novel LDD device is reduced significantly in OFF state while keeping the ON current to be almost identical to that of the non-LDD poly-Si TFTs.

제작했으며, 제작된 새로운 구조의 다결정 실리콘 박막 트랜지스터는 기존의 소자와 비교하여 ON 전류의 감소 없이 누설전류가 크게 감소하여 특성이 향상된 소자를 얻었다.

1. 서 론

다결정 실리콘 박막 트랜지스터는 비정질 실리콘 박막 트랜지스터보다 높은 전계 효과 이동도와 ON 전류로 인해 다양한 방면으로 이용되고 있다. 특히 최근에는 AMLCD (Active Matrix Liquid Crystal Display)의 화소를 구동시키는 화소 스위칭 소자로 각광 받고 있으나, 누설 전류가 큰 단점을 지니고 있다. 큰 누설전류는 게이트와 드레인 사이의 높은 수평전계에 의해 발생한다[1]. 이런 높은 수평전계를 제한하기 위해서 다결정 실리콘 박막 트랜지스터의 소오스와 게이트 그리고 게이트와 드레인 사이의 일정 영역을 낮게 도우평한 LDD(Lightly-Doped Drain) 구조[2] 및 offset 구조[3]를 지닌 다결정 실리콘 박막 트랜지스터의 연구가 활발히 진행되고 있다. 그러나 LDD 구조의 경우 LDD 영역을 정의하기 위해 추가의 LDD 이온 주입 공정이 필요하고, offset 구조의 경우 offset 영역의 부가되어진 직렬저항으로 인하여 ON 전류가 감소하는 단점을 지니고 있어서 AMLCD의 화소 스위칭 소자로는 부적당하다.

본 연구에서는 기존의 LDD 구조의 다결정 실리콘 박막 트랜지스터를 개선하여 추가의 LDD 이온주입 공정 없이 LDD 영역을 순차적으로 도우평한 새로운 LDD 다결정 실리콘 박막 트랜지스터를

2. 본 론

2.1 실험방법

일반적인 구조와 새로운 구조의 다결정 실리콘 박막 트랜지스터의 특성을 비교하기 위하여 실리콘 웨이퍼를 산화시킨 동일 기판 위에 두 가지 형태의 소자를 동시에 제작하였다. 게이트를 정의하기까지 공정은 두 가지의 소자에서 동일하나, 새로운 구조의 다결정 실리콘 박막 트랜지스터는 경사식각된 산화막을 이온 주입 마스크로 이용한다. 경사식각을 위해 TEOS 실리콘 산화막을 2000Å 증착한 후 PECVD 방법으로 실리콘 질화막을 증착하였다. 테이퍼 에칭을 위한 마스크 공정을 수행한 후 50:1 BHF 용액에서 실리콘 산화막과 실리콘 질화막의 식각비의 차이를 이용한 습식식각으로 산화막을 경사식각하였으며 단면 SEM 사진을 그림 1에 나타냈다.

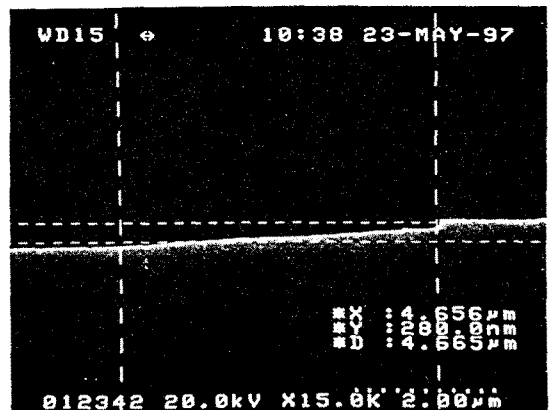


그림 1. 경사식각된 산화막의 전자 현미경 사진.

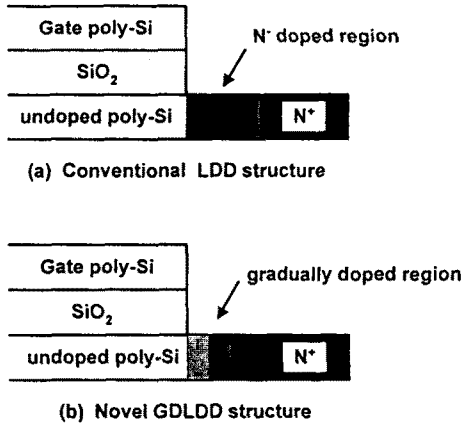


그림 2. 기존의 LDD 구조와 새로운 LDD 구조의 다결정 실리콘 박막 트랜지스터의 LDD 영역의 doping profile.

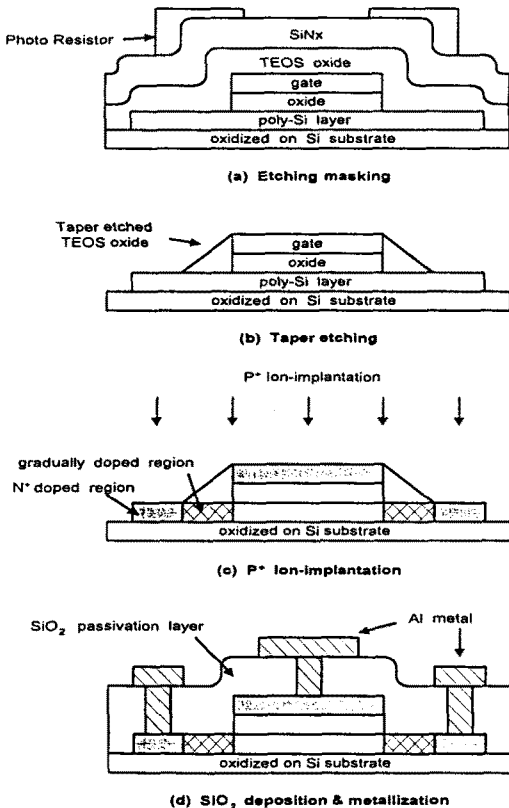


그림 3. 새로운 LDD 구조의 다결정 실리콘 박막 트랜지스터의 주요 공정 순서도.

N-채널 다결정 실리콘 박막 트랜지스터의 소스, 드레인 그리고 게이트 전극을 형성하기 위하여, 자기 정렬 방식으로 $5 \times 10^{15} \text{ cm}^{-2}$ 의 이온 주입량과 50 KeV의 에너지로 P⁺ 이온 주입 공정을 행했다. 이때 새로운 구조의 소자에서는 경사식 각된 산화막이 LDD 영역의 이온 주입 마스크로

작용하여 부가된 LDD 마스크와 LDD implant 없이 동시에 LDD 영역이 그림 2의 개념도와 같이 순차적으로 도우핑이 된다. PECVD 산화막을 passivation을 위해 5000Å 두께로 증착하고 금속화 공정을 거쳐 소자를 제작했으며 주요 공정 순서를 그림 3에 도시하였다.

2.2 결과 및 고찰

일반적인 구조와 새로운 구조의 다결정 실리콘 박막 트랜지스터의 전류-전압 특성을 측정하여 그림 4에 도시하였다. 순차적으로 도우핑된 새로운 LDD 구조의 다결정 실리콘 박막 트랜지스터의 ON 전류는 기존의 소자와 유사하게 나타났으나, 누설 전류는 매우 감소했다.

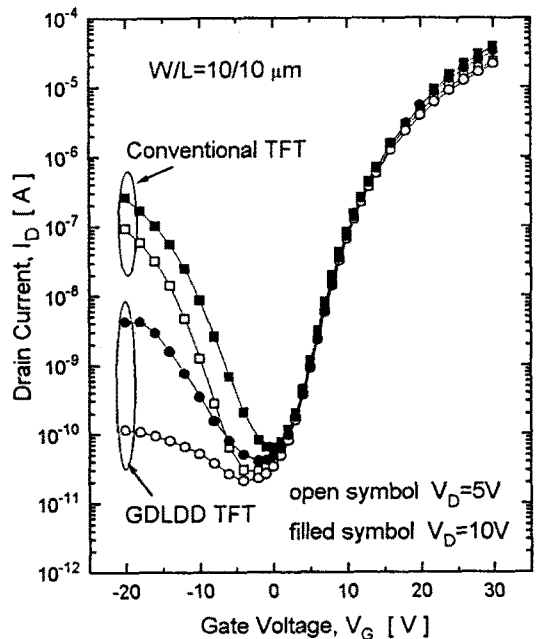


그림 4. 일반적인 구조와 새로운 LDD 구조의 다결정 실리콘 박막 트랜지스터의 측정된 전달 특성 곡선

새로운 LDD 구조의 다결정 실리콘 박막 트랜지스터의 OFF 상태에서 $V_G = -20 \text{ V}$ 에서의 누설전류는 일반적인 구조의 소자와 비교하여 $V_D = 10 \text{ V}$ 일 때 10^2 배, $V_D = 5 \text{ V}$ 일 때 10^3 배 정도 낮게 나타났다. 박막 트랜지스터의 누설 전류는 드레인 영역에서의 높은 전계 분포가 주 원인인 바, 새로운 LDD 구조의 다결정 실리콘 박막 트랜지스터의 누설 전류 감소는 LDD 영역이 게이트와 드레인 접합 부근에서의 수평전계를 효과적으로 억제했기 때문이다. 이러한 수평전계의 감소는 LDD 영역의 증가로 LDD 영역이 없을 때보다 상대적으로 드레인 전압이 인자되는 거리가 증가되었기 때문이다. 또한,

일반적인 LDD 구조의 소자에서는 LDD 영역의 증가로 채널과 드레인 사이에 직렬 저항 성분이 부가되어 LDD가 없는 구조의 소자에 비해서 ON 전류가 감소하는 단점을 지니고 있으나, 새로운 LDD 구조의 소자는 LDD 영역이 높게 순차적으로 도우핑 되었기 때문에 ON 전류의 감소가 매우 작아 LDD 영역이 없는 소자와 거의 비슷하게 나타남을 확인하였다.

다양한 LDD 길이를 가지는 새로운 LDD 다결정 실리콘 박막 트랜지스터의 소자 특성을 측정하여 그림 5에 도시하였다.

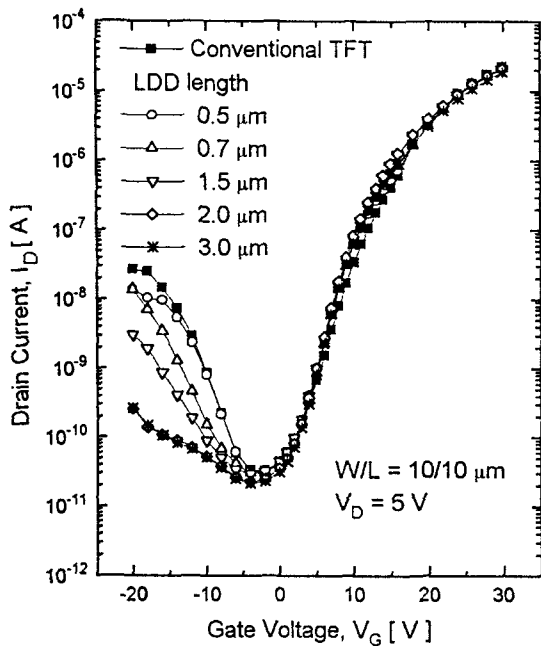


그림 5. 다양한 LDD 길이에 따른 새로운 LDD 다결정 실리콘 박막 트랜지스터의 전달 특성 곡선

제안된 다결정 실리콘 박막 트랜지스터의 LDD 영역 길이에 따라 소자 특성의 변화가 매우 크게 나타난 바, LDD 영역의 길이가 증가함에 따라 누설전류가 감소하는 결과를 얻었다. LDD 영역의 길이가 0.5 μm 일 때, 새로운 LDD 다결정 실리콘 박막 트랜지스터의 누설전류는 기존의 구조를 가진 소자와 거의 같은 크기를 가지고 있다. 그러나, LDD 길이가 증가함에 따라 누설전류는 월등히 감소하였으며, LDD 길이가 2 μm 인 새로운 LDD 다결정 실리콘 박막 트랜지스터의 누설 전류는 매우 작은 값으로 나타났다. 또한, LDD 길이가 2 μm 와 3 μm 인 새로운 소자의 전달 ($I_D - V_G$) 특성은 거의 비슷하게 나타났다. 이는 LDD 영역의 길이가 너무 짧을 경우, 드레인 영역 부근에서의 수평 전계의 감소 효과가 너무 미약하여 특성의 변화가 없으

며, LDD 길이가 2 μm 이상에서 전계 감소 효과가 뚜렷이 나타남을 의미한다. 따라서 측정된 결과로부터 효과적으로 누설전류를 감소시킬 수 있는 최적의 LDD 길이는 1.5 μm 와 2.0 μm 사이에 존재하는 것으로 여겨진다. 또한, LDD 영역의 길이가 증가함에도 불구하고 ON 전류 특성이 거의 변화하지 않는 우수한 특성을 나타낸 바, 이는 채널 영역 부근에 존재하는 충분히 두꺼운 SiO_2 박막은 이온 주입량을 감소시키고, 반면에 소오스/드레인 영역 부근의 얇은 SiO_2 박막 아래의 LDD 영역은 상대적으로 높은 도우즈 양에 의해 큰 전도도를 가지기 때문이다.

3. 결 론

추가된 LDD 이온주입 공정 없이 LDD 영역을 순차적으로 도우핑한 새로운 LDD 다결정 실리콘 박막 트랜지스터를 제작했다. LDD 이온 주입 마스크를 사용하는 대신에 경사식각된 SiO_2 박막을 LDD 영역을 정의하기 위한 이온 주입 마스크로 사용하여 추가의 이온 주입 공정 없이도 LDD 영역을 게이트, 소오스 그리고 드레인 전극을 형성할 때 동시에 순차적으로 도우핑하였다. 새로운 LDD 구조의 다결정 실리콘 박막 트랜지스터는 제작 공정이 간단할 뿐만 아니라, 기존의 LDD 영역이 없는 구조의 다결정 실리콘 박막 트랜지스터와 거의 유사한 전도의 ON 전류를 유지하며 OFF 상태시 누설전류는 상당히 감소했다. 또한 LDD 길이가 1.5 μm 이상이 되었을 때, 효과적인 누설전류의 제한이 가능한 것으로 나타났다.

[참 고 문 헌]

- [1] Tahui Wang, T.E. Chang, C.M. Huang, "Structural Effect on Band-Trap-Band Tunneling Induced Drain Leakage in n-MOSFET's," IEEE Trans. Elec. Dev. Lett., vol. 16, No. 12, pp. 566-568, 1995
- [2] K. Tanaka, S. Suyama and K. Kato, "Field-induction-drain thin-film transistors for liquid-crystal display applications," Jpn. J. Appl. Phys., vol. 30, pp. 3302, 1991.
- [3] S. Seki, O. Kogure and B. Tsujiamaa., "Leakage current characteristics of offset-gate-structure polycrystalline silicon MOSFET's", IEEE Trans. Elec. Dev. Lett., vol. 16, pp. 434, 1987