

이차원 소자 시뮬레이터를 이용한 역 스테거형 비정질 실리콘 박막 트랜지스터의 구조 최적화

곽지훈, 최중선
홍익대학교 전자전기공학부

Structure Optimization of Inverted-Staggered a-Si TFT Using a Two-Dimensional Device Simulator

Ji-Hoon Kwak, Jong-Sun Choi
School of Electronic and Electrical Engineering, Hongik University

Abstract - TFT2DS was utilized to provide the usefulness as an analytic and design tool. In this paper, the general effects of channel length of an inverted staggered amorphous silicon thin film transistor on its characteristics were investigated. The results obtained from these experiments would be adopted to the optimized device designs and advanced simulations of their electrical properties.

1. 서 론

비정질 실리콘 박막 트랜지스터는 액정 디스플레이에서 화소의 구동소자로서 사용되고 있는데, 고정세의 소자가 요구됨에 따라 물성 및 소자의 동작에 대한 근본적인 이해와 이를 통한 설계의 최적화가 필요하다. 이러한 관점에서 비정질 실리콘 박막 트랜지스터에 대한 소자 시뮬레이터는 매우 유용할 것이다. 본 논문에서는 유용성이 검증된 비정질 실리콘 박막 트랜지스터의 2차원적 시뮬레이터인 TFT2DS[1]-[3]를 이용하여 채널의 길이, 게이트 전극과 소오스/드레인 전극간에 중첩된 길이, 비정질 실리콘층의 두께 등이 소자의 전기적 특성에 미치는 영향을 분석하였고, 이를 통해 소자의 최적화된 설계를 위한 일반적인 방향을 제시하였다.

2. 본 론

2.1 TFT2DS의 구조

TFT2DS는 비균일의 유한미분법을 이용하여 Poisson 방정식과 연속 방정식을 계산하는 구조를 기본으로 하며, 그림 1의 현실적인 비정질 실리콘의 에너지대 모델[4]을 사용한다. 전위, 전자 및 정공의 밀도는 Scharfetter-Gummel 방법과 Newton-Raphson 반복법으로 계산된다. 비정질 실리콘의 에너지대 모델과 수치해석법에 대한 세부적인 이론은 참고 문헌[1]-[4]에 기술되어 있다.

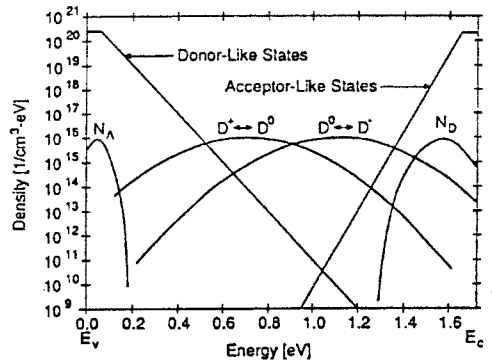


그림 1. 비정질 실리콘의 에너지대 모델

2.2 시뮬레이션 결과

본 논문에서는 출력 및 트랜스퍼 특성에 대한 시뮬레이션의 결과가 측정치와 잘 일치함이 발표된 [1]-[3] 그림 2의 역 스테거형 구조의 소자에 대해 채널의 폭 W_{CH} 와 채널의 길이 L_{CH} 의 비를 9.5로 유지하고 L_{CH} , 게이트 전극과 소오스/드레인 전극간에 중첩된 길이 L_{OV} , 비정질 실리콘층의 두께 T_{a-Si} 의 변화시키면서 트랜스퍼 특성을 시뮬레이션 하였다. 게이트 전압 V_G 가 드레인 전압 V_D 보다 훨씬 큰 경우에서 트랜스퍼 곡선과 다음의 전류-전압의 관계식으로 부터 문턱 전압 V_T 와 전계효과 이동도 μ_{FE} 를 추출하여 그림 3에서 그림 5에 나타냈다:

$$I_D = \mu_{FE} \left(\frac{W_{CH}}{L_{CH}} \right) C_{ox} \left(V_G - V_T - \frac{V_D}{2} \right) V_D$$

위식에서 C_{ox} 는 단위 면적당 절연층의 용량이다.

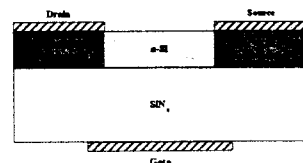


그림 2. 소자 단면도

V_T 는 각 파라메타의 변화에 거의 영향을 받지 않는데, 이는 이온 임프랜테이션으로 형성된 n^+ 층에서 기생저항 R_P 이 적기 때문이다[5]-[8]. 먼저 T_{a-Si} 와 μ_{FE} 의 관계를 살펴보면, T_{a-Si} 가 얇아질수록 소오스/드레인 전극과 비정질 실리콘층의 계면에서 접촉저항이 감소하므로 μ_{FE} 는 증가한다. L_{OV} 이 길어지면 R_P 는 감소하나 기생용량 C_P 는 증가하므로, 소자의 설계시에 이러한 두 가지의 문제점을 해결할 수 있는 적절한 L_{OV} 를 결정해야 한다. 본 논문에서 사용된 소자의 경우, L_{OV} 이 약 $20\mu m$ 에서 μ_{FE} 가 포화한다.

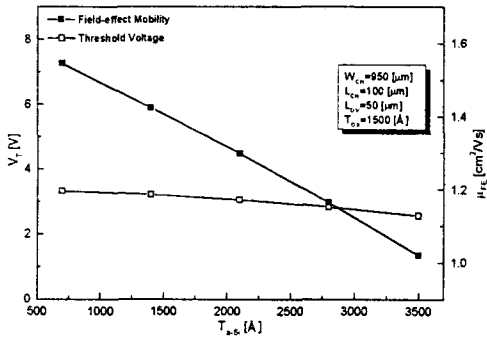


그림 3. T_{a-Si} 와 V_T 및 μ_{FE} 의 관계

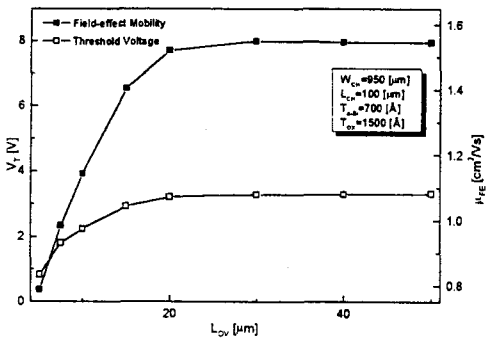


그림 4. L_{OV} 과 V_T 및 μ_{FE} 의 관계

다음으로 L_{CH} 와 μ_{FE} 의 관계를 살펴보면, L_{CH} 이 길어질수록 채널의 전도도에 대한 R_P 의 영향이 감소하므로 μ_{FE} 는 증가하다가 포화하는데, 이러한 현상은 On-저항 R_{ON} 을 통해 설명할 수 있다. R_{ON} 은 낮은 V_D 에서 채널의 저항 R_{CH} 와 R_P 로 나타낼 수 있다:

$$R_{ON} = \frac{\delta V_D}{\delta I_D} \Big|_{V_G, V_D \rightarrow 0} = R_{CH} + R_P$$

$$R_{CH} = \frac{L_{CH}}{W_{CH} \mu_{FE} C_{ox} (V_G - V_T)}$$

그림 6에 나타난 L_{CH} 과 $R_{ON}W_{CH}$ 의 관계에서 L_{CH} 이 길어질수록 또는 V_G 가 낮아질수록 $R_{ON}W_{CH}$ 가 증가한다. 이는 R_{CH} 의 증가에 의한 것으로 생각되지만, R_P 의 영향도 분석해야 한다. R_P 가 R_{ON} 에 미치는 영향은 L_{CH} 과 $(R_{ON}W_{CH})^{-1}$ 의 관계에서 살펴볼 수 있다. R_P 이 R_{CH} 보다 매우 적다면 R_P 이 $R_{ON}W_{CH}$ 에 미치는 영향은 무시될 수 있고, $(R_{ON}W_{CH})^{-1}$ 의 곡선은 L_{CH} 에 반비례하게 된다[6]. 본 논문에서 사용된 소자의 경우, 그림 7로부터 $(R_{ON}W)^{-1}$ 의 기울기가 -1에 근접하는 $100\mu m$ 이상이므로 L_{CH} 을 설계할 경우에 R_P 이 $R_{ON}W_{CH}$ 에 미치는 영향이 완전히 무시될 수 있음을 알 수 있다.

그러나, 현재 액정 디스플레이에서는 L_{CH} 이 5~ $10\mu m$ 정도의 소자가 많이 사용되고 있기 때문에, L_{CH} 이 $5\mu m$, $10\mu m$ 인 소자의 V_G 와 R_P 의 관계를 그림 8에 나타냈다. L_{CH} 이 $5\mu m$ 이고 V_G 가 15V인 경우에 R_P 은 약 $2.98 \times 10^5 \Omega$ 이며, 이온 임프랜테이션에 의하지 않고 n^+ 층을 형성한 구조에서는 더 큰 R_P 이 예상된다[5]-[8].

R_P 는 L_{OV} 에도 영향을 받지만, L_{CH} 에 대한 R_{ON} 의 변화기동은 동일한 경향을 보일 것으로 예상된다. 이러한 R_P 이 소자의 전기적 특성에 미치는 영향은 모든 비정질 실리콘 박막 트랜지스터 회로의 분석에서도 충분히 고려되어야 할 것이다.

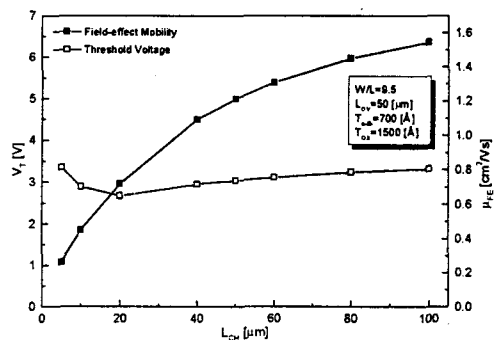


그림 5. L_{CH} 과 V_T 및 μ_{FE} 의 관계

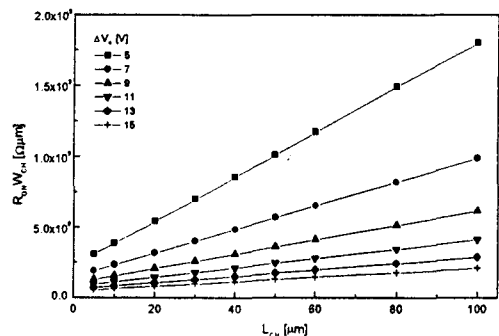


그림 6. L_{CH} 과 $R_{ON}W_{CH}$ 의 관계

[참 고 문 헌]

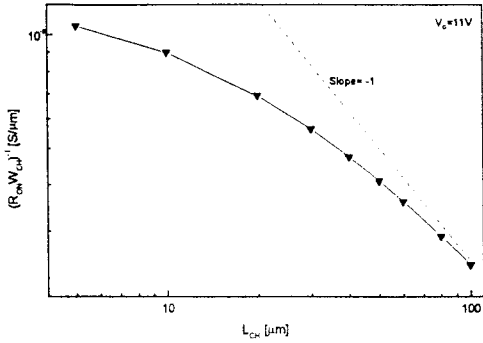


그림 7. L_{CH} 과 $(R_{ON}W_{CH})^{-1}$ 의 관계

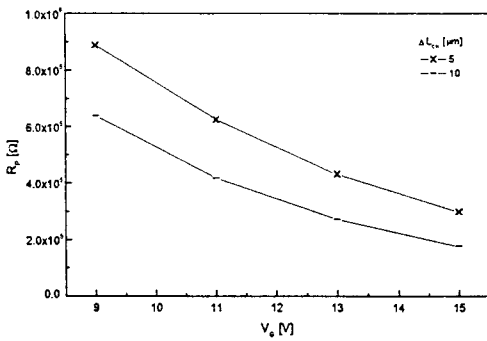


그림 8. V_G 와 R_P 의 관계

3. 결 론

본 논문에서는 TFT2DS를 이용하여 이온 임프랜테이션으로 n⁺층이 형성된 역 스테거형 비정질 실리콘 박막 트랜지스터의 구조에서 채널의 길이, 게이트 전극과 소오스/드레인 전극간의 중첩된 길이, 비정질 실리콘층의 두께 등이 소자의 전기적 특성에 미치는 영향을 분석하였고, 이를 통해 소자의 최적화된 설계를 위한 일반적인 방향을 제시하였다. 향후, 다양한 소자의 구조에 대한 최적화 연구를 지속하여 보다 완벽한 설계의 방향을 제시할 계획이다. TFT2DS를 통한 비정질 실리콘 박막 트랜지스터의 구조 파라메타와 비정질 실리콘의 물성 파라메타에 대한 최적화가 소자의 설계 및 제조에 적용된다면, 소자의 특성을 극대화하는데 크게 기여할 것이다.

본 연구는 통상산업부와 과학기술처에서 시행한 선도기술개발사업(G-7)의 지원으로 수행되었음

[1]J.S.Choi, Ph.D.Dissertation, Purdue University, (1992)
 [2]J.S.Choi, G.W.Neudeck, 대한전기학회 추계학술대회 논문집, 252 (1994)
 [3]박지훈, 최종선, 한국전기전자재료학회 춘계학술대회 논문집, 168 (1997)
 [4]J.W.Park, Ph.D.Dissertation, Purdue University, (1989)
 [5]S.Luan, Ph.D.Dissertation, Purdue University, (1991)
 [6]H.H.Busta, J.E.Pogemiller, R.W.Standley, and K.D.Mackenzie, IEEE Trans. Electron Devices 36(12) 2883 (1989)
 [7]J.Kanicki, F.R.Libsch, J.Griffith, and R.Polastre, J.Appl.Phys., 69(4), 2339 (1991)
 [8]S.Luan, G.W.Neudeck, J.Appl.Phys., 72(2), 766 (1992)