

고에너지 이온주입 공정에 의한 유기 결함과 그 감소 대책

김영호, 김인수, 김창덕, 김종관, 성영권

고려대학교 전기공학과 Laser & Plasma CVD Lab.

A Study on Reducing High Energy Ion Implant Induced Defect

Young-Ho KIM, In-Soo KIM, Chang-Duk KIM, Jong-Kwan KIM and Yung-Kwon SUNG

Laser & Plasma CVD Lab., Electrical Engineering, Korea Univ.

Abstract - 본 연구에서는 latch-up 개선책의 일환으로 개발중인 매립층을 갖는 retrograde well의 형성기술과 더불어 공정 단순화를 목적으로 개발된 BILLI (Buried Implanted Layer for Lateral Isolation) well 구조[1]에 대한 공정 유기 결함을 분석하고 그에 의한 소자 열화 특성을 분석 하였으며 그 개선책을 제시 하고자 하였다. 매립층 형성에 의한 유기결함은 접합 누설전류와 Gate Oxide 신뢰성을 열화 시켰으나 이온주입 후 1000 °C 이상의 온도에서 10sec 정도의 RTP anneal에 의해 그 소자 특성이 개선되며 표면 결함이 감소함을 알 수 있었다.

1. 서 론

최근의 ULSI 기술 경향 중 새롭게 주목을 받고 있는 고에너지 이온주입 공정을 이용한 well 형성 기술은 latch-up 개선 특성을 위해 고안된 retrograde well이 지니고 있는 공정 단순화, 소자분리 특성의 개선, 저온 공정화 등의 요구에 부응하는 기술로서 부각되고 있다[2]. 또한 retrograde well이 지닌 latch-up 특성 개선 효과를 더욱 향상 시키고자 MeV 범위의 고에너지 이온 주입을 이용한 매립층 형성 기술이 기존의

EPI wafer를 대체시킬 수 있는 기술로서 많은 연구가 진행되고 있다[3]. 그러나 고에너지 이온 주입 공정에 의한 retrograde well 및 매립층 형성 공정은 이온 주입에 의한 실리콘 격자 손상과 이로 인한 이차 결함 발생 및 소자 특성 열화 등의 근본적인 문제를 지니고 있어, 이에 대한 발생 원인의 분석과 해결책 제시가 필요한 실정이다. 따라서 본 논문에서는 고에너지 이온 주입을 이용한 매립층을 갖는 retrograde well의 결함을 분석하고, 그 소자 특성에의 영향을 고찰하며, 개선책을 제시하고자 하였다. 특히 본 논문에서는 공정 단순화를 극대화시킬 수 있으며, latch-up 개선 효과가 탁월한 BL/BILLI(Buried Layer/Buried Implanted Layer for Lateral Isolation) 구조를 제작하여, 이온주입 공정에 의해 유기되는 결함에 대한 특성 평가를 실시하였다.

2. 본 론

실험에 사용된 wafer는 p-type (100) 9-12 Ω-cm이며, retrograde well 형성을 위한 이온주입 조건은 n-well의 경우 n-well 마스크 노광 공정과 phosphorus 800KeV 3×10^{13} , phosphorus 250KeV 6×10^{12} 의 다단 이온 주입으로 형성하였으며, p-

well의 경우 p-well 마스크 노광 공정과 boron 500KeV 3×10^{13} , boron 180KeV 4×10^{12} , boron 40KeV 2×10^{12} 의 다단 이온 주입으로 형성하였다. Well 이온 주입은 LOCOS 형성 후에 실시하였으며, 매입층 형성을 위한 MeV 이온주입은 LOCOS 형성 후 well 이온 주입 직전에 Mask 노광 공정 없이 blanket 이온주입으로 형성하였다. BL/BILLI well의 형성 방법은 LOCOS 및 blanket 이온주입에 의한 wafer 전체에 매입층을 형성시킨 후 n-well 마스크 노광 공정을 이용하여 n-well 이온 주입과 p-well 이온 주입을 동시에 실시하여 n-well과 p-well을 하나의 마스크 공정으로 가능하게 하였다. 이 때 감광막 두께는 $2.3 \mu\text{m}$ 로 하였으며, p-well 이온주입은 boron 2MeV 3×10^{13} , boron 1.4MeV 4×10^{12} , boron 1.1MeV 2×10^{12} 으로 진행하였으며, 각 well 농도 분포는 기존 retrograde well과 동일하게 형성하였다. 그림 1과 그림 2는 각각 BILLI twin well 구조와 BL/BILLI twin well 구조에 대한 TSUPREM-4 시뮬레이션 결과의 2차원 단면 농도 분포와 불순물 농도 분포의 SIMS 분석 결과를 나타낸 것이다. 이 때 BL/BILLI 구조의 매입층 이온주입 조건은 boron 2MeV 3×10^{13} 에 대한 결과이다. 본 실험에서는 BL/BILLI 구조에서 매입층의 이온 주입량을 3×10^{13} , 6×10^{13} , 1×10^{14} ions/cm²에 대해 실시하여 그 주입량과 결함 발생률과의 관계를 고찰하였으며, 아울러 매입층 이온주입과 well 이온주입 후에 실시하는 anneal 조건에 대한 실험을 실시하여 결함 감소를 위한 anneal 조건을 얻고자 하였다.

초기 이온 주입 공정 조건 설정을 위한 BILLI well 실험의 경우 BILLI well 이온주입 후 Furnace N₂ 분위기 1000 °C 30분간 진행한 것과 RTP N₂ 분위기 1000 °C 10초간 진행한 시

료의 접합 누설 전류를 비교 분석하였다. 그림 3은 p+/n 접합 누설 전류 밀도의 누적 분포를 기존 retrograde well의 누설 전류 분포와 비교하여 나타낸 것으로, BILLI well의 경우 n+/p 접합 누설 전류는 모두 양호한 결과를 얻을 수 있었으나, p+/n 접합 누설 전류는 Furnace anneal한 경우 큰 전류가 발생 하였으며, RTP anneal을 진행한 경우 누설 전류가 기존 retrograde well보다 개선되는 것을 알 수 있었다. 그림 4는 anneal 조건에 따른 두 시료에 대한 wright etch 후의 SEM 사진으로, 결함 형태가 dislocation etch pits 형태였으며, RTP anneal을 실시한 경우 n-well 지역의 결함이 크게 감소함을 나타내고 있다.

이러한 결과를 보다 상세히 분석하고자 Furnace의 경우 900 °C, 950 °C, 1000 °C 온도에서 30분 또는 60분간 실시하였으며, RTP 공정의 경우 950 °C, 1000 °C, 1050 °C 10초 또는 20초간 N₂ 분위기에서 실시하였으며, 각 시료에 대해 p+/n 접합 누설 전류를 분석하였다. 이 시료의 공정 조건은 buried layer 이온 주입을 boron 2MeV 3×10^{13} 으로 주입하였으며, well 구조는 기존 retrograde well 공정으로 형성한 것이다. 그림 5는 위 조건에서 각각 anneal한 경우에 대한 각 p+/n 접합 누설 전류를 나타낸 것으로 Furnace anneal을 실시한 경우의 모든 시료에서 많은 누설 전류가 나타났으며, RTP anneal의 경우 950 °C 10초의 anneal 조건의 경우를 제외하고 1000 °C 이상의 온도에서 진행한 경우 누설 전류가 현저히 개선되는 것을 알 수 있었다. 같은 시료에 대해 표면 결함 밀도를 분석하였으며, 결함 분석을 위해서 wright etch를 2분간 실시한 후 현미경 관찰을 실시하였다. 그림 6은 2개의 종축에 결함 밀도와 누설전류를 각각 시료 별로 나타낸 것으로 두 상관 관계가 잘 일치하고 있

음을 알 수 있었다.

그림 7은 gate 산화막 두께가 90 Å인 경우의 각 well 구조에 대한 100 mA/cm²의 일정 전류 스트레스 조건으로서 TDDB 특성을 고찰한 것으로 본 실험의 anneal 조건은 모두 Furnace 1000 °C 30 분간 진행한 것이나, 매입층 공정에 의한 GOI 특성의 열화는 나타나지 않음을 알 수 있었다. 그러나 gate 산화막의 두께가 70 Å인 경우에는 anneal 조건에 따라 GOI 특성이 크게 열화되는 것을 알 수 있었으며, 기존 retrograde well에서 조차 Furnace anneal의 경우 초기 fail 되는 산화막이 많이 분포함을 알 수 있었다. 그림 8은 기존 retrograde well의 p-well에 존재하는 70 Å gate 산화막의 TDDB 특성 분포로서 RTP anneal의 경우 그 특성이 현저히 개선되는 것을 알 수 있다. 그림 9, 10에서 알 수 있는 바와 같이 BILLI well의 경우에도 RTP anneal에 의한 개선 효과가 나타났으며, BL/BILLI well 구조에서는 BL 주입량과 anneal 조건 효과가 매입층 이온주입 후 anneal 및 well 이온주입 후 anneal의 두 가지가 복합적인 관계가 존재하여 본 실험 결과 만으로는 자세한 분석이 아직 어려운 상태이나 전반적인 실험 결과로부터 제시할 수 있는 결론은 매입층 주입량이 많을 수록 GOI 특성이 개선되며, 매입층 및 well 이온 주입에 대해 모두 RTP anneal을 실시하는 것이 GOI 특성을 개선하는데 유효하다는 것이며, 또한 well 이온 주입 후 RTP anneal을 실시하는 경우에는 매입층 이온 주입에 대한 anneal은 따로 실시하지 않아도 됨을 알 수 있었다.

3. 결 론

연구를 통해 매입층 형성에 의한 결함발생 특성

은 매입층 이온 주입량과 anneal 조건에 가장 민감하게 나타남을 알 수 있었으며, well 이온 주입 후 Furnace anneal을 진행한 BILLI well의 경우 n+/p 접합 누설 전류는 양호하게 나타났으나 p+/n 접합 누설 전류는 현저하게 열화되었으며, 이 경우 RTP anneal을 통해 현저히 개선되는 것을 알 수 있었다. 매입층이 존재하는 경우 열화되는 retrograde n-well 내의 p+/n 누설 전류를 개선하기 위해서는 1000 °C 이상의 RTP anneal이 효과가 있음을 알 수 있었다. Gate 산화막의 TDDB 측정 결과 90 Å의 경우에는 GOI 열화가 관찰되지 않았으나, 70 Å의 경우에는 기존 retrograde well에서 조차 열화 현상이 나타났다. 또한 이를 개선하는데는 RTP anneal이 매우 효과적이었으며, BILLI well의 경우에도 RTP anneal을 통해 GOI 특성이 개선되었다. BL/BILLI well의 경우 매입층 이온 주입량이 클 수록, Furnace anneal 보다는 RTP anneal을 진행한 경우 GOI 특성이 개선되는 것을 알 수 있었다. RTP anneal이 고에너지 이온 주입에 의한 well 형성 및 매입층 형성 공정에 의한 표면 결함 발생과 소자 열화 특성을 개선시키는 이유는 고온에서 짧은 시간의 anneal을 통해 실리콘 벌크 및 매입층 내에 결함층을 고립시키며 고립된 결함층은 이후 열 공정을 거치더라도 안정한 상태로 유지될 수 있기 때문으로 사료되며, Furnace anneal의 경우 anneal 공정 중에 dislocation loop가 표면 근방까지 threading 됨으로써 표면에 존재하는 소자 특성을 열화시키며, RTP anneal의 경우에도 1000 °C 이상의 고온에서 anneal하는 것이 보다 안정한 고립 결함층을 형성하는데 효과적이라는 결론을 내릴 수 있었다.

본 연구에서 제시한 결함 발생을 억제하고 소자 특성을 열화시키지 않는 고에너지 이온 주입

법을 이용한 매입층 형성 기술을 이용함으로써
향후 latch-up 개선 효과가 탁월한 고농도 매입
층 형성 기술의 본격적인 적용이 기대 된다.

[참고 문헌]

- [1] Jong- Kwan KIM, Sung-Hyeong Park, Young Jong Lee, Yung Kwon Sung, *Latchup Characterization of High Energy Ion Implanted New CMOS Well Structures that Comprised the BILLI and BL/CL Structure*, International Reliability of Physics Symposium (IRPS), 6-5, pp.346-352, 1997.
- [2] T. Tsukamoto, S. Komori, T. Kuroi and Y. Akasaka *igh Energy ion implantation for ULSI Nuclear Instruments and Methods in Physics Research B59*, pp 584-591, 1991.
- [3] T.Kuroi, S.Komori, H.Miyatake, K.Tsukamoto and Y.Akasaka, *haracteristics of Junction Leakage Current of Buried Layer formed by High energy ion implantation* Extended Abstract conference on Solid State Devices and Materials, pp 441-444, 1990.

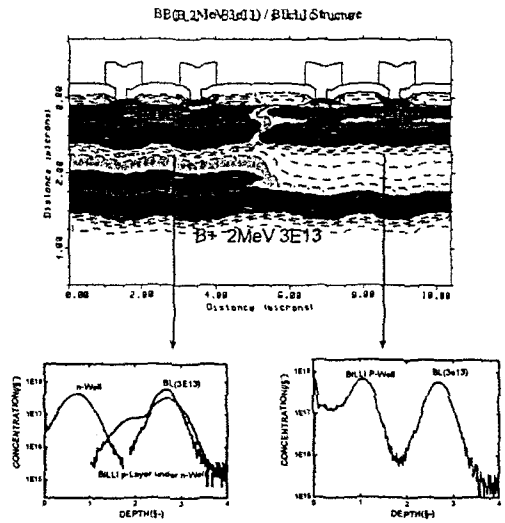


그림 2. 2D. BL(3e13)/BILLI structure and SIMS Profiles

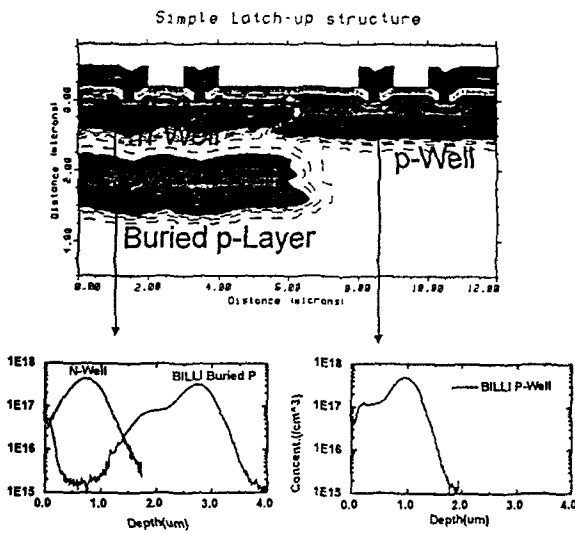


그림 1. 2D. BILLI Twin Well and SIMS profile

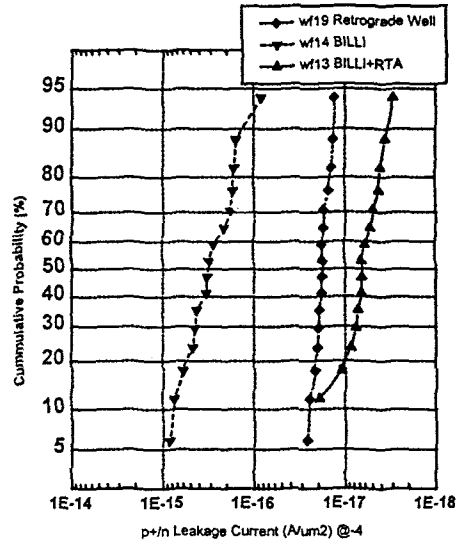


그림 3. p+/n Junction Leakage Current Characteristics

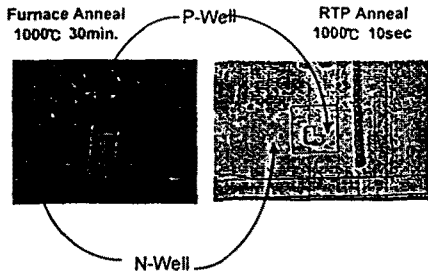


그림 4. Defects at n-well of BILLI structure
(a) Furnace Anneal (b) RTA anneal

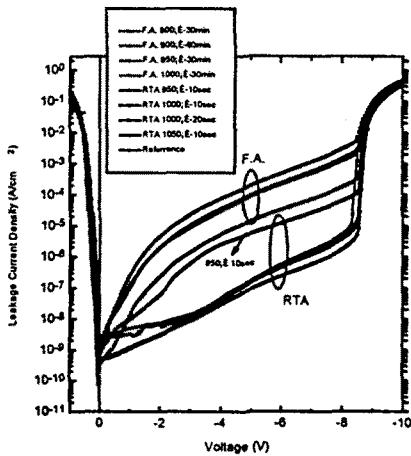


그림 5. Junction Leakage Current Characteristics of Buried Layered structure as a Parameter of Anneal Process

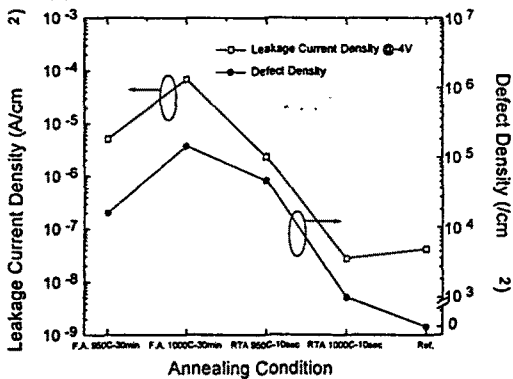


그림 6. Junction leakage currents and defects densities at different anneal conditions

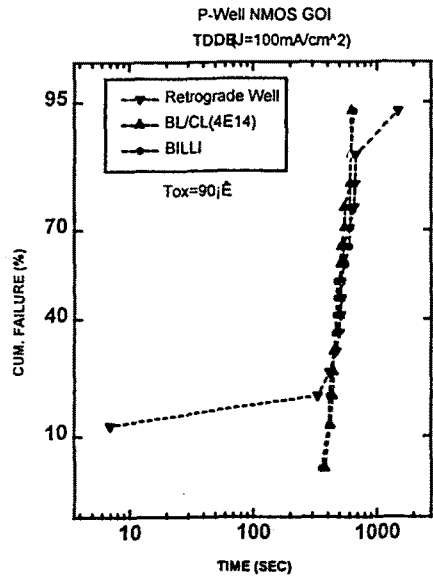


그림 7. TDDB Characteristics of Retrograde Well, BILLI and BL/CL Structures

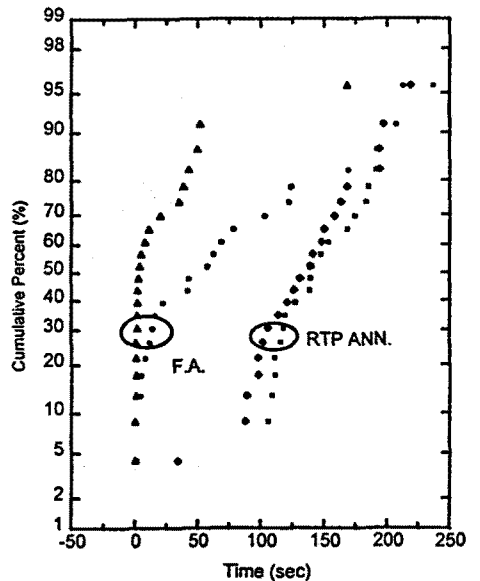


그림 8. Retrograde p-Well nMOS GOI
TDDB measurement 100mA/cm²

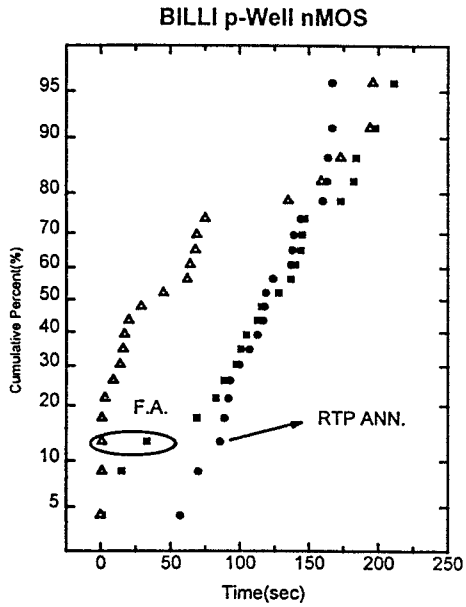


그림 9. BILLI P-Well Gate Oxide TDDB Characteristics 100mA/cm²

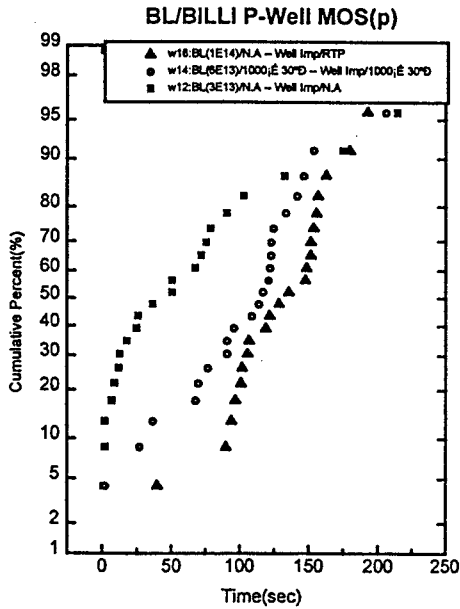


그림 10. BILLI p-well Gate Oxide TDDB characteristics 100mA/cm², Tox=70Å