

고압용 전류 검지 MOSFET의 해석적 모델링 및 설계

전 광연, 윤 종만, 임 필규
삼성전자 LS13 사업부

Analytical Modeling and Design of the High Voltage Current Sensing MOSFET

Chong-Man Yun, Kwang-Yeon Jeon, Pil-Gyu Im
LS13 Division, SAMSUNG Electronics.

Abstract - 전류 센싱 MOSFET의 센싱 셀과 메인 셀의 온저항 모델을 달리 세워 원자재 산포에 따른 소자의 특성 산포 불량의 원인을 규명하였다. 에피의 농도와 두께가 증가할수록 센싱 셀의 온저항이 메인셀보다 작아지며 농도와 두께의 변화가 있을때의 온저항 변화율도 작은것으로 나타났다. 원자재 산포에 의한 SENSE FET 특성 산포를 줄이기 위해서는 정사각형 형태의 SENSE cell 배치가 효과적이며 센스 셀과 메인 셀의 간섭을 방지하기 위해서는 센싱 저항을 센스 셀의 온저항의 1/10 이하로 설계하고 간격이 최소한 에피 두께 이상이 되어야함을 밝혔다.

1. 서 론

Sense FET는 일반적인 MOSFET가 게이트,드레인, 소오스의 세 단자만을 갖는 반면 센스 소오스를 추가로 가져 센스 소오스로 흐르는 미량의 전류를 검지하여 FET에 흐르는 전체 전류를 예측할수 있는 소자이다. 전류가 임계치 이상을 흐를경우 센스 소오스에 연결된 센스 저항에서의 전압강하를 측정하여, 이때 게이트 전압을 낮추면 드레인 전류는 임계치 이상을 흐르지 못하게 된다. 이러한 동작이 안정되게 유지하기 위해서는 측히 소자의 양산시에 발생할수 있는 에피층의 조건 변화에 의해 내압이 증가하는 등 원자재 산포에 따른 센스 전류비를 안정되게 유지하는 것이 양산성과 특성에 매우 중요한 설계 포인트가 된다. 그런데 센스 소오스의 PAD연결을 위해서는 센스 셀이 PAD 내부에 국부적으로 배치되어 메인 셀과 다른 특성을 보인다. 본 논문에서는 센싱셀과 메인셀의 해석적 모델을 통해 원자재 산포에 따른 센스 전류비의 변화요인을 규명하였고 시뮬레이션과 실험결과와 비교하였다. 또한 이들을 통하여 얻어진 결과로 산포특성이 안정된 Sense FET를 개발하였다.

2. 본 론

Sense FET는 메인FET와 센스FET의 병렬 연결로 볼 수 있으며 이의 등가회로는 그림 1과 같다.

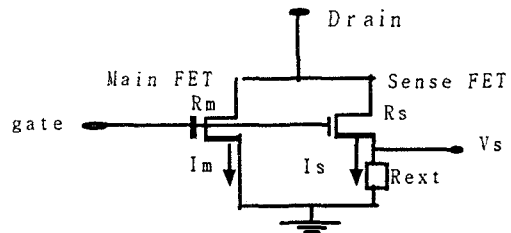


그림 1. Sense FET의 등가 회로

센스 셀의 온저항은 메인 셀의 온저항보다 셀비만큼 큰 값을 갖는다. 이러한 온저항의 차이 때문에 Sense FET 전체의 전류의 대부분은 메인 셀을 통해 흐르고 미량의 전류가 센스 셀로 흐른다. 이상적인 경우 센스 셀로 흐르는 전류 Is는 메인 셀로 흐르는 전류 Im의 1/n이 되고(n은 메인 셀과 센스 셀의 센스 셀의 비)Sense FET에 흐르는 전류 Id, 센스 전압 Vs 는 다음식과 같다.

$$I_d = I_s + I_m = (n+1)/R_s \cdot V_s \quad \text{---- (식 1)}$$

$$V_s = I_s \cdot R_s = I_d / (n+1) \cdot R_s \quad \text{---- (식 2)}$$

그러나 원자재 에피의 두께와 농도가 약간씩의 산포에 의하여 변하면 소자의 온저항이 변하게 된다. 이와 같은 경우에 센스셀과 메인셀의 온저항이 각각 a,b배로 변화했다고 하면 이때의 변화된 메인셀의 전류Im'과 변화율 VAR은 다음과 같다.

$$I'_m = \frac{a \cdot R_m + R_{ext}}{b \cdot R_m \times R_{ext}} \times V_{sens} \quad \text{---- (식 3)}$$

$$AR = \frac{I'_m}{I_m} = \frac{\frac{a}{b} \cdot R_s + \frac{1}{b} \cdot R_{ext}}{R_s + R_{ext}} \quad \text{---- (식 4)}$$

여기서 센스셀의 배치에 따라 a,b가 서로 다를경우는 다음에 설명하기로 한다.

2.2. 센스 셀과 메인 셀의 온저항 모델링.

센스 셀과 메인 셀의 온저항 모델링은 그림 2와 같이 가정할 수 있다.

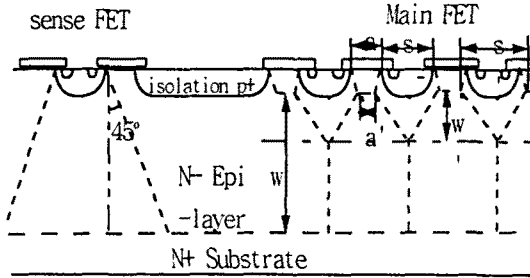


그림2. 온저항 모델링을 위한 센스 셀과 메인셀의 단면 구조와 전류 흐름의 형태

그림과 같이 인접 셀이 있는 경우 해당 셀 하단의 드레인 영역에서만 전류가 올라오는 것으로 볼 수 있으나 센스 셀의 경우는 인접 셀이 없기 때문에 셀 하단 주변의 드레인으로부터 전류가 올라올 수 있다. 사다리꼴 형태의 온저항 모델에서 전류가 spreading되는 각도는 에피층의 농도에 따라 변하는데 대략 45 - 60도의 값을 갖는 것으로 알려져 있다[1,2]. 본 논문에서는 H_u 의 가정과 같이 spreading 각도를 45도로 가정했다.

센스 셀과 메인 셀의 저항의 이상적인 epi 저항에 대한 비 $r_{epi} (=R_{epi}/R_{ideal})$ 는 다음과 같다.

센스 셀의 경우

$$r_{epi} = \frac{s+a}{2w} \cdot \ln\left[1 + \frac{2w}{a}\right] \quad \text{---- (식 5)}$$

메인 셀의 경우

$$r_{epi} = \left[1 - \frac{w'}{w}\right] + \frac{s+a}{2w} \cdot \ln\left[1 + \frac{2w'}{a}\right] \quad \text{---- (식 6)}$$

에피 두께가 증가함에 따라 센스 셀의 온저항은 메인 셀의 온저항보다 점점 작아져 내압이 800V 인 경우 메인 셀의 온저항의 35% 정도밖에 되지 않는다. 특히 에피 두께가 10% 변화할 경우 메인 셀의 온저항은 10%가 변하는데 반해 센스셀의 온저항은 3%밖에 변하지 않는 것으로 나타나 위식에서 표현된 a와 b가 서로 다른 값을 갖게되고 따라서 원자재 산포에 따라 센스 전류비가 심하게 변할 수 있음을 알 수 있다.

2.3 센스 셀과 메인 셀간의 간섭

Sense FET의 동작시에 센스셀에 연결된 센스저항에서의 전압 강하가 발생하고 이에 따라 센스 셀과 메인 셀의 소오스의 전위가 다르기 때문에 동작점

에 따라 센스 셀로 흐르는 전류의 흐름은 변한다. 완전한 isolation을 이루기 위해서는 센스 셀과 메인 셀간의 거리가 에피층의 두께 이상으로 유지되어야 하며 센스 저항의 크기는 센스 셀의 온저항의 1/10 이하가 되어야 하는 것으로 밝혀졌다.

2.4 Sense FET의 설계

센스 셀과 메인 셀의 온저항 모델을 가능한 비슷하게 설계하는 것이 산포 특성을 줄이는데 효과적임을 알 수 있다 이를 위해선 외곽으로 배치되는 센스셀의 수를 전체 센스 셀의 크기에 대해 감소시켜야 한다. 본 설계에서는 센스 셀의 온저항 모델이 메인 셀과 비슷하게 하기 위해 정사각형 형태로 배치했다. 이 경우 최외각에 가까운 셀일수록 온저항 모델은 식 4에 가까워서 메인 셀과 다른 특성을 보이고 중심부에 있는 셀은 메인 셀의 모델과 비슷한 특성을 보인다. 센스 셀과 메인 셀간의 간섭을 줄이기 위해서 센스 셀들을 센스 PAD의 중앙에 위치 시킴으로써 센스 셀과 메인셀들의 거리가 150 um 가 되도록 설계하였다.

시뮬레이션 결과, 원자재 산포에 의한 온저항의 변화를 주었을 때 양산 구조의 경우 센스셀의 온저항 변화율은 메인셀 온저항 변화율의 35%인 반면 본 구조의 변화율은 약 60%로 나타나 이 구조가 산포 개선에 효과적임을 알 수 있었다.

2.5 실험 및 측정

800V 급 MOSFET의 제작을 위해 원자재는 중심치인 30 ohm-cm, 80um n-type 에피 웨이퍼 외에 비저항과 두께가 각각 30ohm-cm, 75um와 30ohm-cm, 90um인 에피 웨이퍼를 함께 투입하여 고의적인 소자 산포를 발생시켰다. 제작된 소자의 특성은 duty 1 % 이하에서 100 ohm 내외의 센스 저항을 값을 변화시켜가며 무부하 상태에서 측정했다.

2.6 결과 및 토의

제작된 소자들은 원자재 산포에 따라 846V에서 987V의 내압 분포를 갖는 것으로 나타났다. 저항은 내압의 2.5 지수승으로 비례하는 것으로 알려져 있으므로 내압의 분포는 온저항의 분포를 의미한다. 그림 3은 내압 산포에 따른 설계된 센스 전압에서의 드레인 전류의 분포를 나타낸 것이다. 이때 센스 저항은 100 ohm이다. Id 5.2 A에서 평균적으로 8.6mA의 센스 전류를 흘리는 것으로 측정되어 다

시 측정 소자들의 8.6mA의 센스 전류시 드레인 전류를 측정하였다. 그림에서 보는 바와 같이 내압이 증가함에 따라 일정 센스 전압에서 드레인 전류는 감소하는 것으로 나타났다. 이는 2절에서 얻어진 결과와 일치하는 것이다.

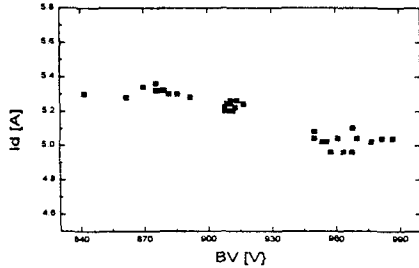


그림 3. 내압에 따른 드레인 전류의 분포(설계 중심치=5.2A)

은 측정 결과 최저와 최고의 드레인 전류의 산포는 중심치인 $I_d=5.2A$ 를 기준으로 하여 8%의 peak-to-peak 분포를 갖는 것으로 나타났다. 그림 4는 저항의 크기를 달리했을 때, 센스 전류대 드레인 전류의 관계를 나타낸 것이다.

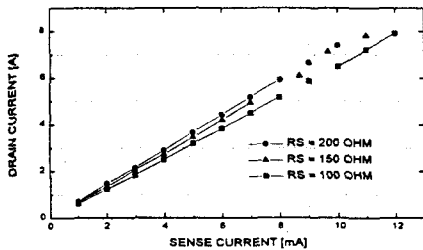


그림 4. 센스 전류대 드레인 전류 특성 곡선

그림에서 보는 바와 같이 12 mA에서도 완전한 선형성을 나타내어 본 구조가 센스셀과 메인 셀간의 간섭을 거의 배제시켰음을 알 수 있다. 그림에서 센스 저항이 커질 수록 곡선의 기울기가 커지는 것은 센스 저항이 커짐에 따라 센스 전류가 작아져 센스 저항에서의 전압 강하가 줄어들기 때문이다. 따라서 보다 정확한 센스비를 측정하기 위해선 센스 저항의 값을 가능한 줄여야함을 알 수 있다.

제작된 소자의 온도 특성을 보기 위해 150도까지 온도를 상승시켜 드레인 전류와 센스 전압과의 관계를 그림 12에 나타냈다. 이때 사용된 센스 저항은 IC 내부에 내장된 diffused resistor로 상온에서 83 ohm의 값을 가졌다.

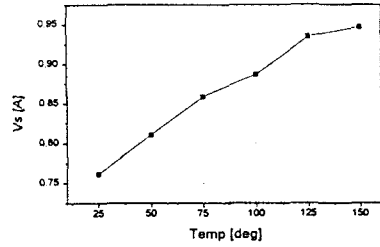


그림 5. 온도 변화에 따른 드레인 전류 5A일때의 센스 전압의 변화

온도가 상승함에 따라 같은 드레인 전류에서의 센스 전압은 증가하는 것으로 나타났다. 실제로 온도에 따른 센스 전압 상승률은 $1.52mV/^\circ C$ 로 나타나 온도 상승시에도 일정한 전류에서 제한을 하기 위해서는 $1.52mV/^\circ C$ 만큼의 온도 보정해야 한다. 하지만 이와 같은 온도에 따른 센스 전압-드레인 전류비의 변화는 Sense FET 내부의 온도 특성이 아니고 센스 저항으로 사용된 diffused 저항의 온도 변화율에 의한 것이다.

3. 결 론

센스 셀과 메인 셀이 서로 다른 온저항 모델을 갖는 것에 있다는 것을 해석적 모델링과 시뮬레이션, 실험을 통해 입증하였다. Iover항목의 개선을 위해서 센스 셀과 메인 셀간의 간격을 에피 두께 이상으로 증가시켰고 센스 셀을 정사각형 배치를 하여 산포 특성을 고려하여 양산성과 수율을 개선할 수 있는 설계 기준을 마련하였다.

[참 고 문 헌]

- [1] C. Hu, M-H. Chi, and V.M. Patel, "Optimum Design of Power MOSFET's," IEEE Trans. Electron Devices, vol. ED-31, No. 12, p.1693, Dec. 1984.
- [2] S.C. Sun and J.D. Plummer, "Modeling of the On-resistance of LDMOS, VDMOS, and VMOS Power Transistor," IEEE Trans. Electron Devices, vol. ED-27, No. 2, p. 356, Feb. 1980.