

다중 게이트를 이용한 부분 공핍형 SOI MOSFET 특성에 관한 연구

신경식, 박윤권, 이성준, 김철주
서울시립대학교 전자공학과

A Study on Partially-Depleted SOI MOSFET with Multi-gate

K.S.Shin, Y.K.Park, S.J.Lee, C.J.Kim
Dept of Electronic Engineering, Seoul City Univ.

Abstract

In this study, patially-depleted SOI MOSFET with multi-gate was fabricated on p-type SIMOX(Seperation by Implanted Oxygen). As increase the number of its gate, increase the breakdown voltage. But kink effect was not affected by the number of its gate. However, it is known that the asymmetric gate structure reduce kink effect. So if asymmetric multi-gate applied to partially-depleted SOI MOSFET, it is expected that the breakdown voltage of SOI MOSFET with asymmetric multi-gate is higher than that of SOI MOSFET with single gate and that kink effect is reduced by SOI MOSFET with asymmetric multi-gate .

1. 서 론

현재 회로의 집적화에 따라 저동작 특성을 가지며, 빠른 동작 속도[1] 등과 이로 인한 높은 주파수 특성[2]의 장점을 지닌 SOI 소자에 대한 연구가 활발이 진행 중이다. 그러나 SOI MOSFET은 기판이 접지되어 있지 않음으로써 일어나는 기판부유효과 [3]의 문제점을 지니고 있기 때문에 회로의 안정적인 동작을 저해하는 원인이 된다. 이런 문제점을 해결하기 위한 기존의 방법으로는 기판을 접지시키기 위한 전극을 추가하거나 부분공핍형 MOSFET의 기판 부유효과를 억제하기 위해 Twin-gate를 도입함[4]으로써 효과적으로 기판 부유 효과를 억제할 수 있다고 알려져 있다.

본 논문에서는 다중게이트 도입에 따른 기판 부유 효과에 대하여 단일 게이트의 부분공핍형 SOI MOSFET과 다중 게이트의 부분공핍형 SOI MOSFET을 SIMOX(Seperation by Implanted Oxygen)기판에 제작하여 그 특성에 대한 게이트의 의존성에 대하여 연구하였다.

2. 본 론

2.1 실험 과정

본 연구에서는 단채널 효과를 배제하기 위하여 최소 선폭을 20um기준으로 설계한 4장의 마스크를 이용하였다.

제작된 부분공핍형 SOI MOSFET의 게이트는 최대 3개까지 있으며, 이 삼중 게이트를 가진 소자의 단면도는 fig. 1과 같다.

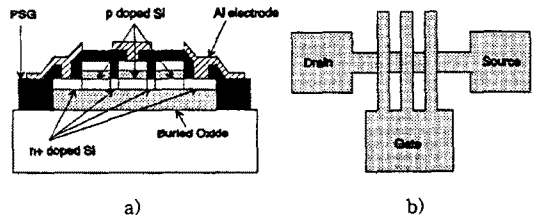


Fig. 1 a) Cross-sectional view of fabricated SOI MOSFET
b) Top view of fabricated SOI MOSFET

부분공핍형 SOI MOSFET의 제작은 fig.2와 같이 실시하였으며, 각 공정은 다음과 같이 진행되었다.

사용된 기판은 Si막 두께가 1um이고, 매물 산화막 두께가 3um인 저항 10~15Ωcm의 p형 (100) SIMOX 기판을 이용하였다.

먼저 1100°C의 전기로에서 게이트용 산화막을 1200Å 성장시킨 후 사진식각 공정을 통하여 활성영역을 정의하고, 게이트용 산화막을 BOE(HF:DI water=1:7) 용액을 이용하여 식각하였다. 70°C로 가열된 KOH(20 w.t.%)로 실리콘 막을 식각하여 island구조를 형성하였다. Poly-Si을 APCVD으로 3000Å 증착시킨 후 사진식각 공정을 통하여 게이트 영역을 정의하고, poly-Si etchant(HNO₃:CH₃COOH:HF=100:40:3)로 습식식각을 하였다.

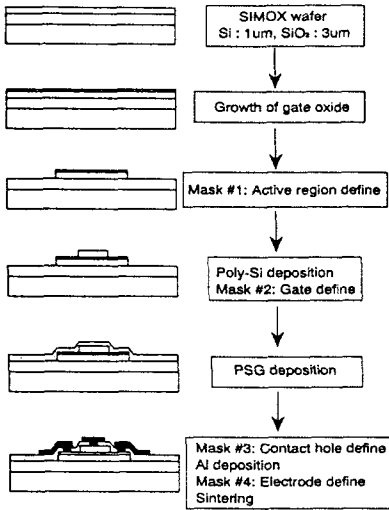


Fig. 2 Fabrication process of SOI MOSFET

게이트 영역 밖의 산화막을 제거한 후 PSG를 APCVD로 4000Å 증착시켰다. 약 900°C의 질소 분위기에서 50분간 확산 공정을 거친 후 사진식각 공정으로 컨택 홀을 정의하고 식각한 후 Al을 약 1um 증착하였다. 마지막으로 사진식각공정을 통하여 전극 영역을 형성하고, 마지막으로 450°C의 수소분위기에서 30분간의 sintering과정을 통하여 소자를 완성하였다.

2.2 측정 결과

Fig. 3에 제작된 소자(W/L=100um/60um)의 게이트 바이어스에 따른 드레인 전류의 변화를 보였다. 후면 게이트 바이어스가 음의 방향으로 증가함에 따라 문턱 전압이 커지는 것을 알 수 있다.

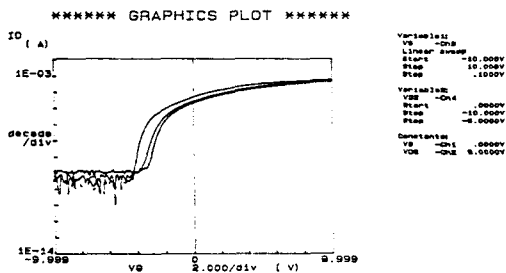
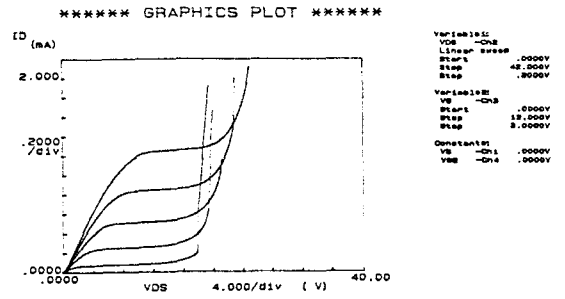
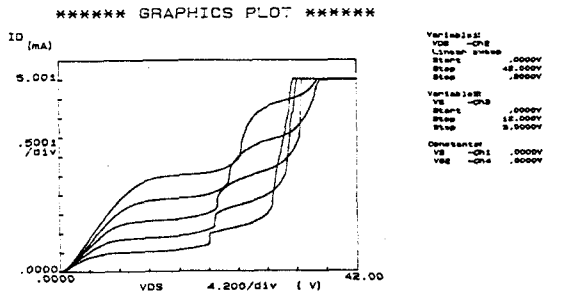


Fig. 3 Drain current versus gate voltage in W/L=100um/60um MOSFET

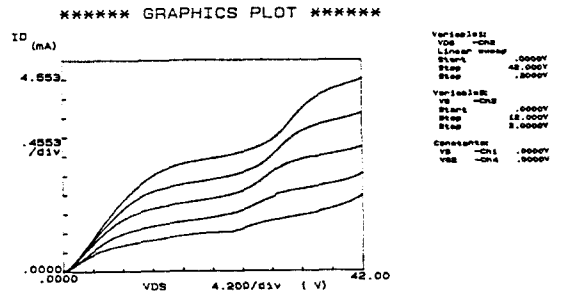
Fig. 4 a)는 W/L=100um/60um, b)는 W/L=100um/(20um+20um), c)는 W/L=100um/(20um+20um+20um)의 전류-전압 특성을 보이고 있다.



a) W/L=100um/60um



b) W/L=100um/(20um+20um)



c) W/L=100um/(20um+20um+20um)

Fig 4. Current-Voltage characteristics of fabricated partially-depleted SOI MOSFET

Fig. 4 a)에서는 항복전압이 약 20V에서 나타났으나, b) 경우엔 30V c)는 b)의 경우보다 더욱 높은 항복 특성을 보이고 있다. 이는 게이트의 수가 증가함에 따라 전체 항복 전압이 증가하고 있음을 보여주는 것이다. 즉, 다중 게이트인 경우 드레인-소스 사이의 전압이 각 게이트 단에 나뉘어 분포하게 되므로 드레인-채널 사이의 전압차가 단일 게이트의 경우보다 감소하기 때문이라고 생각된다.

Fig. 4 a)에선 기판 부유 효과에 의한 kink 효과 [4]가 나타나지 않았으나, b)와 c)에선 모두 약 20~28V에서 kink 효과가 나타났다. 이는 단일 게이트 구조의 경우 kink 효과가 일어나기전에 항복전압에 이르렀기 때문이라고 볼 수 있다.

Table 1은 W/L에 따른 항복 전압과 kink effect가 나타나는 전압을 나타내고 있으며, 모든 소자의 전류-전압 특성의 측정시 후면 게이트의 전압은 0V로 인가하였다.

W/L 비	항복 전압(V_{ds})	kink effect 발생 전압
60/20	약 18V~	나타나지 않음
60/60	약 20V~	나타나지 않음
60/(20+20)	약 32~	약 20V~
100/20	약 18V~	나타나지 않음
100/60	약 20V~	나타나지 않음
100/(20+20)	약 32V~	약 21V~
100/(20+20+20)		약 23V~

Table 1. Characteristics of SOI MOSFET dependent on W/L ratio

3. 결 론

다중 게이트를 도입한 경우 전체 W/L이 같음에도 게이트의 수에 따라 전체 항복 전압은 급격히 증가하였으나, 기판부유효과인 kink 효과에 대해서는 게이트 수와 무관하게 나타났다.

Minghui Gao 등에 의한 결과[4]에선 이중 게이트 도입시 드레인 쪽 채널의 길이가 소오스 쪽 채널 길이보다 클 때 kink 효과의 억제성이 있으며, 채널의 길이가 서로 같으면 kink 효과의 억제성이 거의 없다고 보고된 바 있다.

이를 이용하면, 게이트 수를 늘리면서 비대칭 구조로 즉, 드레인 쪽의 게이트 길이를 가장 짧게 하고 소오스 쪽의 채널의 길이를 증가시킬 때엔 kink 효과의 억제성이 있으며, 전체 항복 전압은 크게 증가할 것으로 기대된다.

[참 고 문 헌]

- [1] J. Colinge, "Some properties of Thin-Film SOI MOSFETs", IEEE Circuit and Device, Mag., Nov. pp.16-20, 1987
- [2] J. Colinge, "Silicon-on -Insulator Technology :Materials to VLSI", Norwel, Ma; Kluwer, pp.139-141, 1991
- [3] M. Harada, C. Ymaguchi, and T. Tsuchiya, "1-V Multigigahertz MOSFET Amplifier with an On-Chip Inductor Fabricated on a SIMOX Wafer", SSDM'96, pp. 485-487

- [4] M. Gao, J. Colinge, Lauwerrs, S. Wu, and C.Claeyes, "Twin-MOSET structure for suppression of kink and parasitic bipolar effects in SOI MOSFETs at room and liquid helium temperatures", Solid-State Electronics, Vol.35 No. 4, pp.505-512, 1992