

SDB(Silicon Direct Bonding)을 이용한 초고속 고효율 IGBT 제작 및 분석

김수성, 김태훈
삼성전자 LSI3 사업부

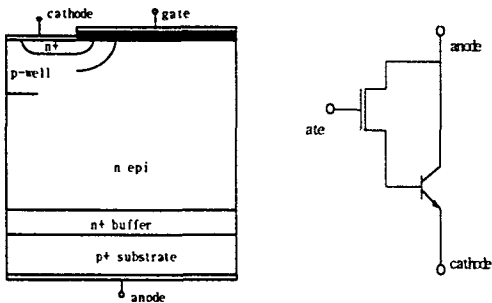
Fabrication and Analysis of SDB -Silicon Direct Bonding- IGBT with high speed and high efficiency

Soo-Seong Kim, Tae-Hoon Kim
LSI3 Division, SAMSUNG Electronics.

Abstract - 본 논문에서는 SDB(Silicon Direct Bonding) 기술을 적용하여 빠른 스위칭 속도 및 낮은 도통 전압을 갖는 1200V 10A n-ch IGBT를 제작하였다. 기존의 epi wafer를 이용한 IGBT 제작시 스위칭 속도 개선을 위한 전자조사 방법을 사용하지 않고 buffer의 농도를 증가시켜 아노드 영역의 정공 주입 효율을 제어하여 90ns의 스위칭 속도를 가지며, 2.0V의 도통전압을 갖는 IGBT를 구현하였으며, SDB IGBT 제작시 bonding 계면의 문제 및 표면의 particle 및 결함이 소자의 전기적 특성에 미치는 영향을 고찰하였으며, 이를 실험 결과와 비교 평가하였다.

1. 서 론

최근 전력용 반도체 소자의 경우 고전압, 대전류 및 고속화가 요구됨에 따라 MOSFET의 입력 특성과 BJT의 출력 특성을 취한 IGBT가 널리 응용되고 있다. IGBT의 기술 발전의 추세는 구동부분의 MOSFET의 특성을 개선하는 방법과 PNP 트랜지스터의 특성을 개선하는 방법으로 진행되어왔으며, 전자의 경우에 있어서는 단위 cell의 최적화등을 통하여 현재 3세대 제품들이 상용화되고 있으며[1], trench 기술을 적용한 IGBT가 보고되고 있다[2]. 후자의 경우는 non-punchthrough 형의 IGBT들이 보고되고 있다[3].



(a) IGBT 단면 구조. (b) IGBT 등가 회로
그림 1. IGBT의 단면 구조 및 등가회로

본 논문에서는 SDB 기술로 고농도 buffer층을 형성하여 PNP 트랜지스터의 주입 효율을 제어하는 방법으로 IGBT의 특성을 개선하였다. 특히 기존의 IGBT 제작에 있어서 스위칭 특성 향상을 위하여 진행되는 전자조사 공정을 진행하지 않고도 기존 소자 보다 빠른 스위칭 특성을 갖는 IGBT를 구현하였다.

2. 본 론

2.1 Device structure 및 실험 조건.

IGBT의 단면 구조는 그림 1(a)에 주어진 바와 같으며, 이를 등가 회로로 나타내면 그림 1(b)에 주어진 바와 같다. IGBT의 동작은 그림 1에 주어진 바와 같이 표면의 MOS 게이트를 통하여 흐르는 전자전류가 p-well, n-epi, n+buffer, p+substrate로 형성되는 PNP 트랜지스터의 베이스 전류가 되어 PNP 트랜지스터를 구동하게 되어 동작하게 된다.

IGBT는 MOSFET과는 달리 아노드 영역의 p+ substrate에서 주입되는 정공으로 인하여 저농도 n 영역의 전도도 변조가 발생하므로 낮은 도통 전압을 나타내지만, 스위칭 속도는 주입된 정공들이 재결합등을 통하여 사라지는데 필요한 시간으로 결정되므로 주입된 정공이 많을수록 스위칭 속도는 느려지게 된다. 따라서, 스위칭 특성을 개선하기 위하여 주입된 정공들이 빨리 사라지도록 재결합율을 증가시키기 위하여 전자조사등의 방법을 통하여 주입된 정공의 lifetime을 감소시키거나, p+ substrate의 농도를 감소시키거나 n+ buffer의 농도를 증가시켜 주입되는 정공의 양을 제한하여야 한다.

본 논문에서는 SDB 기술을 이용하여 n+ buffer의 농도를 증가시켜 주입되는 정공의 양을 제한하는 방법을 사용하여 IGBT의 특성을 개선하였다.

본 방법에 따른 IGBT의 제작은 그림 2에 주어진 순서에 따라 진행되었으며, 초기 사용 원자재로 active layer는 비저항 100Ωcm이며, <100> 방향성

을 갖는 n-type substrate를 사용하였으며, handle wafer는 비저항 0.01Ωcm이며, <100> 방향성을 갖는 p-type substrate를 사용하였다.

Annealing 이후 각 wafer 표면에 형성된 산화막을 제거하고 bonding 공정을 진행하였다. Bonding 후 edge 및 wafer grinding후 CMP(chemical and mechanical polishing) 공정을 진행하였다. Polishing 공정후 표면에 잔존하는 particle 및 결함을 제거하기 위하여 후처리 공정 진행후 기존 IGBT 제작 공정에 준하여 1200V 10A IGBT를 제작하였다.

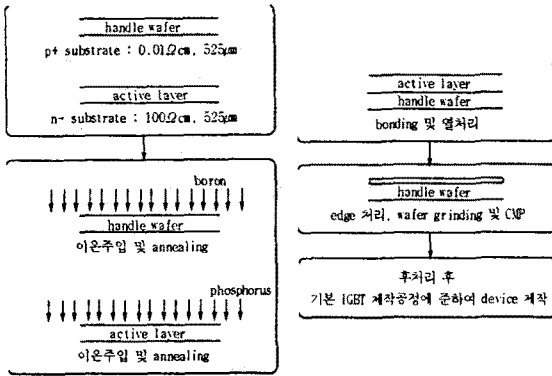


그림 2. SDB를 이용한 IGBT 제작 공정 flow.

2.2. 실험 결과 및 discussion.

SDB를 이용하여 소자를 제작하는 경우에 있어서 발생가능한 문제점은 bonding 계면에서 발생가능한 문제점과 polishing된 표면에서의 particle 및 결함등에 의한 문제로 나누어 생각할수 있다. 각각의 문제점들이 소자에 미치는 영향을 측정 항목별로 구분하여 실험 결과와 비교 분석하였으며, 각각은 다음과 같다.

A. Breakdown voltage.

Breakdown 전압은 저농도 n영역의 농도 및 두께에 의하여 결정되며, IGBT의 경우 breakdown 발생시 공핍층은 buffer 영역의 일부까지 확장되나, buffer의 농도가 높으므로 아노드의 p+영역에는 이

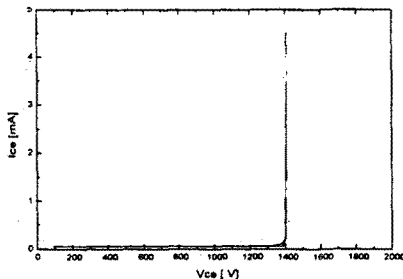


그림 3. breakdown 실측 파형.

르지 못한다. 따라서, SDB 방법으로 진행된 원자재의 경우 bonding 계면이 buffer영역과 p+ 아노드 영역 경계에 존재하므로 breakdown 전압 특성은 bonding 계면에 의한 영향은 없어야한다. SDB wafer로부터 제작된 sample의 측정 결과는 그림 3.에 주어진 바와 같다.

B. Threshold voltage.

일반적으로 MOS 게이트형 구조를 갖는 소자의 threshold voltage는 다음과 같이 표현된다[4].

$$V_{th} = \sqrt{\frac{4 \cdot \epsilon_s \cdot k \cdot T \cdot \ln\left(\frac{N_A}{n_i}\right)}{\epsilon_{ox} / t_{ox}}} + \frac{2 \cdot k \cdot T}{q} \cdot \ln\left(\frac{N_A}{n_i}\right)$$

여기서, N_A 는 channel 영역의 최대 농도이며, n_i 는 진성 carrier 농도이며, t_{ox} 는 게이트 산화막의 두께이다. 그러나, 실제 소자에서는 산화막 내 및 계면에 존재하는 전하량등에 의하여 변화하게 된다.

SDB IGBT의 경우에 있어서 소자 제작 공정은 기존의 방법을 동일하게 적용하므로, 소자 제조 공정상 유의차는 무시할수 있다. 그러므로, 실제 발생가능한 문제는 bonding 계면의 문제와 grinding 및 CMP 공정을 진행함에 따라 표면의 particle 및 결함으로 인한 문제로 나눌수 있다. 우선 bonding 계면의 불안정으로 인하여 계면의 저항성분이 증가한다면, 기존의 epi 원자재의 경우와 비교해 볼때, 측정 파형의 기울기가 보다 완만해지는 형태로 나타나야한다. 그러나, 그림 4.에 주어진 바와 같이 threshold 전압의 측정 파형은 epi wafer의 경우와 비교해 볼때, 유의차가 없으므로 bonding 계면은 완전하며, 소자의 특성에 거의 영향을 미치지 않음을 알수 있다.

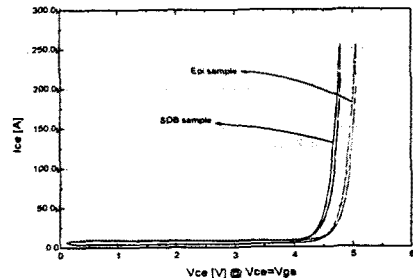
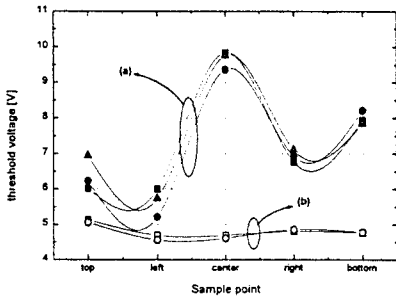


그림 4. threshold 전압 실측 파형

4. 물체로 표면의 particle 및 결함으로 인하여 게이트 산화막이 불균일하게 성장할수 있으며, 표면의 불안정으로 인하여 channel이 형성되는 부위의 이동도의 감소로 인한 threshold 전압이 증가할수 있다. 그림 5.에 주어진 바와 같이 실험 결과에서도

SDB wafer 제작시 중심부위에 particle 및 결함이 편중하는 경우는 threshold 전압이 증가하였으며, 그렇지 않은 경우는 균일한 특성을 나타내었다.



(a) particle 및 결함이 wafer 중앙에 편중한 경우
(b) particle 및 결함이 제거된 경우

그림 5. threshold 전압 분포

C. Saturation voltage 및 falltime.

Saturation 전압 및 falltime의 측정은 각각 정격 전류와 inductive load에서 측정하였다. 기존의 IGBT의 경우 전자조사 공정을 통하여 아노드 영역에서 주입된 정공들의 lifetime을 감소시켜 스위칭시 아노드로부터 주입된 정공들의 재결합율을 증가시켜서 빠른 스위칭 속도를 얻는 방법을 사용한다. 그러나, 본 논문에서 구현한 SDB IGBT의 경우 고농도 buffer층이 아노드로부터 주입되는 정공을 제한하고, 스위칭시 recombination center로 작용하여 빠른 스위칭 속도를 얻을수있다. 고농도 buffer 영역이 recombination center로 작용하는 것은 carrier lifetime이 농도에 영향을 받기 때문이며, 그 영향은 다음과 같이 표현된다[5].

$$\tau_{dop} = \tau_{min} + \frac{\tau_{max} - \tau_{min}}{1 + (N_i/N_{ref})^\beta}$$

뿐만아니라 buffer 영역에 한정된 recombination center를 형성하므로 기존 전자조사된 경우와 비교할 때, base transport factor가 개선된 효과를 나타내므로 낮은 도통 전압을 얻을수 있었다.

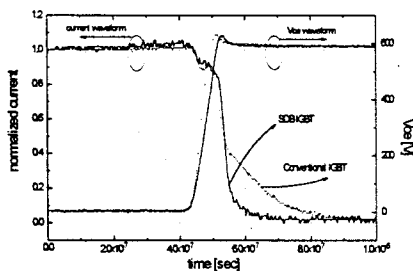


그림 6. 기존 IGBT와의 스위칭 특성 비교.

SDB IGBT와 기존 3세대 IGBT의 스위칭시 실측 파형을 비교해 보면, 그림 6.에 주어진 바와 같으며, SDB IGBT의 경우 tail 영역이 거의 없음을 알수있다. Trade-off 곡선상에서 기존 3세대 IGBT와 특성을 비교해 보면, 그림 7.에 주어진 바와 같으며, SDB IGBT가 특성이 우수함을 알수 있다.

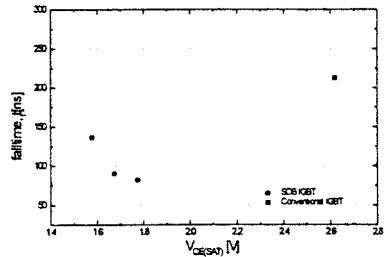


그림7. trade-off 곡선

3. 결 론

SDB 기술을 적용하여 형성된 고농도의 buffer층이 아노드 영역에서 주입되는 정공의 주입 효율을 제어함과 동시에 recombination center로 작용하므로 빠른 스위칭 속도를 얻을수 있었으며, 기존의 전자 조사 공정을 취하지 않음으로써 낮은 도통 전압을 유지할수 있었다. 뿐만아니라 wafer 내에 분포하는 산포는 bonding 계면의 문제보다는 표면의 결함 및 particle에 의한 영향이 주된 영향으로 이는 후처리 공정을 통하여 개선할수 있었다.

[참 고 문 헌]

- [1] G.majumdar, J.Yamashita, H.Nishihara, Y.Tomomatsu, N.Soejima, M.Tabata, H.Hagino, "A New Generation High Speed Low Loss IGBT Module," pros. ISPSD'92, pp168-171, 1992.
- [2] M.Harada, T.Minato, H.Takahashi, H.Nishihara, K.Inoue, I.Takata, "600V Trench IGBT in Comparison with Planar IGBT," pros. ISPSD'92, pp168-171, 1994.
- [3] J.Yamashita, A.Uenishi, Y.Tomomatsu, H.Haruguchi, H.Takahashi, I.Takata, H.Hagino, "A Study on the Short Circuit Destruction of IGBTs," pros. ISPSD'93, pp35-40, 1993.
- [4] B.Jayant Baliga, "Power Semiconductor devices," PWS, Boston, pp350-362, 1995.
- [5] J.G.Fossum and D.S.Lee, "A physical model for the dependence of carrier life-time on doping density in nondegenerate Silicon," Solid-State electronics, Vol.25,no.8, pp741-747, 1982.