

IGBT 소자를 위한 스너버회로 특성해석 및 설계

김 윤 호, 이 장 선, 김 윤 복
중앙대학교 전기공학과

류 흥 우, 김찬기
한전 전력 연구원

Design and Characteristic Analysis of Snubber Circuits for IGBT devices

Yoon-Ho Kim, Jang-Sun Lee, Yun-Bok Kim, Hong-Woo Ryu, Chan-Ki Kim
Dept. of Electrical Eng., Chung-Ang Univ., Korea Electric Power Research Institute.

Abstract - IGBT는 턴-오프 동안 높은 dv/dt 를 재인가하면 기생적 NPN 트랜지스터를 강제로 도전 시킬 수 있는 변위전류를 유기하는데 이것은 제어의 손실과 잠재적인 디바이스의 손상을 가져오므로 적절한 스너버회로의 설계가 필요하다. 본 논문에서는 IGBT의 SPICE 모델을 이용하여 스위칭 특성을 해석하고, 적절한 스너버 회로의 설계 방식을 제시하였다.

1. 서 론

전력용 반도체 소자의 발달과 전력변환장치의 응용범위의 확대에 따라 장치의 소형경량화, 고효율화, 대용량, 고속화등이 더욱 중요해지고 있다. 그러나 기존의 전력용 트랜지스터나 MOSFET등은 이러한 요구를 만족시키기 곤란하다.[2] 따라서 MOS를 가진 바이폴라소자로 되어있는 IGBT는 MOSFET의 고속 스위칭 특성과 전력용 트랜지스터의 고전력 특성을 겸비하고 게이트에 인가되는 전압만으로 스위칭하는 전압제어 소자이므로 전력용 트랜지스터보다 동작한계가 크고, 게이트 구동회로를 간소화 시킨 새로운 소자로서 최근 주목되어지고 있다. [3]

본 논문에서는 IGBT의 SPICE 모델을 이용하여 스위칭 특성과 스너버회로의 특성을 해석하고, 고주파시 문제가 되는 스위칭시의 전압, 전류 스트레스와 스위칭 손실을 감소시키기 위한 스너버 회로를 설계하고자 한다.

2. 본 론

2.1. IGBT의 모델링

전력전자 회로의 시뮬레이션에 있어 가장 중요한 점은 소자들의 정적, 동적인 동작을 넓은 범위에서 정확히 나타낼 수 있는 전기적 모델의 개발이다. 그림 1은 IGBT의 기본구조와 등가회로를 나타내고 그림 2에 본 논문에서 SPICE 시뮬레이션을 하기 위한 IGBT의 전기적 모델을 보여준다.

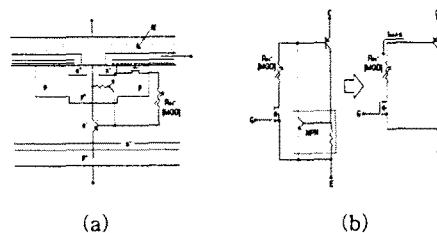


그림 1. IGBT의 기본구조와 등가회로

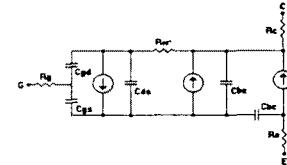


그림 2. IGBT의 전기적 모델

IGBT는 그림 1의 (a)처럼 $P^+ - N^+ - N^-$ 기판으로 구성되어 있고 (b)의 등가회로와 같이 PNP-NPN 트랜지스터 결합에 의한 싸이리스터가 형성되거나 NPN 트랜지스터의 베이스와 에미터는 Al 배선으로 단락되어 있어 가능한 한 동작하지 않도록 설계되어 있으므로 IGBT의 기본동작과는 무관하다. 따라서 IGBT는 MOSFET를 입력단으로, PNP 트랜지스터를 출력단으로 하는 MOS 입력 트랜지스터라 할 수 있다.

IGBT는 N^- 영역의 전도도 변화가 중요한 특성으로 $P^- - N^-$ 층에서 N^- 층으로 주입된 홀(소수 캐리어)에 의해 N^- 층에 전도도 변화가 유기된다. 이 전도도 변화 기능에 의해 MOSFET의 고내압 소자로는 곤란한 저포화 내압특성을 갖는다.

2.2. IGBT 운전을 위한 스너버

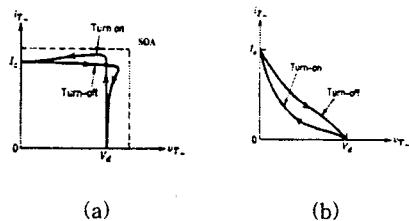


그림 3. 스너버의 효과(V-I 곡선)
(a) 스너버가 없을 때, (b) 스너버가 있을 때

전력용 반도체의 적용기술의 신뢰도는 스트레스 경감을 위한 회로 기술에 달려있다. 회로 설계기술에 있어서 이용될 수 있는 방법은 스너버, 전압 클램프, 스트레스 경감 회로등이 있다. 전력용 반도체에 적용되는 스너버 기능을 요약 하면 과전압 억제, 전압 전류 상승률 제어, 노이즈와 전기자기적 간섭 회피등을 포함한다. 또한 스너버 회로의 설계가 트랜지스터의 동작부하곡선 및 동작점을 변화시키고 스위칭 손실의 일부를 분담함으로 해서 전체 손실에도 영향을 미치기 때문에 본 논문에서는 스너버 회로를 포함한 IGBT 회로의 운전에 관하여 고찰하고자 한다.[1][2] 논문에서는 dV/dt 제어를 위하여 턴-오프 스너버인 RC 스너버와 RCD 스너버를 사용하여 각각의 특성을 분석하였으며 이때 사용한 C_S 와 R_S 의 값은 일반적으로 다음과 같이 결정된다.

$$C_S > \frac{I_{LOAD}}{(dV/dt)} , \quad R_S < \frac{T_{on}}{5 \cdot C_S} \quad (1)$$

일반적으로, C_S 값의 범위는 $0.01 \sim 1 \mu F$ 이고, R_S 값의 범위는 $10 \sim 1000 \Omega$ 이다.

3. 시뮬레이션

3.1 시뮬레이션 회로도

본 논문에서 사용한 시뮬레이션 회로도를 그림 4에 표시하였다. 그림 4에서 L_C 는 Common collector 인덕턴스를 나타내고 L_E 는 회로 인덕턴스이며 권선에 존재하는 기생 인덕턴스를 삽입하여 시뮬레이션의 정확도를 기하였다.

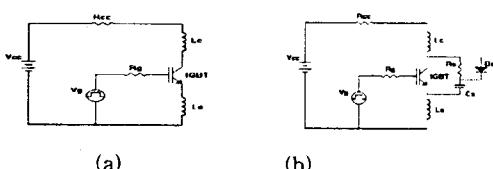


그림 4. 시뮬레이션 회로
(a) 스너버가 없을 때 (b) 스너버가 있을 때

3.2 시뮬레이션 결과

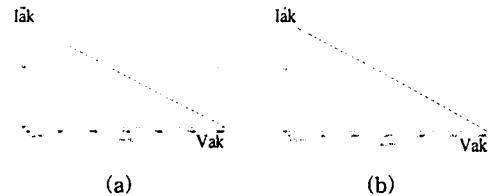


그림 5. IGBT 소자 시뮬레이션 결과
(a) 턴-온시 $V_{ak}-I_a$ 파형,
(b) 턴-오프시 $V_{ak}-I_a$ 파형



그림 6. 스너버를 가진 IGBT 소자의 시뮬레이션 결과

(a) 턴-온시 $V_{ak}-I_a$ 파형, (b) 턴-오프시
 $V_{ak}-I_a$ 파형

IGBT에 턴-오프 스너버를 부가하였을 때, 시뮬레이션 결과는 그림 7에 나타내었다. 이때 적용된 다이오드는 턴-오프시 스위칭 손실을 줄이기 위해 고속 스위칭 다이오드를 사용하였다. RCD 스너버가 포함된 IGBT의 전압, 전류 파형은 스너버가 없는 경우(그림 6)에 비하여 턴-오프시 전압 파형이 길어지므로 dv/dt 가 제어되어 스위칭 손실이 줄어들음을 알 수 있다.

3.3 시뮬레이션 결과 분석

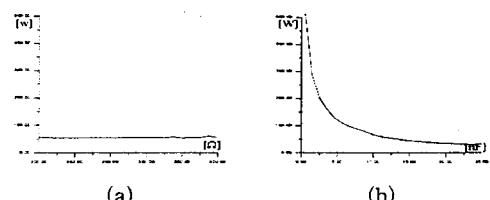


그림 7. 턴-오프시 스위칭 손실의 피크값
(a) R_s 값 변화시, (b) C_s 값 변화시

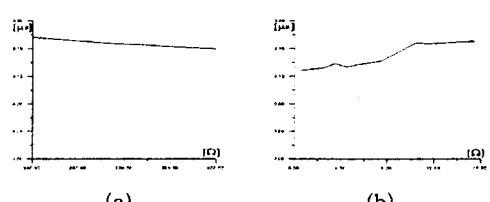


그림 8. 턴-오프 시간
(a) R_s 값 변화시, (b) C_s 값 변화시

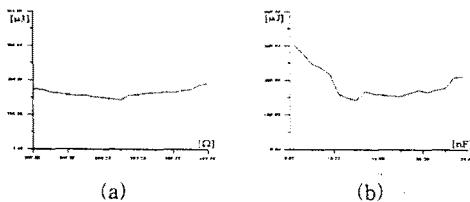


그림 9. 턴-오프시 스위칭 손실
(a) R_s 값 변화시, (b) C_s 값 변화시

그림 7, 8, 9은 각각 턴-오프시 R_s , C_s 값 변화시에 스위칭 손실의 파크값, 턴-오프 시간, 스위칭 손실을 나타내고 있다. 그림에서 보듯이 R_s 값에는 큰 영향을 끼치지 않으나, C_s 값이 증가함에 따라 스위칭 손실의 파크값은 감소하는 경향을 나타내고, 반면에 턴-오프 시간은 증가하는 경향을 볼 수 있다. 그림 10에서 알 수 있듯이 R_s 값에는 크게 영향을 받지 않고, C_s 값이 13nF일 때 가장 낮은 스위칭 손실을 나타내고 있음을 알 수 있다.

4. 실험 결과

실험시 사용한 IGBT소자는 미쓰비시사의 S4DAB3을 사용하였고, 구동회로의 소자는 EXB841을 사용하였다.

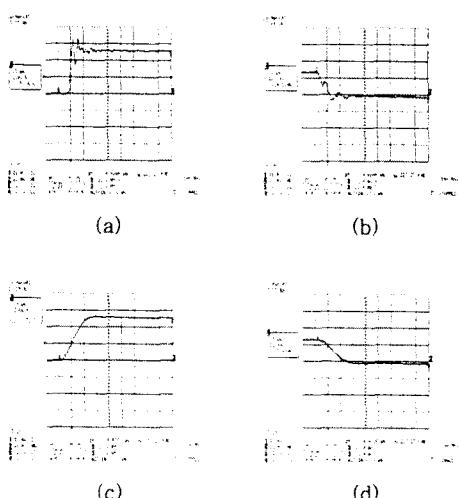


그림 10. 턴-오프시의 애노드-캐소드간의 파형
(a),(b) : 스너버가 없을 때의 전압, 전류 파형
(c),(d) : 스너버가 있을 때의 전압, 전류 파형

그림10에서 보듯이, (a),(b)의 경우보다 (c),(d)의 경우가 전압, 전류 스트레스가 상당히 감소한 것을 볼 수 있다. 스위칭 손실은 그림 11에 나타내었다.

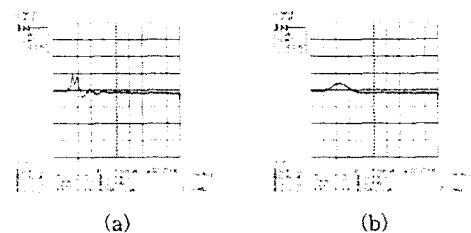


그림 11. 스위칭 손실 비교
(a) 스너버가 없을 때의 손실,
(b) 스너버가 있을 때의 손실

실제 스위칭 스트레스를 비교해 볼 때, 스너버의 R_s 값에는 크게 영향을 받지 않았으며 C_s 값은 10n ~ 20nF의 범위에서 턴-오프시의 낮은 스위칭 스트레스를 나타내었다. C_s 값이 그 범위 보다 작은 값을 취하면 여전히 스트레스를 받게되고, C_s 값이 그 범위를 벗어나 너무 큰 값을 취하면 상승시간이 과다하게 길어진다.

5. 결 론

IGBT의 특성을 고찰하고, 그에 따른 스너버 값을 선정하여 전압, 전류 스트레스를 줄이고, 그로 인한 스위칭 손실 또한 줄일 수 있음을 보였다.

위의 시뮬레이션과 실험에서 설정된 R_s 값과 C_s 값인 300Ω과 10 ~ 20nF은 일반적으로 사용되는 값의 범위 안에 포함되며, 스위칭 손실과 상승시간(하강 시간) 등을 고려할 때, 적절한 값임을 알 수 있다.

(참 고 문 헌)

- [1] W. McMurray, "Selection of Snubbers and Clamps to Optimize the Design of Transistor Switching Converters", in conf. Rec. 1979 IEEE Power Elec. Spec. Conf., pp 62-74.
- [2] A. Ferraro, "An Overview of Low-Loss Snubber Technology for Transistor Converters", in Conf. Rec. 1982 IEEE Power Elec. Spec. Conf., pp 466-477.
- [3] Mohan, "Converters, Applications, and Design", WIE WILEY, 1995.
- [4] Cyril W.Lander, "Power Electronics", 3rd Edition, Mc Graw Hill, 1993. pp 442-447.