

디지털 출력 압력 센서

○김 현 철, 전 국 진
서울대학교 전기공학부

Digitized Pressure Sensor

○Hyeoncheol Kim, Kukjin Chun
School of Electrical Engineering, Seoul National Univ.

Abstract

We propose the digitized pressure sensor and the interface circuit to read directly the pressure signal in the digital form. The interface circuit has the control clock, comparator, and bit value decision circuit. The digitized sensor and interface circuit are integrated on the one chip using the post processing after IC fabrication. The dimension of the fabricated digitized pressure sensor is $3 \times 6 \times 1mm^3$.

1. 서론

정전 용량형 실리콘 압력 센서는 지난 수십년 동안 개발되어져 왔으며 그 제조 기술은 마이크로머시닝 기술로 집약되어 잘 다듬어져왔다. 정전 용량의 변화를 전기적인 신호로 변환하는 기술도 switched capacitor integrator, CF 변환기, C-PWM 변환기 등을 통하여 발전하여 왔다[1]. 그러나 이러한 센서나 신호감지 회로는 아날로그 출력이며 전원 전압 변동 및 온도 변화에 영향을 많이 받는 단점이 있으며, 전원 안정화 회로 및 온도 보상 회로 등이 별도로 필요하게 된다. 이러한 것들은 회로를 복잡하게 만들며 비용을 증대시킨다.

본 연구에서는 디지털 형태의 출력을 직접 갖도록 한 정전 용량형 압력 센서를 제안한다. 제안된 압력 센서는 기존의 정전 용량형 압력 센서와 비슷하게 실리콘 다이아프램위에 센서 캐패시터가 있으며, 그 주위에 각기 다른 값을 갖는 기준 캐패시터가 있다. 특별히 고안된 인터페이스 회로를 통하여 센서 캐패시터의 전하와 기준 캐패시터 전하를 비교하여 디지털 출력을 얻게 된다.

2. 인터페이스 회로

2.1. 회로 구조

제안된 디지털 출력의 압력 센서에 대한 개략도가 그림 1.에 나와 있다. 디지털 출력의 센서부와 제어 클락 발생 회로, 비교기, 그리고 각 비트 결정 회로로 구성된다.

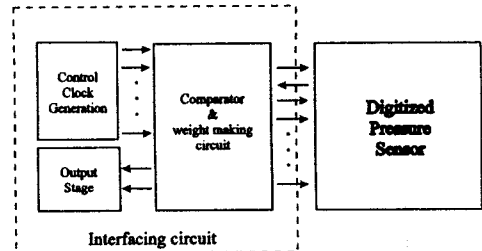


그림 1. 제안된 디지털 출력의 압력 센서에 대한 개략도. 디지털 출력을 갖는 센서부와 제어 클락 발생 회로, 비교기, 그리고 각 비트 결정 회로로 구성된다.

제어 클락 발생 회로는 ring oscillator를 통하여 1.2MHz 클락을 만들고 그림 2(a)에서 보는 바와 같이 주파수 분주기를 통하여 300KHz 트리거링 클락과 9.5KHz의 샘플링 클락을 만든다. 그림 2(b)에서는 샘플링 클락을 입력으로 하여, 300KHz 트리거링 클락이 한번 지날 때마다 한 클락 지연되는 회로를 보여주고 있다.

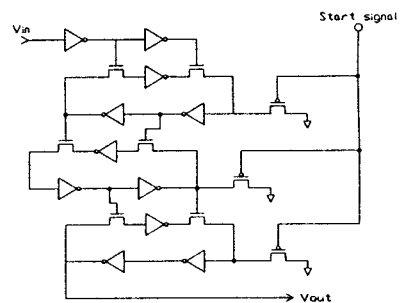


그림 2. (a) 주파수 분주기 회로도

Ring oscillator는 5개의 인버터와 저항 그리고 캐패시터를 이용하여 설계하였다. 클락 주파수는 저항과 캐패시터의 RC 지연을 이용하여 설계하였다. 주파수 분주기는 3개의 인버터와 2개의 NMOS 패스 게이트를 사용하여 구현하였으며 전체적으로 7개의 주파수 분주기를 사용하였다.

트리거링 클락과 샘플링 클락을 만들도록 설계하였다. 각각의 주파수 분주기의 초기 상태를 결정하기 위하여 별도로 PMOS를 사용하여 초기치가 결정되도록 하였다. 한 클락 지연 회로는 6개의 트랜지스터를 사용하여 dynamic D-latch가 되도록 하였다. 그 결과로 각 단계에서는 한 클락씩 지연된 신호가, 샘플링 클락, V_{in} , ϕ_1 , ϕ_2 , ϕ_3 , ϕ_4 , ϕ_5 , ϕ_6 , ϕ_7 그리고 ϕ_8 으로 나오게 된다.

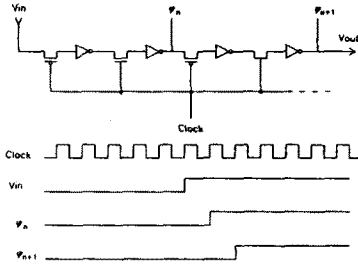


그림 2.(b) Dynamic D-latch를 이용하여 구현한 한 클락 지연되는 회로도

각 비트의 값을 결정해 주는 회로가 그림 3에 나와 있다. 그림 3에서 비교기를 제외하고 나머지 회로는 각 비트마다 반복되어 C_n 을 통하여 노드 (1)에 연결된다. 각 비트에 연결된 캐패시터 C_n 은 실리콘 위의 금속 전극과 나중엔 양극 집합을 통하여 형성하게 될 유리 위의 금속 전극으로 만들어진다. 공정의 특성상 센서 캐패시터와 여러 기준 캐패시터의 절대적인 값은 전극간의 간격 그리고 전극의 면적 등에 의하여 차이가 나지만 상대적인 값의 차이는 전극의 면적에 따라서 다르게 된다. 그러므로, 전극 면적을 변화시켜서 기준 캐패시터 C_0 는 센서 캐패시터 C_x 의 값과 같게 하고 C_1 은 C_0 의 반이 되도록 하고 C_2 는 C_1 의 반이 되도록 센서를 설계할 수 있다.

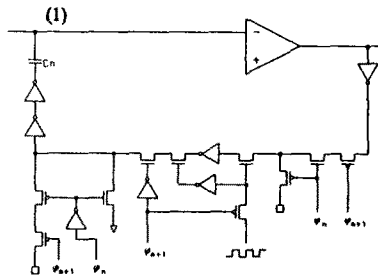


그림 3. 비교기와 비트 결정 회로도

여기에서 노드 (1)에 연결된 C_n 은 압력 센서부의 기준 캐패시터를 나타낸다.

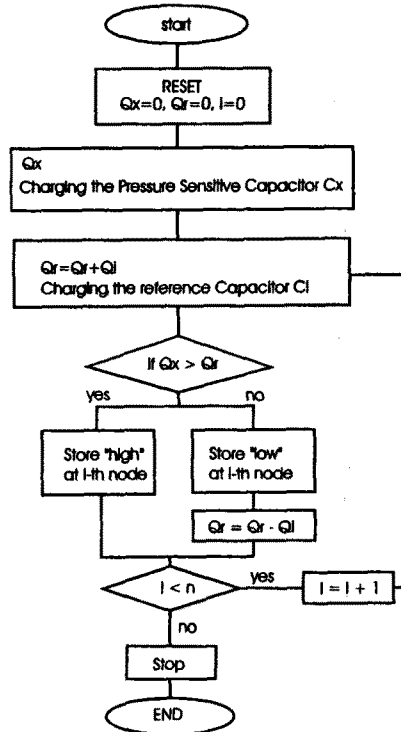


그림 4. 디지털 출력 압력 센서의 알고리즘

2.2. 출력감지회로 알고리즘

출력감지회로의 알고리즘은 전하재분배 원리를 이용한 순차적근형 A/D 변환기의 원리와 비슷하다[2][3]. 이 알고리즘의 핵심은 센서 캐패시터를 이용하여 유도한 전하를 기준 캐패시터를 이용하여 재분배하고 그 값을 처음의 값과 비교하여 'high' 상태와 'low' 상태를 결정하는 것이다. 이러한 과정을 그림 4에서 보인 바와 같이 도식적으로 설명하면 다음과 같다. 샘플링 클락이 'high'이면 비교기의 입력단 노드 (1)가 리셋된다. 샘플링 클락이 'low'가 되고 다음 V_{in} 클락이 'high'에서 'low'로 바뀌면 노드 (1)에는 $-V_{pm} \cdot C_x$ 만큼의 전하 Q_x 가 쌓이게 된다. 여기에서 V_{pm} 은 클락의 'high'와 'low' 사이의 전압차이다. 다음 클락에서 클락 ϕ_1 이 'low'에서 'high'로 바뀌면 노드 (1)에는 C_1 을 통하여 $V_{pm} \cdot C_1$ 의 전하가 추가로 쌓이게 되어 처음의 $-V_{pm} \cdot C_x$ 와 합하면 $V_{pm} \cdot (C_1 - C_x)$ 가 된다. 이 때, C_1 이 C_x 보다 작은 값이면 비트 결정 회로의 출력이 'high' 상태가 되도록 하여 노드 (1)에는 $V_{pm} \cdot (C_1 - C_x)$ 양의 전하가 남도록 하고, C_1 이 C_x 보다 큰 값이면, 비트 결정 회로의 출력이 'low'가 되도록 하여 결국 노드 (1)에는 $-V_{pm} \cdot C_x$ 량의

전하가 남아 있도록 한다. 이러한 과정을 최상위 비트로부터 최하위 비트까지 각각에 해당하는 기준 캐패시터를 통하여 반복한다. 이 때, 비트 결정 회로에서는 비교기를 통하여 나온 출력에 그 이전의 비트 결정 회로가 영향을 받지 않도록 설계한다. 그러므로 비교기를 통하여서는 최상위 비트로부터 최하위 비트까지 연속적으로 직렬 데이터 형태로 나오게 되며 각각의 비트 결정 회로의 출력에서는 각 비트에 해당하는 값이 'high'와 'low' 형태로 각각 저장되어진다.

이러한 직렬 형태의 데이터는 트리거링 클락과 혼합되어서 샘플링 클락이 'high'일 때는 트리거링 클락이 나오고 샘플링 클락이 'low'일 때에는 센서 출력이 나오게 된다.

3. 제작 및 결과

이 인터페이스 회로는 3 μ m n-well CMOS 공정을 이용하여 제작되었다. 인터페이스 회로가 제작된 실리콘 기판위에 후공정으로 디지털 형태의 압력 센서가 제작되었다. 먼저, 웨이퍼 앞면에 PR 코팅을 하고, 집적회로를 제조하면서 생성된, 뒷면의 여러 박막층을 제거하였다. PR 스트립을 하고 나서, TEOS 산화막을 1.2 μ m 증착하였다. 양면 정렬기를 이용하여 실리콘 다이아프램 식각을 위한 패턴을 형성하였다. 그리고 특별히 고안된 지그를 사용하여 웨이퍼 앞면을 보호하며 70 $^{\circ}$ C 20%wt KOH 수용액에서 12시간 식각하여 다이아프램을 만들었다. Pyrex #7740 유리위에 500 \AA Cr/1500 \AA Au를 열증착하고 패턴닝하여 유리 식각사의 식각 마스크로 사용하였다. 유리는 7:1 BHF에서 30분동안 식각하여 3 μ m 깊이가 되도록 하였으며, PR strip후 다시 한 번 리소그래피를 하여 금속 배선 feedthrough를 형성하였다. 그리고 유리위의 PR 층 및 Cr/Au 층을 벗기내고 4:1 H2SO4:H2O2에서 클리닝을 하였다. 유리위에 금속 전극을 형성하기 위하여 500 \AA Cr/1500 \AA Au 금속을 열증착하고 패턴닝하였다.

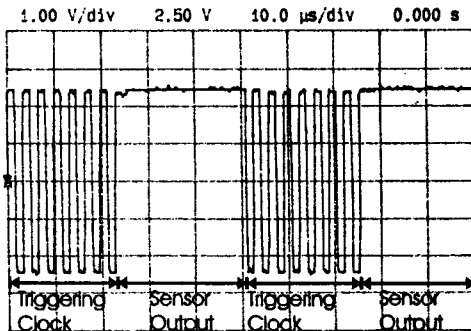


그림 5. 트리거링 클락과 센서 출력이 혼합되어 나오는 디지털 출력 압력 센서의 출력 결과

이렇게 제작된 실리콘 부분과 유리 부분을 각각 dicing하여 800V, 350 $^{\circ}$ C에서 양극 접합을 하여 디지털 압력 센서를 제작하였다..

압력 센서의 출력 파형이 그림 5.에 보이고 있다. 트리거링 클락과 센서 출력이 혼합되어 교대로 출력되고 있다. 측정된 트리거링 클락은 309.7KHz를 보이고 있다.

압력 테스트의 결과가 그림 6.에 보이고 있다.

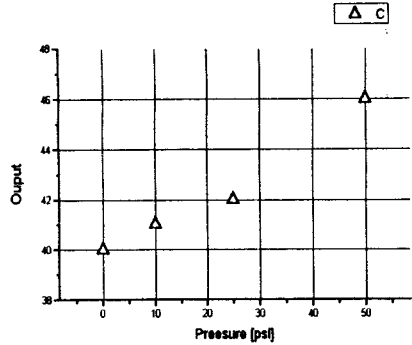


그림 6. 디지털 출력 압력 센서의 압력 측정 결과

4. 결론

트랜스판더용에 적합한 디지털 출력의 압력 센서가 제안되었으며, 압력 센서와 인터페이스 회로는 on-chip 형태로 제작되었으며 그 크기는 3 \times 6 \times 1mm³이다. 제작된 압력 센서의 출력은 전원 전압의 변동에 따라 주파수가 300KHz에서 310KHz까지 변화하였을 때의 영향을 받지 않았다.

참고 문헌

- [1] H. H. B며, N. F. de Rooij, B.Kloeck, Sensors vol.7, mechanical sensors, 1994, pp.105-144
- [2] P. E. Allen and D. R. Holberg, CMOS Analog Circuit Design, 1987, pp.520-587
- [3] J. H. Kung, H. S. Lee and R. T. Howe, "A Digital Readout Technique for Capacitive Sensor Applications," *IEEE J. of Solid-State Circuits*, vol.23, NO.4, August 1988