

권경안*, 박재식*, 박민용*, 김권호**, 정용채***

* 연세대학교 전자공학과

** 한국과학기술연구원(KIST)

***LG전자 생활시스템연구소

High Efficiency Quasi-Parallel Resonant DC-Link Inverter with Lossless Controllable Zero Voltage Interval

K.A. Kwon, J.S. Park, Mignon Park

Yonsei University

K.H. Kim

Korea Institute of Science and Technology

Y.C. Jung

L. S. Laboratory, LG Electronics Inc.

Abstract

High Efficiency Quasi-Parallel Resonant DC-Link Inverter shows highly improved PWM capability, low loss characteristic and low voltage stress is presented. A method to minimize freewheeling interval, which is able to largely increase DC-link operation losses and to steadily guarantee soft switching in the wide operation region is proposed. Analysis and multiple experiments were performed to verify validity of the proposed inverter topology.

서론

스위칭 손실 및 이로 인한 스위칭 주파수의 한계 및 PWM 제어의 제한성 등과 같은 문제점들을 개선하기 위하여, Active Clamp Resonant DC-link (ACRDCL) 인버터[2]가 발표된 이래로 많은 종류의 소프트 스위칭 인버터들이 연구되어 왔다. 그러나 ACRDCL 인버터에 있어서 높은 voltage stress(1.3-1.5p.u) 및 PWM capability 특성의 열화 등과 같은 새로운 문제점들이 발생했으며, 이의 개선을 위해 Parallel Resonant DC-link(PRDCL) 인버터 [3-6,8] 등이 발표되었고, 최근에는 PWM 제어성 및 내압 특성이 개선된 Quasi Resonant DC-link (QRDCL) 인버터[7,9] 및 Quasi-parallel Resonant DC link(QPRDCL) 인버터 [10] 등이 제안된 바 있다. 그러나 이러한 최선의 인버터 방식에 있어서도 Freewheeling 구간의 손실로 감소되는 공진전류 때문에 낮은 Modulation Index의 동작영역에 있어서는 완전한 Zero Voltage 스위칭을 보장할 수 없으며, 이를 보상해 주기 위해 사용되는 초기 전류의 중대방법 또한 링크 동작기간 동안의 손실 증가를 초래했다. 본 논문에서는 PRDCL 및 QPRDCL inverters 경우처럼 Zero Voltage 구간동안 공진 인덕터에 freewheeling 전류의 형태로 에너지를 저장하는 대신에 Input DC Capacitor에 손실없이 저장시키는 새로운 방법을 채택함으로써 DC-link 링크손실을 발생시키는 이 freewheeling구간을 효과적으로 감소화 시켰으며, 또한 Zero Voltage 구간을 가변시킴으로써 개선된 PWM capability 특성 및 저손실 특성을 가지는 새로 High Efficiency quasi-parallel resonant DC-link inverter를 제시 하였다.

2. 회로의 동작

그림 1은 제안된 High Efficiency Quasi-Parallel Resonant DC-Link Inverter 이며, 이 것은 Q1, Q2, Q3 3 개의 스위칭 소자, 공진인덕터 L_r , 공진캐패시터 C_r 그리고 입력 DC 캐패시터 $C1, C2$ 로 구성되어 있다.

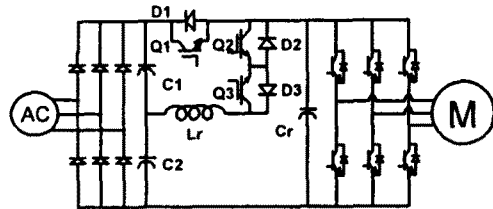


그림 1 The proposed inverter

이 입력 캐패시터 $C1, C2$ 는 공진 인덕터 전류 i_{Lr} 을 반대하기 위해 인덕터 에너지를 저장하고, 되돌려주며 캐패시터의 용량은 공진 캐패시터 C_r 에 비하여 매우 커야 한다. 스위칭 기간동안 부하전류가 일정한 current source I_o 로 될수 있도록 공진 인덕터 L_r 은 부하 인덕턴스보다 충분히 작아야 한다. 동작을 단순하게 하기 위해 스위칭 소자와 공진 소자는 이상적인 것으로 가정한다.

그림 2는 link를 설명하기 위해 제안된 인버터의 등가회로를 나타내고 있다. 여기서 I_{inv} 는 모든 인버터 스위치를 위해 사용된다.

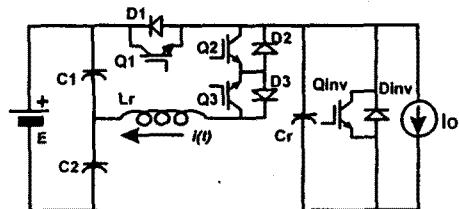


그림 2 Equivalent Circuit

모드에 관련된 파형이 그림 10, 그림 11, 그림 12에 나타나 있다. 동작모드는 그림 9에서 처럼 7개의 모드로 되어 있다.

Mode 0 (Fig.3, t7-t0, Q1:on, Q2, Q3 and Qinv : off) :

이 모드는 non-zero vector 선택모드이고, 부하전류 I_o 는 스위치 Q1 또는 antiparaleel diod D1으로 흐른다.

이 High Efficiency Quasi-Parallel Resonant DC-Link Inverter 회로는 큰 전류를 효과적으로 전달 해주는 회로이다.

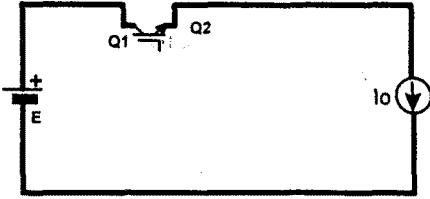


그림 3 Mode 0

Mode 1 (Fig.4, t0-t1, Q1 and Q2 : on, Q3 and Qinv : off) :

인버터 스위칭 상태 변경이 필요할 경우 스위치 Q2는 공진 인덕터 전류 i_Lr 을 적당한 값 I_i 로 초기화하기 위해 zero current condition으로 on 한다.

인덕터 전류 i_Lr 은 직선적으로 증가한다.

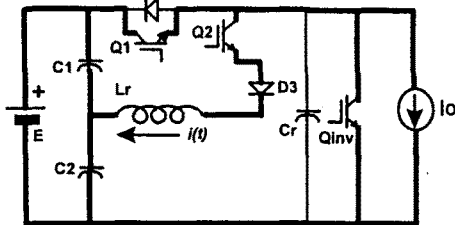


그림 4. Mode 1

Mode 2 (Fig.5, t1-t2, Q2 : on, Q1, Q3 and Qinv : off) :

zero voltage condition 으로 Q1을 off함으로서 Lr 과 $C2$ 사이 에 공진이 발생한다. 공진 캐패시터 전압 V_{cr} 은 DC source voltage E에서 zero까지 공진으로 감소한다.

Mode 3 (Fig.5, t2-t3, Q1 and Q2 : on, Q3 and Qinv : off) :

공진 캐패시터 전압 V_{cr} 은 zero로 유지하고 인덕터에 유지되도록하기 위해 사용된 에너지는 인버터 스위치의 antiparallel diodes (Dinv)를 통하여 공진 인덕터 전류 i_Lr 가 freewheeling되는 동안에 입력 캐패시터에 전달된다. 이 모드에서 모든 인버터 스위치들은 zero voltage상태에 있다. 이 모드는 인덕터 전류 i_Lr 이 zero가 될 때까지 계속된다

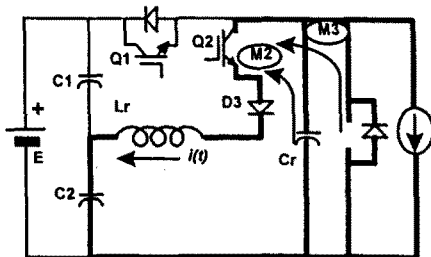


그림 5 Mode 2 & Mode3

Mode 4 (Fig.6, t3-t4, Q1, Q2 and Q3:off, Qinv : on or off) :

2개의 입력 캐패시터 전압은 각각 mode 3의 최종 값으로 유지한다. 그러므로 이 모드에서는 전손 손실이 발생하지 않는다. 더구나, 이 모드 (M4)의 기간은 제어 가능하고 따라서 link pulse position은 PWM controller에 의해 주어진다 어떤 위치에 위치시킬 수 있다.

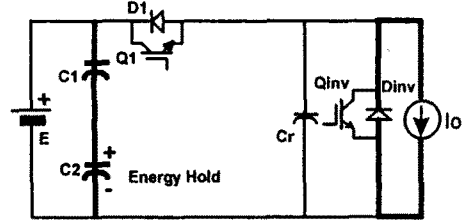


그림 6 Mode 4

Mode 5 (Fig.7, t4-t5, Q1 and Q2 : off, Q3 and Qinv : on) :

인버터 스위칭 상태의 변화가 완료 되었을 때 commutation interval 동안 두 개의 DC 캐패시터에 저장된 에너지를 방출하기 위해 Q3와 Q4.를 on함으로서 인덕터 전류 방향 바꿀 수 있다. 인덕터 전류 i_Lr 이 적절한 값 $-I_o$ 까지 증가한다.

Mode 6 (Fig.7, t5-t6, Q1, Q2 and Qinv : off, Q3 : on) :

PWM controller에 의해 선택된 인버터의 어떤 스위치는 zero voltage condition으로 off된다. (이것은 Qinv가 off됨을 의미한다.) 인버터 스위칭 상태는 변화되었고, 이 때 전류 I_o 는 다음 스위칭 상태에 의해서 결정된 다음 부하 조건에 따라 변화 된다. Lr 과 Cr 사이의 공진은 다시 시작되고 공진 상태에서의 전압 V_{cr} 은 DC source voltage E까지 증가한다.

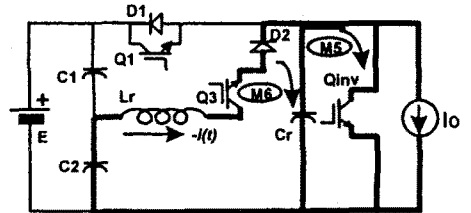


그림 7 Mode 5 & Mode6

Mode 7 (Fig.8, t6-t7, Q1, Q2 and Qinv : off, Q3 : on) : 공진 인덕터의 나머지 전류는 다이오드 D1을 통해 흐르고 결국 zero가 된다. 이 기간 동안에 스위치 Q1은 zero voltage condition으로 on할 수 있다. 이 같은 방법에 의해 High Efficiency Quasi-Parallel Resonant DC-Link Inverter의 한 스위칭 주기는 완료된다. 어떤 모드에 대하여 요구되는 시간은 전술된 High Efficiency Quasi-Parallel Resonant DC-Link Inverter 동작이 성공적으로 이루어 지도록 할당되어야 한다.

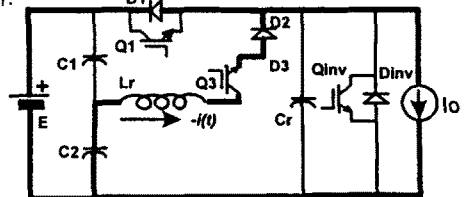


그림 8 Mode 7

3. 실험 결과

제안된 인버터의 동작을 검증하기 위하여 High Efficiency Quasi-Parallel Resonant DC-Link Inverter 의 prototype 을 구성하고 시험하였다. 모든 스위칭 소자는 IGBT (Toshiba's 3T60M301:diode built in type) 이며, 공진소자는 $L_r = 100\mu\text{H}$, $C_r = 0.033\mu\text{F}$, $C_1 = C_2 = 1,500\mu\text{F}$ 이었다. 그림 10은 스위칭 소자들의 동작 결과, 신호 동작에 대한 공진 전압 $V_{cr}(t)$ 과 $i_{Lr}(t)$ 의 파형을 나타내고 있다. 그림에 나타난 것 같이 이전에 설명한 것들과 일치한다. 그림 11은 모드 1의 상세한 파형을 나타낸다. 이 그림으로부터 2개의 스위칭 동안에 공진 인덕터 L_r 의 초기 전류가 직선적으로 증가하고, Q1 과 Q2 는 on 기간에 있고, 후에 Q1은 off되며, 전류 $i_{Lr}(t)$ 은 인덕터 L_r 을 통하여 공진으로 흐르고, 공진 캐패시터 전압 V_{cr} 은 공진적으로 감소한다는 사실을 알 수 있다. 결국 nverter commutation 을 위해 ZVS 조건을 만들 수 있다. 또한 그림 11 에서, IGBT의 turn-on time delay 에 의해 약간의 시간지연 (td)이 발생하고 있음을 알 수 있다. 그림 12는 zvs M 4)의 기간을 제어할 수 있고 link pulse position 은 PWM ontroller에 의해서 원하는 어떤 위치에 위치 시킬 수 있다. 안전한 동작을 위해서 모드5에서 저장된 인덕터 에너지는 apacitor voltage $V_{cr}(t)$ 을 E까지 회복할 수 있도록 충분히 시야 한다.

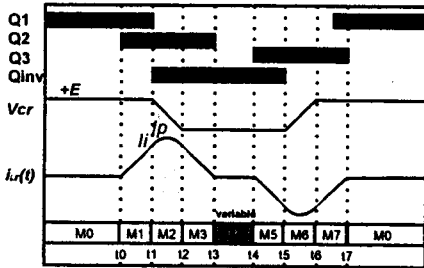


그림 9 operational sequence

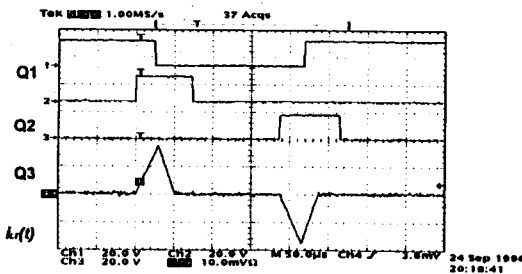


그림 10 operational waveforms

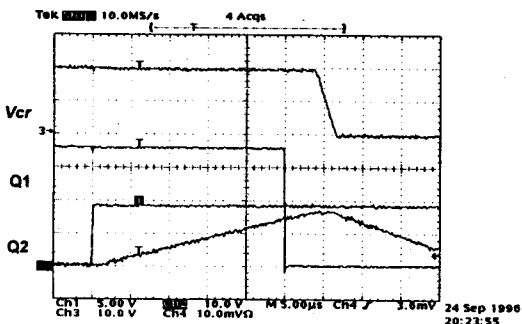


그림 11 detail waveforms

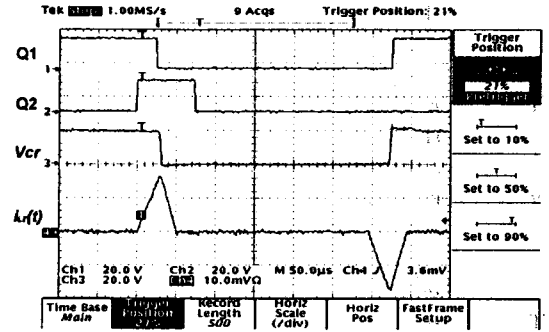


그림 12 the change of zero voltage duration

4. Reference

- [1] D.M Divan, "The Resonant DC Link Converter - A New Concept In Power Conversion", IEEE-IAS Annual Conference Records, pp. 648-656, 1986.
- [2] D.M Divan and G.L. Skinbinski, "Zero Switching Loss Inverters for High Power Application", IEEE-IAS Annual Conference Records, pp. 627-634, 1987.
- [3] Jin He and Ned Mohan, "Parallel Resonant DC Link Circuit- A Novel Zero Switching Loss Topology with Minimum Voltage Stress", IEEE Power Electronics Specialist Conf. Rec., pp. 1006-1012, 1989.
- [4] Jin He, et. al., "Zero Voltage Switching PWM Inverter for High Frequency DC-AC Power Conversion", IEEE - IAS Annual Conference Records, pp. 1215 - 1221, 1990.
- [5] Jung G. Cho, et. al., "Novel Soft Switching PWM Converter Using A New Parallel Resonant DC-Link", IEEE Power Electronics Specialist Conference Records, pp.241-247, 1991.
- [6] Y. C. Jung et. al., "A New Zero Voltage Switching Resonant DC-Link Inverter with Low Voltage Stress", IEEE IECON Rec., pp.308-313, 1991.
- [7] L. Malesani, et. al., "High Efficiency Quasi Resonant DC Link Converter for Full-Range PWM", Proceedings of the IEEE APEC '92, pp.472-478, 1992.
- [8] W. Yi, et. al., "Program-Controlled Soft Switching PRDCL Inverter with New Space Vector PWM Algorithm", IEEE Power Electronics Specialist Conference Records, pp.313-319, 1992.
- [9] M. Dehmlow, et. al., "Resonant Inverter System for Drive Applications", European Power Electronics and Drives Journal, Vol.2, No.4, Dec., pp225-232, 1992.
- [10] Y. C. Jung et. al., "Quasi- Parallel Resonant DC-Link Inverter with Improved PWM Capability", IEE Electronics Letter Vol. 30, No. 22, Oct., pp. 1827-1828, 1994.