

저전력 DRAM을 위한 온-칩 온도 감지 회로

김영석<sup>\*0</sup>, 이종석<sup>\*</sup>, 양지운<sup>\*\*</sup>, 이현석<sup>\*</sup>, 성만영<sup>\*</sup>  
 \* 고려대학교 전기공학과 \*\* 현대전자 연구원

CMOS On-Chip Temperature detector circuit For Low Power DRAM

Kim Young Sik<sup>\*0</sup>, Lee Jong Seok<sup>\*</sup>, Yang Ji Un<sup>\*\*</sup>, Lee Hyun Seok<sup>\*</sup>, Sung Man Young<sup>\*</sup>  
 \*Korea University, \*\*Hyundai Electronics

요약

The self-refresh mode was introduced as method to reduce power dissipation in DRAM. Because the data retention time of DRAM cell decreases as the ambient temperature rises, the internal period in self-refresh mode must be limited by retention capability at the highest temperature in DRAM specification. Because of this, at room temperature(25°C) unnecessary power dissipation happens. If the period of self-refresh could be modulated as temperature, it is possible to reduce the self-refresh current. In this paper, new temperature detector circuit is suggested as this purpose.

1. 서론

최근 EDO-DRAM, SDRAM, Rambus DRAM 등 DRAM은 점점 더 고속화 되고 있다. 또한 노트북형 컴퓨터의 보급이 확대되고 있어 DRAM에서 소비전력을 줄이기 위한 노력이 진행되고 있다. 이러한 노력의 일환으로 DRAM의 내부에 Self-Refresh기능을 탑재하여 소비전력을 줄이는데 큰 기여를 하였다. 그러나 이 Self Refresh의 주기는 DRAM이 안전하게 Refresh동작을 수행하기 위해 가장 나쁜환경(낮은 전원 전압과 고온)에서 DRAM의 Cell이 데이터를 보유할 수 있는 시간에 의해 정해진다. 그러므로 실온(25°C)에서는 실제 필요한 주기보다도 훨씬 빠른 주기를 선택하게 되어 불필요한 전력 손실을 유발한다. 이를 방지하기 위해서 DRAM내부에 온도를 감지할 수 있는 회로를 두어 선택적으로 주기를 택하여 Refresh동작을 수행하게 하는 방법이 고안되었다[1].

본 논문에서는 추가 공정이 필요없어 on-chip제작이 가능하고 전원 전압의 변화에 둔감한 안정적인 온도감지 회로를 제안하였다.

2. 이론적 고찰

본 논문에서 제안된 온도 감지 장치는 온도에 따라 전압 변화가 둔감한(혹은 전압에 따라 증가하는) 회로와 온도에 따라 전압이 감소하는 회로를 이용하여, 이들 두 회로의 출력전압을 비교하여 특정온도를 감지하는 방식이다. 그림 1. 에서 대략적인 회로구성을 나타내었다.

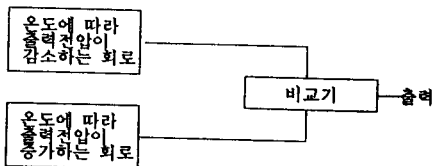


그림 1. 온도 감지 회로의 회로 구성도

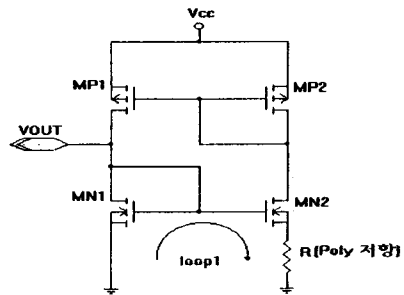


그림 2. 출력전압이 온도에 따라 증가하는 회로  
 그림 2. 회로의 loop1에서 KVL을 적용하여 보면,

$$V_{out} = V_{TM} + \frac{2}{R} \left[ \frac{1}{\beta_1 \beta_2} (1 - \frac{\beta_2}{\beta_1}) \right]^{-1} \quad (1)$$

여기서  $\beta = C_m \mu_n \frac{W}{L}$  와 같이 된다. (여기서  $\beta_1$ 은 MN1,  $\beta_2$ 는 MN2에 해당한다) 식(1)에서도 보듯이 출력 전압이 전원 전압 ( $V_{cc}$ )의 의존성을 보이지 않는다. 그리고 출력전압에서 온도에 영향을 받을 수 있는 항은 문턱전압과 MOS 채널의 이동도 그리고 Poly저항(그림 2에서 R)이 있다. 여기서 일반적인 문턱전압은 온도에 대해 다음과 같은 특성이 있다[2].

$$\frac{\partial V_{TM}}{\partial T} = \frac{\partial \phi_B}{\partial T} \left( 2 + \frac{1}{C_m} \left[ \frac{\epsilon_s q N_A}{\phi_B} \right] \right), \quad (2)$$

$$\frac{\partial \phi_B}{\partial T} = \frac{1}{T} \left( \frac{E_g(T=0)}{2q} - \phi_B \right)$$

여기서  $\phi_B$ 는 산화막과 실리콘 경계에서의 전위,  $E_g$ 는 실리콘의 에너지 밴드갭,  $N_A$ 는 벌크농도  $C_m$ 는 gate산화막의 정전용량,  $V_{TM}$ 은 MN1의 문턱전압에 해당한다.

이 식에서 온도에 따라 문턱 전압의 감소하는 이유는 온도에 따라 표면 전압이 감소하기 때문이며 벌크 농도와 산화막 두께의 조절로 어느 정도는 조절이 가능하다. 벌크 도핑 농도 ( $N_A$ )를  $3 \times 10^{16} cm^{-3}$ , 게이트 산화막 두께를 100Å라고 하면,

$$\frac{\partial V_{TN}}{\partial T} \sim \partial V_{\text{문턱전압}} \sim 0.21\text{mV}/^{\circ}\text{C}$$

실제 실험적으로 구한 값은 그림 3. 에 나타내었다. 그림 3의 실험 곡선에서 온도에 대한 기울기는  $\sim 0.2\text{mV}/^{\circ}\text{C}$ 로 나타났다.

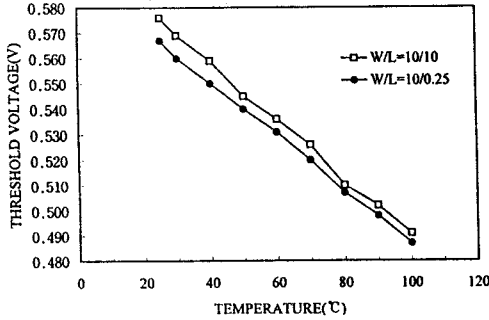


그림 3. 온도에 따른 문턱 전압의 변화

온도에 따른 저항 변화는 그림 4과 같이 나타나며, 온도 계수는 0.02정도 된다. 그러므로 저항의 온도 변화는 무시할 수 있다.

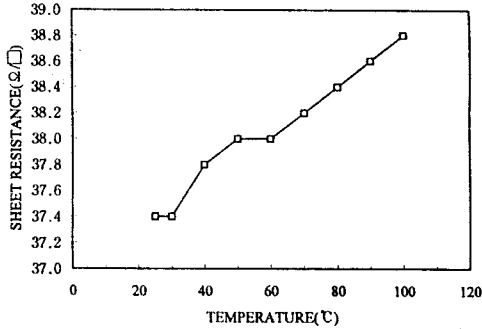


그림 4. Poly 저항의 온도에 따른 변화

이동도는 실온(25°C)이상에서는 온도가 증가함에 따라 격자 산란의 증가로 인해 감소한다. 실험적으로

$$\frac{1}{\mu_n} \frac{\partial \mu_n}{\partial T} \sim -4.9 \times 10^{-3} \text{ 정도로 나타난다. 위의 실험 결과를 바탕으로}$$

그림 2. 회로에서 출력 전압의 온도 의존성을 구하면 다음과 같다.

$$\frac{\partial V_{out}}{\partial T} = \frac{\partial V_{TN}}{\partial T} - \frac{2}{R} \frac{1}{C_m} \frac{1}{\mu_n^2} \frac{\partial \mu_n}{\partial T} \left( \frac{L_1 L_2}{W_2 W_1} \left( 1 - \frac{W_2/L_2}{W_1/L_1} \right) \right) \quad (3)$$

$$= \partial V_{\text{문턱전압}} - \partial V_{\text{이동도}} \quad (4)$$

식 (3)과(4)에서 보듯이 그림 2의 회로에서 온도에 따른 출력 전압 특성은 문턱 전압에 대한 부분과 이동도에 대한 부분으로 나타난다. 만약  $|\partial V_{\text{문턱전압}}| > |\partial V_{\text{이동도}}|$  이면 출력 전압은 온도에 따라 감소하는 경향을 보이고  $|\partial V_{\text{문턱전압}}| < |\partial V_{\text{이동도}}|$  인 때는 온도에 따라 증가한다. 그리고 전원 전압으로 사용할 때에는  $|\partial V_{\text{문턱전압}}| = |\partial V_{\text{이동도}}|$  으로 조절할 수 있다. 특히 식 (3)에서 보듯이 설계 변수, 즉 채널의 폭과 길이를 조절하여 온도에 따른 출력 전압의 특성을 자유롭게 설정할 수 있다. 본 논문에서는 이 회로의 출력 전압을 온도에 따라 증가하게 설정하였다. 실제 회로에 적용된 파라미터로 각각의 전압을 구하면 다음과 같다.

$$\partial V_{\text{문턱전압}} = -0.21\text{mV}$$

$$\partial V_{\text{이동도}} = -0.64\text{mV} \quad (R=30\text{K}, W_1/L_1 = 2, W_2/L_2=1.5)$$

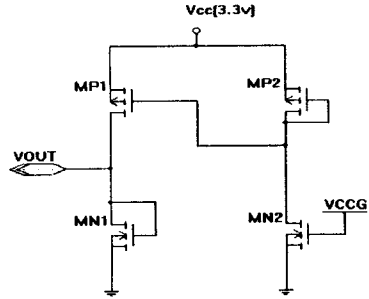


그림 5. 출력전압이 온도에 따라 감소하는 회로

그림 5는 온도에 따라 출력 전압이 감소하는 회로이다. 이 회로의 출력전압은 다음과 같다.

$$V_{out} = K_2 K_1 (V_{CC} - V_{TN}) - V_{TN} \quad (5)$$

여기서  $K = \frac{g_{mp}}{g_{mn}}$  이고,  $g_{mp}$ 는 pmos의 트랜스컨덕턴스이고

$g_{mn}$ 은 nmos의 트랜스컨덕턴스이다. 그리고 침자는 그림 5에 서와 동일하다. 만약  $K_2 K_1$ 의 값을 작게 하거나,  $V_{CC}$ 값을 거의  $V_{TN}$ 으로 설정하면 출력전압은  $V_{out} = V_{TN}$ 으로 된다. 문턱전압은 앞에서 설명한바와 같이 온도에 따라 감소하는 경향을 나타낸다.

### 3. 시뮬레이션 결과

실제 시뮬레이션에 사용된 회로는 다음과 같다.

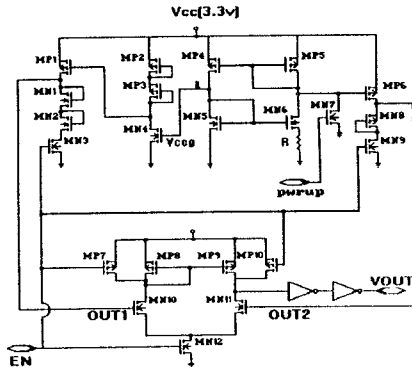


그림 6 온도감지 회로

온도 감지회로는 온도에 따라 출력 전압이 증가하는 회로와 온도에 따라 감소하는 회로 그리고 비교기로 구성되어 있다. EN이라는 신호를 사용하여 Stand by시 소비전력을 최소화 하도록 하였다. pwrap신호를 입력으로 하는 MN7 트랜지스터는 DRAM에 전원이 들어 왔을 때 온도에 따라 출력 전압이 증가하는 회로를 트리거해주는 역할을 해준다. 그리고 이 회로의 면적을 줄이기 위해서 [온도에 따라 증가하는 회로]에서 노드 a(그림 6 참고)의 전압은 문턱 전압 ( $V_T$ )의 값과 유

사한 값을 갖는다는 것을 이용하여, 이 전압을 이용하여 Vccg의 전압으로 사용하여, 소비전력과 면적을 최소화 하였다. 본 논문의 회로에서는 소비되는 평균 전류를 5nA이하로 되게하기 위해 MOS트랜지스터의 사이즈를 조절하였다. 그리고 온도에 따라 증가하는 회로에서 출력을 PMOS에서 가져와 NMOS에서의 body effect(P-type기판사용)때문에 생기는 문턱전압의 변화를 최소화 하여 출력전압의 안정화를 추구하였다. 그림 7. 은 그림 6. 의 온도감지 회로의 출력전압을 온도의 변화에 따라 나타낸 것이다. 이 회로는 70℃를 감지할 수 있도록 설정되어 있다. 그림 8 는 Vcc의 변화에 따른 출력전압의 변화를 그리고 그림 9.는 저항(R) 이 10%변할때의 출력 특성의 변화를 나타낸 것이다.

그림 10.은 위 온도 감지 회로 2개를 조합하여 온도에 따라 3가지 신호를 발생시키는 회로의 구성도와 SPICE 시뮬레이션 결과이다.

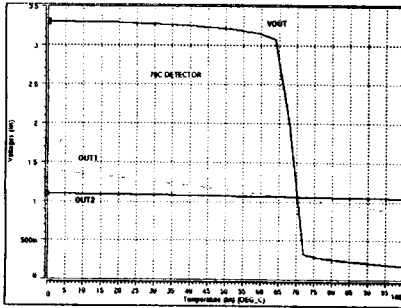


그림 7. 70℃ 온도 감지회로의 출력 특성

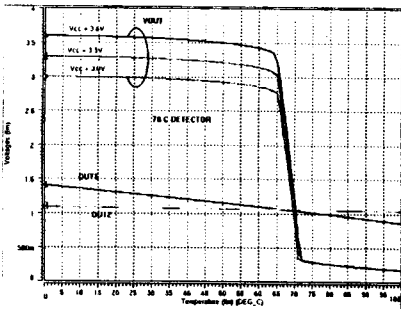


그림 8. Vcc변화에 따른 변화에 따른 온도 감지회로의 출력 특성

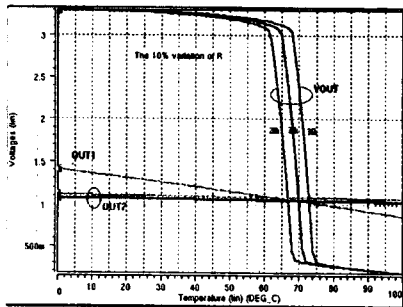


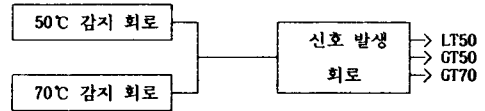
그림 9. 저항의 10% 변화에 따른 온도 감지회로의 출력 특성

#### 4. 결론

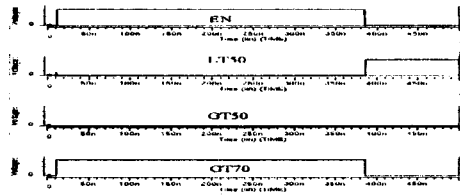
본 논문에서 제안한 저전력 DRAM을 위한 온도 감지회로를 사용하면 DRAM에서의 Self-Refresh동작시 소모되는 전류를 온도에 따라 주기를 다르게 설정할 수있어 실온에서 소비전력을 줄일 수있다. 이 회로는 추가 공정 없이 CMOS공정으로 제작가능하며 Vcc와 저항(R)의 변화에 의해서도 크게 특성이 바뀌지 않기 때문에 안정적인 특성을 얻을 수있다. 또한 소비되는 평균전류 또한 5nA 이하로 설계할 수 있어 실용화에 적합하다 그리고 이 온도감지 회로를 각각 50℃와 70℃를 감지할 수 있는 회로를 구성하여 3영역에 따라 나누어 Refresh 주기를 조절하면 실온에서는 25%의 소비전력을 절감할 수 있게 된다.

#### 참고 문헌

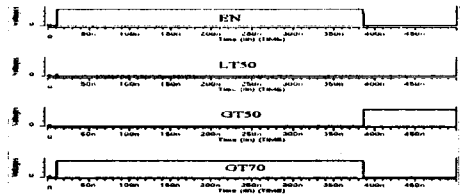
- [1]Yokihiro Kagenishi, Hiroshige Hirano, Akinori Shibayama et al, "Low Power Self Refresh Mode DRAM With Temperature Detecting Circuit", 1996 Symposium on VLSI circuits, Digest of technical paper p 43. 1995.
- [2] Sze, "Physics of Semiconductor Device", p448
- [3] Phillip E. Allen, "CMOS Analog Circuit Design", p.197



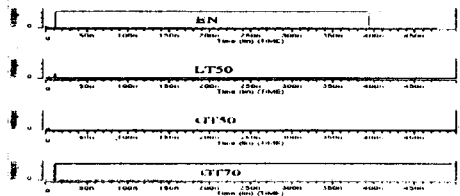
LT50: 50℃ ≥ T, GT50: 50℃ ≤ T ≤ 70℃, GT70: 50℃ ≤ T  
(a) 온도 감지 회로 회로 구성도



(b) Temp = 49℃



(c) Temp = 51℃



(d) Temp = 71℃

그림 10. 50℃와 70℃의 온도 감지 회로 구성도와 온도에 따른 신호 발생 결과