

RTDS를 이용한 Digital 거리계전기의 동특성 시험에 관한 연구

정창호* 김일동 김영한 김석일

Dynamic Characteristics of Digital Distance Relay Scheme Using Real Time Digital Simulator(RTDS)

Chang-Ho Jung* Il-Dong Kim Yeong-Han Kim Sok-II Kim
KEPRI KEPCO

Abstract This paper describes real time dynamic tests on the digital distance relay using new digital test system including RTDS(Real Time Digital Simulator) in KEPRI. The RTDS is developed by the Manitoba HVDC Reserch Centre and consists of specialized hardware and software which allows transients simulation of electrical power systems in real time.

From high impedance fault test, it is known that the characteristics of distance reach is influenced by load flow. A detailed discussion of relay test using the RTDS simulator, high impedance faults and test results are included in the paper.

1. 서론

송전선 보호계전기는 구조는 물론 동작특성이 복잡하여 성능을 확인하는 것이 쉽지 않다. 최근의 송전선 보호계전기는 기능이 우수한 디지털 방식으로 전환되고 있으며 한계계통에서도 신규선로와 교체대상 보호계전설비는 모두 디지털 방식을 채용하고 있다. 특히 거리계전기와 같이 복잡한 기능을 가진 디지털계전기는 모든 기능이 복합적으로 작용하고 있어 재래식 시험기로는 확인하기 어려운 특성들이 있다.

지금까지 국내전력계통에서 거리계전기는 모두 외국제품을 도입하여 사용하고 있으며 정특성만을 확인하여 실제계에 운전하고 있으나 이따금 오동작 하거나 부동작한 경우가 발생하여 동특성시험의 필요성이 한층 높아져 왔다.

이에 본 논문에서는 최근에 전력연구원에 설치된 RTDS를 이용하여 디지털거리계전기의 동특성을 확인하였다. 피시험계전기는 사변형 특성을 가지는 최신형 디지털거리계전기이며, 그림 1

은 시험을 위해 사용된 RTDS의 모습을 보인 것이다.

시험항목은 1선지락, 2선지락, 2선단락, 3상단락, 다중사고 그리고 고저항지락과 모선사고 등으로 -10%지점에서 250%지점까지 그리고 0° ~ 90° 까지 약 200개 항목으로 시험을 실시하였으며 이를 바탕으로 고저항지락사고시 계전기의 보호범위를 파악하고 고저항지락사고에 대한 특성을 분석하였다.

2. 모델계통과 디지털거리계전기의 특성

시험을 위한 모델계통은 실제계의 선로임피던스와 등가전원임피던스를 이용하였다. 등가전원임피던스는 PSS/E를 이용하여 고장전류와 등가임피던스를 계산한 다음 PSS/E가 계산한 고장전류와 RTDS에서 출력된 고장전류가 같아지는 임피던스를 위하여 입력자료로 사용하였으며 모델계통은 그림 2와 같다.

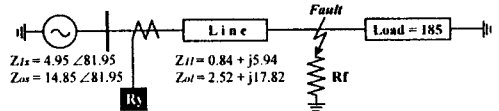


그림 2. 시험용 모델계통

모델계통은 Power System Simulation S/W인 PSCAD를 이용하여 그림으로 구성하고 각 요소에 해당되는 계통정보들을 입력시켜 실행을 시키면 해당 계통의 모든 정보가 다수의 CPU 보드로 이루어진 RTDS에서 계산되며 Real Time으로 원하는 지점의 전압과 전류 및 정보가 아날로그 형태의 -10V ~ +10V의 크기로 출력된다. 발생된 전압은 증폭기에서 PT 2차전압 크기로 증폭되고 전류는 CT 2차전류의 크기로 증폭되어 피시험계전기인 Digital거리계전기로 입력되며 계전기가 동작되었을 경우 계전기 Trip 정보는 PLC에서 실제 차단기 동작시간만큼(2.5Cycle) 지연시킨 뒤 다시 RTDS에서 입력으로 받아들여 차단기가 동작하고 해당송전선로가 차단된다. 그림 3은 이러한 시험과정을 나타낸 것이다. 피시험계전기는 지락사고시 보호영역과 단락사고시의 보호영역이 별도 Setting치에 의하여 동작

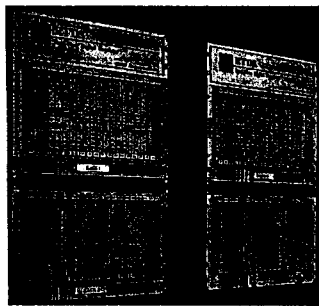


그림 1. Real Time Digital Simulator (RTDS)

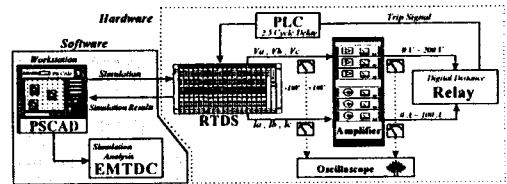


그림 3. Digital Distance Relay Test 과정

하도록 되어있고, 사고위치 판단기능이 있으며 원거리에서 Modem을 이용하여 Setting변경이 가능하며 Trip Data도 확인 할 수 있다. 피시험계전기의 지락보호특성은 그림 4와 같다.

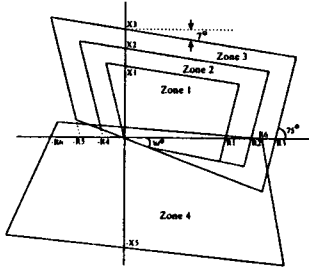


그림 4. 지락사고시 보호영역

디지털계전기는 Sampling된 전압, 전류의 크기와 위상이 Microprocessor에 입력되어 임피던스를 계산한다. t초의 전압 V(t)는 식 1과 같다.

$$V(t) = (R_e + R_f) * i(t) + L \frac{d_i(t)}{dt} \quad (1)$$

$$= R * i(t) + L \frac{d_i(t)}{dt}$$

여기서, L = Line inductance to the fault point

Re = Line resistance to the point

Rf = Fault resistance, I = Current at relay point

Sampling time을 T 라하면

$$V(t-T) = R * i(t-T) + L \frac{d_i(t-T)}{dt} \quad (2)$$

가 된다. 여기서 R, L을 구하면

$$R = \frac{V(t-T) \frac{d_i(t)}{dt} - V(t) \frac{d_i(t-T)}{dt}}{i(t-T) \frac{d_i(t)}{dt} - i(t) \frac{d_i(t-T)}{dt}} \quad (3)$$

$$L = \frac{V(t) * i(t-T) - V(t-T) * i(t)}{i(t-T) \frac{d_i(t)}{dt} - i(t) \frac{d_i(t-T)}{dt}} \quad (4)$$

또한, 지락사고시 영상보상을 위하여 A상 지락사고시 전압 Va는

$$V_a = Z_L (I_a + \frac{Z_0 - Z_1}{Z_1} I_0) \quad (5)$$

따라서,

$$Z_L = \frac{V_a}{I_a + \frac{Z_0 - Z_1}{Z_1} I_0} = \frac{V_a}{I_a + \frac{Z_0}{Z_1} I_0 - I_0} \quad (6)$$

그러므로 $\frac{Z_0}{Z_1} = KNR + jKNX$ 이라하면

여기서, KNR,KNX의 Setting에 의하여 임피던스를 계산할 수 있다. 피시험계전기의 Setting은 Zone-1 : 75%, Zone-2 : 150%, Zone-3 : 250%로 선정하였으며 KNR과 KNX는 3으로 R1,R2,R3은 고지향지락사고를 위해 그림 4에서 R1=R2=3.5Ω, R3=4Ω으로 설정하였다.

3. 시험결과 분석 및 검토

3.1 지락사고(지락저항이 없는 경우) 및 단락사고

반대방향사고와 모선사고시 지락사고와 단락사고 모두 정상적

으로 Trip되지 않았고 전방사고시에도 Zone-1, Zone-2, Zone-3지역에서 단락사고, 지락사고 모두 정상적으로 동작되었으며 동작오차는 보호선로의 ±5% 이내로 동작되었다.

그림 5~그림 6은 전방 70% A상 지락사고시 전압,전류 및 임피던스궤적을 나타낸 것이며 계전기는 Zone-1으로 Trip되었음을 알 수 있다.

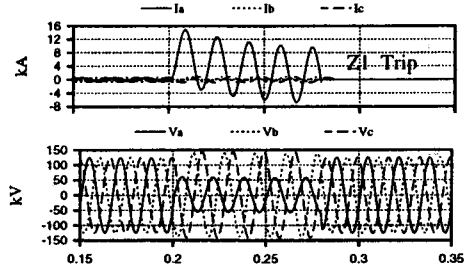


그림 5. 70%지점의 A상 지락사고시 전류, 전압

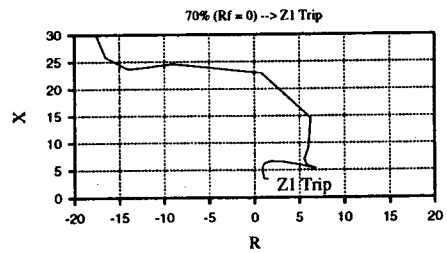


그림 6. 70%지점의 A상 지락사고시 임피던스 궤적

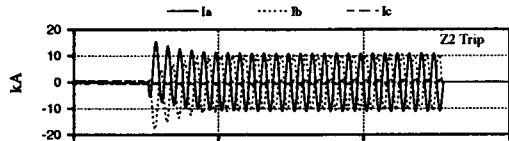


그림 7. 90%지점의 AB상 단락사고시 전류(Zone-2 Trip)

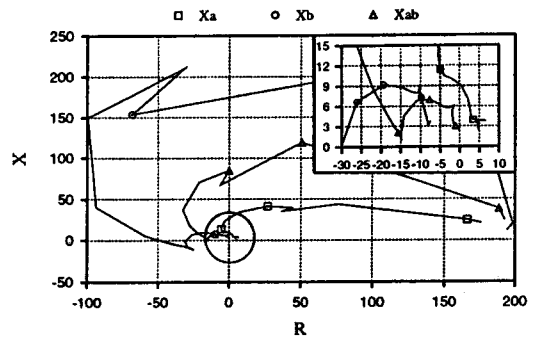


그림 8. 90%지점의 AB상 단락사고시 임피던스 궤적

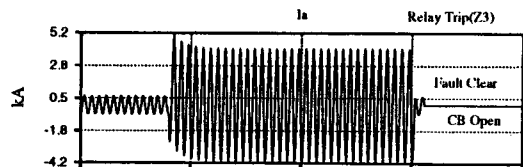


그림 9. 240%지점의 A상 지락사고시 전류(Zone-3 Trip)

그림 7~그림 8은 90% 지점의 AB상 단락사고시 Zone-2로 Trip된 그림을 나타낸 것이며 그림 9는 240% 지점사고시 계전기 동작시간과 사고제거시간 그리고 차단기 동작시간이 약간씩 다른 경우의 그림이다.

3.2 고저항지락사고

사고의 종류중 고저항지락사고시는 계전기의 동작이 부정확해지기 쉬운 사고유형이다. 따라서 본 시험에서도 고저항지락사고시 계전기의 Overreach의 특성을 분석하였다.

그림 10은 전방 0%지점에서 고저항 지락사고($R_f=93.32$)가 발생한 경우이며 부하임피던스의 크기를 ∞ , 250, 185, 90 Ω 으로 변화시킨 경우의 임피던스궤적을 나타낸 것이다. 그림에서 부하전류가 증가할수록 실제 고장점저항에서 상당히 벗어나고 있음을 알 수 있다. 따라서 부하전류가 증가할수록 계전기의 Overreach의 정도가 증가하게 된다.

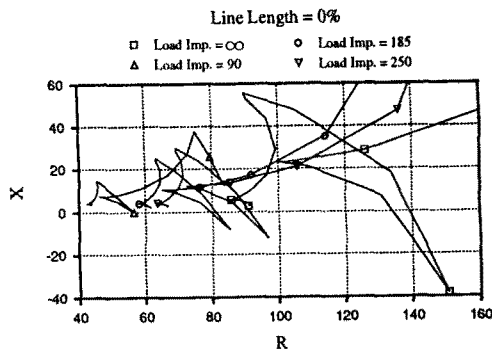


그림 10. 0%지점의 A상 고저항지락사고시 임피던스궤적

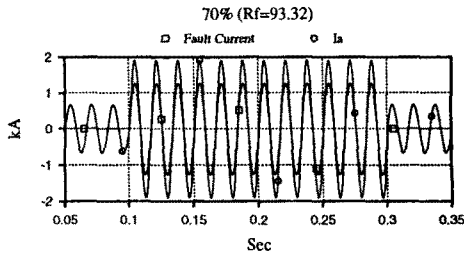


그림 11. 70%지점의 1선 고저항지락사고시 전류

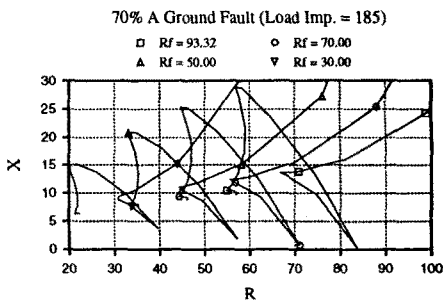


그림 12. 70%지점의 1선 고저항지락사고시 임피던스궤적

또한 그림 11은 70%지점에서 1선 고저항지락사고시 계전기 설치점의 전류와 사고위치의 전류를 비교한 것이며 그림 12는

고장점저항을 변화시킨 경우의 임피던스궤적을 나타낸 것이다. 그림 11에서 계전기 설치점에서의 전류와 고장위치로 유입되는 전류의 크기가 다음을 알 수 있다. 따라서 부하임피던스가 클수록, 고장점저항이 감소할수록 계전기가 보는 임피던스는 실제 고장점저항에 접근함을 알 수 있다.

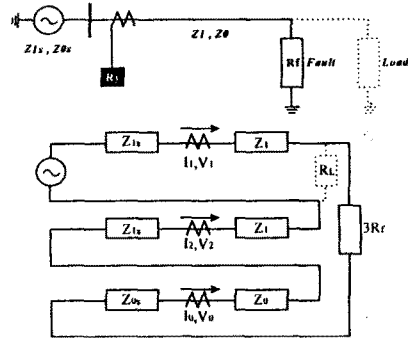


그림 13. 고저항지락사고시 등가회로

고저항지락사고시의 등가회로를 나타내는 그림 13에서 부하가 없는 경우 $V_A = (2Z_1 + Z_0 + 3R_f)I_0$, $I_A = 3I_0$ 가 되어 계전기가 보는 임피던스 Z_A 는

$$Z_A = \frac{V_A}{I_A} = \frac{V_A}{3I_0} = Z_1 + \left(\frac{3}{2 + \frac{Z_0}{Z_1}} \right) R_f \quad (7)$$

가 되며 $Z_0/Z_1=3$ 으로 Setting하였을 경우

Z_A 는 $(3/5)R_f$ 만큼 적게 나타나 계전기는 Overreach하게 된다. 그림 13에서 부하가 있는 경우도 같은 방법으로 계산하면

$$Z_A = Z_1 + \frac{3R_f}{\frac{R_L}{R_f} + 2Z_1 + Z_0} \quad (8)$$

가 되어 고장점저항에서 계전기가 보는 임피던스는 상당히 벗어나게 된다.

4. 결론

본 논문에서는 Digital 거리계전기의 동특성 시험을 통해 계전기의 동작특성을 분석하였고, 특히 고저항지락사고시 계전기의 Overreach현상을 분석하였다. 고장점 위치의 저항이 적을수록, 부하임피던스가 클수록 계전기의 Overreach현상은 줄어들게 되며 필요이상으로 R값을 크게 Setting할 경우 오동작 할 우려가 많음을 알 수 있다. 따라서 고저항지락사고를 위한 특별한 알고리즘이 존재하지 않는 이상 R값은 부하임피던스의 크기와 보호할 고장점저항과의 관계를 면밀히 검토한 후에 Setting하여 할 것으로 본다. 본 연구를 통하여 앞으로 다양한 사고 모형과 다양한 모델계통에서의 사고현상을 이용한 시험을 계속 할 예정이며 이로부터 고저항지락사고 감지를 위한 거리계전기 알고리즘을 개발할 수 있는 정보물 얻을 수 있을 것으로 기대된다.

5. 참고문헌

- [1] P.G. McLaren and R. Kuffe, R. "A Real Time Digital Simulot for Testing Relays" IEEE Trans. PWRD., Vol. 7 No. 1, 1992. 1
- [2] RTDS Custom Models Manual.
- [3] Digital Distance Relay Scheme Manual.