

대형 기계 구조물의 제어를 위한 대용량 BLDC 서보 시스템의 개발

Development of High Power BLDC Servo System for Control of Large Scale Mechanical System

정세교†, 김경화†, 송정민‡, 김대준‡, 김창걸‡, 김원수‡, 윤명중†

† : 한국과학기술원 전기 및 전자공학과

‡ : 동명중공업 주식회사 기술연구소

ABSTRACT

The development of a high power BLDC servo system for a control of the large scale mechanical system is presented. Using DSP TMS320C30, a control unit which is suitable for motor drive system, is developed. Also, based on the developed control unit, BLDC drive system for the speed control is constructed. The algorithms of the vector control, current control, and speed control is implemented using TMS320C30 Software Development Tool. The developed high power BLDC motor drive system is applied to the large scale mechanical system and its feasibility is verified through the-experimental results.

Key Words : high power bldc motor drive, DSP TMS320C30 controller, EPLD, space vector PWM

1. 서론

현재 대부분의 대형 기계 구조물의 제어를 위해 유압 구동 방식이 사용되고 있다. 유압식 구동 방식은 용량이 크고 기계적으로 강인한 장점이 있지만, 전체 부피가 커지고 시스템의 구성이 복잡해진다. 이러한 유압 구동 방식을 대체하기 위해 전기 구동 방식이 효과적으로 사용될 수 있다. 전기 구동 방식은 같은 용량의 Power를 내기 위한 전체 시스템의 부피가 작고 또한 정밀 제어가 가능하기 때문에 유압 구동 방식에 비해 많은 장점을 갖는다. 특히 최근의 전력전자 및 제어기술의 발전이 대용량 전기 구동 방식의 사용을 더욱 가속화시키고 있다.

한편, 최근의 전동기 구동 시스템의 기술 개발 동향은 기존의 아날로그 방식의 시스템을 DSP (Digital Signal Processor)와 같은 고성능의 신호 처리 소자를 이용한 디지털 시스템으로 대체하여 하드웨어를 최소화하고 소프트웨어를 이용하여 제어 알고리즘을 구현하는 것이다. 본 논문에서는 전동기 구동 시스템에 필요한 인버터의 제어, 전동기의 벡터 제어 및 속도 제어 알고리즘 등을 Single Unit DSP Controller에 구성하여 소형이면서도 신뢰성이 높은 시스템을 구성하였다. 주 제어 시스템을 구성할 CPU로는 Texas Instrument (TI)사의 TMS320C30을 사용하여 전동기 구동 시스템에 적합한 Control Unit을 제작하였다. 또한, 제작된 하드웨어를 이용하여 전체적인 시스템의 운용 알고리즘, 인버터의 소프트웨어 제어 기법, 속도 제어 알고리즘 등을 구현하였다. 또한, DSP TMS320C30을 이용하여 개발된 제어기를 이용하여 10마력 급의 대용량 브러시 없는 직류 전동기 (Brushless DC Motor : BLDC) 의 속도 제어를 수행하였다.

2. 시스템의 개요 및 구성

BLDC 전동기의 속도 제어 시스템은 그림 1과 같이 나타낼 수 있으며, 전체 시스템은 PWM 인버터, 벡터 제어 및 전류 제어기, 그리고 속도 제어기로 구성된다[2]. 아날로그 방식의 서보 시스템의 경우, 잡음에 민감하고 Offset, Drift 등의 문제가 발생하므로 고성능 서보 시스템의 구현을 위해서는 보통 디지털 방식의 제어가 사용된다. 본 연구에서도 전력 회로 이외의 모든 부분을 소프트웨어로 구성된 디지털 방식을 채용하여 아날로그 방식이 가지는 문제점을 해결 할 수 있도록 하였다. 설계 제

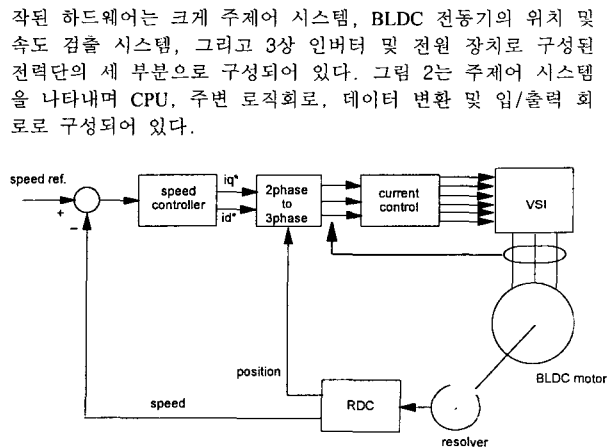


그림 1 BLDC 전동기의 속도 제어 시스템

2.1 DSP TMS320C30

본 연구에서는 TI 사의 부동 소수점 DSP TMS320C30을 사용하였다. TMS320C30은 32바트의 부동 소수점 연산이 60ns의 한 Instruction Cycle에 가능하므로 고급의 제어 알고리즘을 실시간으로 구현할 수 있다. TMS320C30은 CPU, Internal Memory 및 Timer 등으로 구성되어 있으며 각 부분의 주요한 구조 및 기능은 다음과 같다[4].

(1) CPU

- .Floating point/integer multiplier
- .ALU for floating point, integer, and logical operation
- .32 bit barrel shifter
- .Internal buses
- .8 x 40/32 bit extended precision register

(2) Memory Organization

- .One 4K x 32 bit on chip ROM
- .Two 1K x 32 bit on chip RAM

(3) Peripherals

- .Timer

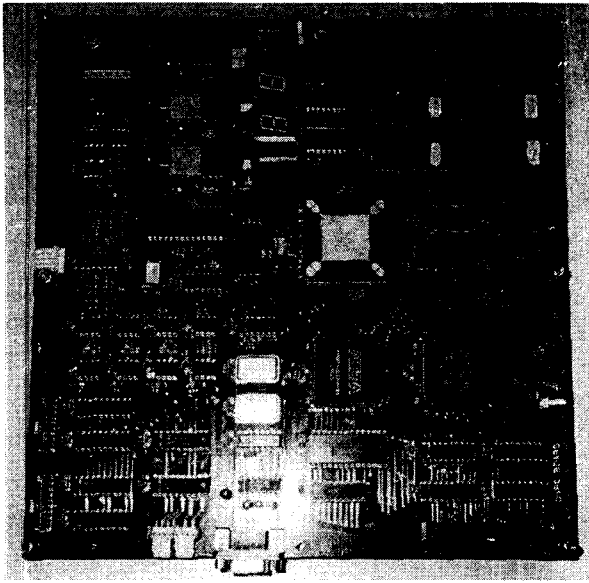


그림 2 DSP TMS320C30을 사용한 제어 Board

- .Serial Ports
- (4) Buses
 - .Internal buses
 - .External buses

2.2. DSP 제어 시스템

그림 2의 DSP TMS320C30을 이용하여 개발된 제어 Board의 개략적인 상세는 표 1과 같다.

표 1 DSP 제어 Board의 Specifications

Item	Specifications
CPU	TMS320C30 GBL 33Mhz
MEMORY	2Kx32 On Chip RAM 4Kx32 On Chip ROM 32Kx32 SRAM 15ns Access 32Kx32 EPROM
I/O Ports	A/D Ports : 16 Ch 2 x AD678 with 1x4 MUX, 5us Conversion 1 x AD678 with 1x8 MUX, 5us Conversion D/A Ports : 4 Ch, 1 x AD664 Digital Input Ports 1x16 Digital Input Port 1x8 Isolated Input Port
PWM Port	1x Symmetrical 3 Phase PWM Port
Communication Ports	RS-232C Serial Port XDS500 Emulator Interface Port

또한, 제작된 시스템은 표 2와 같은 Memory의 구조를 가지고 있다. TMS320C30은 Internal ROM을 사용하는 Micro-computer Mode와 외부 ROM을 사용하는 Micro-processor Mode로 사용할 수 있으나 본 연구에서는 Micro-processor Mode로 사용하였다. DSP 시스템의 구성을 위한 제어 로직들은 Buffer를 제외하고 모두 One Chip의 EPLD (Erasable Programmable Logic Device)를 사용하여 구성하였다.

표 2 DSP 제어 Board의 Memory 구조

000000h-007fffh (32K)	EPROM
008000h-00ffffh (32K)	SRAM
010000h-803ffffh	Unused
804000h-805ffffh (8K)	Expansion Bus
806000h-807ffffh (8K)	Reserved
808000h-8097ffffh (6K)	Peripherals
809800h-809bffffh (1K)	RAM Block 0 (Internal)
809c00h-809ffffh (1K)	RAM Block 1 (Internal)
80a000h-ffffh	Reserved

000000h-007fffh의 32K-word는 EPROM 영역으로 Reset 및 다양한 Interrupt Vector 그리고 Bootable Program 등으로 구성되어 있다. Reset은 외부 시스템의 Reset과 동기되어 있다. Reset 회로의 동작시 외부의 I/O Port의 레지스터들은 모두 Reset 되도록 되어있다. Interrupt는 INT0에서 INT3까지 4개의 하드웨어 Interrupt와 Timer 등의 Peripheral에서 발생하는 Interrupt 및 31개의 소프트웨어 Interrupt로 구성되어 있다. 개발된 시스템에서는 4개의 하드웨어 Interrupt 발생 신호를 EPLD에서 구성하였으며 표 3에서 보는 바와 같은 용도로 사용되었다. INT0은 시스템의 Fault를 대비하기 위해 외부에 Photo Coupler로 Isolation된 단자를 가지고 있으며 INT1은 A/D 변환기의 변환 완료 신호의 검출을 위해서 사용되었다. 또한, INT2는 Digital PWM Port와의 동기를 위해 사용되었다.

표 3 하드웨어 인터럽트의 용도 및 벡터

Interrupt	용도	Vector Address
INT0	System Fault Detection	000001h
INT1	End of A/D Conversion	000002h
INT2	Synchronism with PWM Port	000003h
INT3	Reserved	000004h

008000h-00ffffh는 외부 RAM 영역이며 15ns의 고속 SRAM으로 구성되어있다. 804000h-805ffffh는 Expansion Bus 영역이며 Dual Port RAM 영역, Digital I/O Port, A/D Port 및 D/A Port로 구성되어 있다. 표 4는 Expansion Bus의 Memory Map을 나타낸다.

표 4 Expansion Bus의 Memory Map

804000h-805effh	DPRAM
805f00h-805f0fh	Digital Input Port 805f00h : Ch1 (16bit) 805f01h : Ch2 (Isolated 8bit)
805f10h-805f1fh	Digital Output Port 805f10h : Ch1 (7 Segment Display) 805f11h : Ch2 (16bit) 805f1fh : A/D Conversion Start
805f20h-805f2fh	A/D Channel Select (MUX) A/D Read 805f20h-805f2fh : Ch1-Ch16
805f30h-805f3fh	D/A Conversion Output 805f30h-805f33h : Ch1-Ch4
805f70h-805f7fh	Digital PWM 805f70h : High Data 805f71h : Low Data 805f72h : Frequency Select Register (Switching Frequency)
805f80h-805f8fh	Resolver Interface 805f84h : Inhibit 805f85h : RDC Read 805f86h : RCK Read

804000h-805effh는 Dual Port RAM 영역으로 Host PC의 AT Bus와 직접 통신이 가능하도록 설계되어 있다. 따라서, DSP의 실행 중 Host PC와의 On Line 통신이 가능하다. 16bit 8K-word의 Memory 영역이 PC의 Memory 영역과 공유되어 양 방향에서 데이터의 Read/Write가 가능하다. 805f00h-805f0fh는 Digital I/O 및 Digital Input Port로 16bit Port와 Photo Coupler로 Isolation된 8bit Port로 구성되어 있다. Isolation Port는 전력 회로의 신호와 직접 인터페이스가 가능하도록 고려된 것이다. A/D Port는 2개의 1x4 MUX를 사용한 8 Channel과 1개의 1x8 MUX를 사용한 8 Channel로 구성되어 있으며 3상 회로의 응용에 적합하도록 3 Channel을 동시에 샘플링할 수 있다. D/A Port는 4 channel로 구성되어 있으며 각각의 독립적인 레지스터를 가지고 있다. D/A Port는 디지털 BLDC 서보 시스템의 속도 제어에 직접 사용되지는 않으나 DSP 내부의 계산 내용을 모니터링 하기 위하여 설치되어 있다.

2.3 Digital PWM

3상의 BLDC 전동기의 구동을 위해서는 전압원 인버터의 PWM (Pulse Width Modulation) 기법이 사용된다. 본 연구에서는 공간 벡터 (Space Vector) PWM 기법을 소프트웨어와 Single Chip EPLD로 구현하였다. DSP내에서 소프트웨어로 계산된 인버터의 On/Off Time Duration을 EPLD로 구현된 Gate Firing Logic에 Load함으로써 인버터의 스위칭 신호를 얻을 수 있게된다. 또한, 인버터의 Arm Short를 방지하기 위한 Dead Time과 스위칭 주파수 역시 소프트웨어로 미리 설정할 수 있도록 구성하였다. 그림 3은 Space Vector PWM 기법의 기본 개념과 각 인버터의 스위칭 신호를 나타내고 있다.

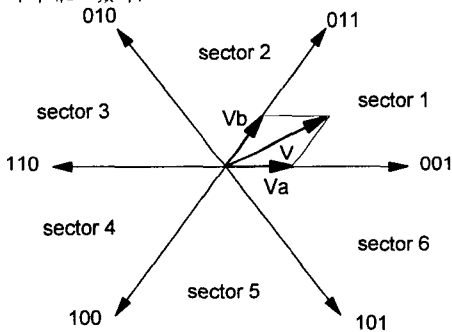


그림 3 Space Vector PWM

Space Vector PWM 기법의 기본 원리는 다음과 같다. 속도 및 전류 제어기에서 계산된 기준 전압 벡터 v 가 결정되면 기준 전압 벡터에 인접한 두개의 스위칭 상태와 영 상태를 조합하여 한 샘플링 구간 동안 평균적인 v 를 전동기에 인가하는 것이다. 이때, 한 샘플링 구간 동안 가해지는 3개의 스위칭 상태의 Time Duration은 다음과 같이 결정된다[3].

$$V_B = \frac{2}{\sqrt{3}}|v|\sin\alpha \quad (1)$$

$$V_A = |v|\cos\alpha - 0.5V_{DC} \quad (2)$$

$$t_A = \frac{2}{3} \frac{V_A}{V_{DC}} T_s \quad (3)$$

$$t_B = \frac{2}{3} \frac{V_B}{V_{DC}} T_s \quad (4)$$

$$t_2 = T_s - t_A - t_B \quad (5)$$

여기서, V_{DC} 는 DC Link 전압이고 T_s 는 샘플링 시간이다. 위에서 계산된 인버터의 스위칭 시간은 EPLD로 구현된 Gate

Firing Logic에 Load되어 전력 스위칭 소자의 Gate 신호를 생성한다. Digital PWM을 구현하기 위해 EPLD 내부의 Logic 구조는 레지스터, 카운터 및 디지털 비교기로 이루어져 있으며 EPLD에 Load된 데이터를 UP/DOWN 카운터와 비교하여 6개의 Gate 신호를 생성하게 된다. 또한 Dead Time을 구현하기 위해서 인버터의 Upper 신호와 Lower 신호 생성시 Offset을 두어 그 차이를 이용하였다.

2.4 Communication Port

Host PC와의 소프트웨어 개발 및 데이터 전송을 위하여 Emulation Port와 RS-232C Serial Port를 설치하였다. Emulation Port는 Texas Instrument에서 제공되는 XDS500 Emulator와 접속되도록 하였으며 범용성을 위하여 RS-232C Port를 설치하였다.

2.5 센서 시스템

BLDC 전동기의 구동을 위해서는 회전자의 절대 위치 검출이 필요하다. 본 연구에서 사용되는 전동기는 레졸버를 사용하므로 레졸버를 이용한 위치 검출 시스템을 설계 제작하였다. 시스템의 구성은 여자 회로, 레졸버 디지털 변환기, 회전수 검출 회로, DSP 제어기와와 접속 회로로 구성되어 있다. 레졸버 여자 회로는 ICL8038 및 Push-pull Amp로 구성되어 있다. 레졸버 디지털 변환기는 12bit의 Resolution으로 설정되어 있으며 제어 로직은 역시 EPLD로 구성되어 있다. 구동 시스템은 638:1의 매우 높은 기어비를 가지고 있으므로 이를 위하여 회전수 검출 회로를 EPLD에 동시에 구성하였으며 16bit 만큼의 회전수를 UP/DOWN Count할 수 있다. 제작된 위치 검출 시스템은 DSP 제어기의 외부 Bus와 직접 접속될 수 있도록 설계되어 있다. BLDC 전동기의 전류 제어를 위한 전류 검출 시스템은 홀 센서를 사용하여 구성하였다. 홀 센서는 20A/V로 설정되어 A/D Port에 접속되어 있다. 따라서, $\pm 5V$ 인 A/D Port의 입력 전압 범위로 최대 100A 범위의 전류를 검출할 수 있다.

2.6 전력단

BLDC 전동기 구동을 위한 전력단은 3상 정류기, Capacitor Bank 및 3상 인버터, 게이트 구동 회로로 구성되어 있다. 3상 정류기는 International Rectifier사의 130MT160K를 사용하였으며 필터용 Capacitor는 4800uf/450WV의 용량을 사용하였다. 3상 인버터는 1200V/150A급 IGBT인 SEMIKRON사의 SKM150GB를 사용하여 구성하였다. IGBT를 구동하기 위한 게이트 구동회로는 Toshiba사의 하이브리드 IC TF1205로 구성 하였다.

3. 속도 제어를 위한 소프트웨어의 구성

3.1 TMS320C30 소프트웨어 개발 환경

BLDC 전동기의 속도 제어 알고리즘 구현을 위해 TI사에서 제공하는 TMS320C30 Software Development Tool을 사용하였다. TMS320C30 Software Development Tool은 XDS500 Emulator, Assembler, Linker, 및 Debugger로 구성되어 있다. 또한, Development System은 C-Language에 대한 개발 환경도 제공하고 있으나 본 연구에서는 Assembler를 사용하여 소프트웨어를 개발 하였다. TMS320C30 Software Development Tool을 사용한 소프트웨어의 개발을 위해, 먼저 TMS320C30 Assembler Language를 사용하여 제어 알고리즘의 원시 프로그램 (Source Code)을 작성한 후 Assembler를 이용하여 목적 코드 (Object Code)를 작성한다. 그 다음 각 목적 코드의 실행 어드레스를 설정한 후 Executable 프로그램을 작성하여 Emulator를 통하여 다운로드하여 수행한다.

이때, Emulator의 각 기능들을 이용하여 Debugging한 후 최종 단계에 Object Code Format Converter(ROM30.EXE)를 이용하여 ROM화 시킨다.

3.2 BLDC 전동기 제어 소프트웨어

본 연구에서 구성한 BLDC 전동기 제어용 소프트웨어는 표 5와 같이 1개의 Main Program, 3개의 Header File, 2개의 Interrupt Service Routine, 및 Interrupt Vector로 구성되어 있다.

표5 제어용 소프트웨어의 구성

File(or Sector) Name	내 용	File(sector) 형식
bl_thi.asm	제어용 Main Program	.text
var1.h	제어 변수	.bss
iomem.h	I/O 어드레스	.data
sine4096.h	Sine Table	.data
intsvr1(sector)	A/D Conevrsion	.sect
intsvr2(sector)	PWM	.sect

샘플링 주기는 외부 PWM 회로에 동기되도록 되어있으며 소프트웨어로 샘플링 주기를 가변할 수 있다. 외부 PWM 회로와 DSP 간의 동기는 외부 인터럽트 단자를 이용하여 이때 인터럽트 서비스 루틴에서 인버터 출력전압에 해당하는 펄스폭을 PWM 회로에 다운로드 하도록 구성되어 있다. 전동기의 전류 및 속도를 검출하여 디지털 값으로 변환하는 A/D 변환기 역시 외부 인터럽트 단자를 이용하여 변환 시간에 대한 정보를 DSP와 교환하도록 되어있다. 본 연구에서 개발한 PWM 회로는 6개의 PWM data용 8bit 레지스터, 1개의 Up/Down 카운터, 6개의 8bit 디지털 비교기 및 샘플링 시간을 설정하기 위한 분주 회로로 구성되어있다. 표 6은 PWM 회로의 레지스터 및 어드레스를 나타낸다.

표6 PWM 회로 레지스터 및 용도

레지스터	어드레스	용 도
dpwmhd	805f70h	Digital PWM High Data
dpwml	805f71h	Digital PWM Low Data
dpwmfs	805f72h	PWM Frequency Setting

PWM 신호를 발생하는 과정은 먼저 Pulse 폭을 DSP에서 소프트웨어로 계산한 후 dpwmhd 및 dpwml 레지스터에 다운로드하도록 되어있다. 이때 샘플링 주기는 dpwmfs 레지스터를 사용하여 설정한다. 각 레지스터는 24bit이며 각 상의 PWM 신호의 해상도는 8bit로 되어 있다. 또한, 스위칭 소자의 보호를 위한 데드타임은 dpwmhd와 dpwml 사이의 오프셋에 의해 손쉽게 가변할 수 있다. 따라서, 디지털 PWM의 해상도는 Carrier Frequency의 1/256이 되며 데드타임은 식 (6)과 같이 나타낼 수 있다.

$$\text{Resolution} \times (\text{dpwmhd} - \text{dpwml}) \quad (6)$$

그림 4는 표 6에 나타낸 각 레지스터의 bit 구성을 나타낸다.

	Obit	7 8	15 16	23
dpwmhd 805f70h	U_high	V_high	W_high	
dpwml 805f71h	U_low	V_low	W_low	
dpwmfs 805f72h	Carrier Freq.			

그림 4 PWM 회로의 레지스터 구성

3.3 I/O 회로의 구성 및 Programming

표 4에 나타낸 바와 같이 개발된 DSP 시스템에는 총 16 Channel의 A/D Port를 가지고 있다. Analog Device의 12bit A/D Converter AD678 3개 및 2개의 1:4 MUX, 1개의 1:8 MUX를 사용하여 16개의 Channel을 구성하고 있다. A/D Port는 3개의 MUX의 Channel을 이용하여 선택할 수 있다. A/D Converter는 Start Conversion 신호를 이용하여 변환을 시작하며, A/D Converter의 End of Conversion 신호의 감지는 EOC 단자를 이용한다. 본 연구에서는 EPLD에서 3개의 신호를 합성하여 인터럽트 신호를 발생하며, BLDC 전동기 제어를 위해 2개의 전류 및 1개의 속도 신호를 A/D Converter를 사용하여 검출한다. BLDC 전동기 구동 시스템에서 레졸버의 아날로그 신호를 디지털로 변환 하기 위해서는 레졸버-디지털 변환기(Resolver-to-Digital Converter : RDC)가 쓰이며 본 연구에서는 2S80AKD를 사용하였다. RDC에서 변환된 디지털 신호를 DSP와 Interface하기 위해서 표 7과 같은 신호들을 사용하며 EPLD를 사용하여 각 신호를 제어하도록 하였다.

표7 RDC Port의 제어

Port	Address	내 용
Inhib	805f84h	Inhibit Data Transfer
rd_res	805f85h	Read Resolver Position
rd_rck	805f86h	Read Ripple Clock (Count Number of Rotation)

Inhib Port는 RDC의 데이터를 읽는 동안 RDC의 변환 데이터를 RDC 출력 레지에 전송을 금지시키는 역할을 한다. 따라서, 데이터 변환시에는 DSP가 RDC의 위치 데이터를 읽지않도록 하는 역할을 한다. rd_res는 Resolver의 위치 데이터를 가지고있는 Port이며 rd_rck는 전동기 회전자의 회전수에 대한 데이터를 가지고 있다.

3.4 Wait State

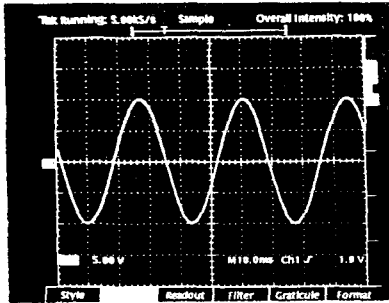
DSP 시스템 설계에 있어서 고려해야 할 중요한 문제 중의 하나는 외부에 연결되는 입/출력 및 메모리 소자와의 타이밍을 적절하게 처리하는 것이다. 현재까지 외부의 입/출력 소자 및 메모리의 Bus Access Time은 DSP의 제어신호에 비해 느리기 때문에 데이터가 안정하게 입/출력 되기 위해서는 Wait State가 필요하며 본 연구에서는 EPLD를 사용하여 이를 구현하였다. TMS320C30에서는 Bus의 Wait State를 제어하기 위해서 여러 가지 모드의 Wait State를 제공한다. 위에서 설명한 외부 Wait 외에 내부적으로 Wait를 제어할 수 있으며 이는 Bus Control Register에 의해서 결정된다.

4. 속도 제어 실험 결과

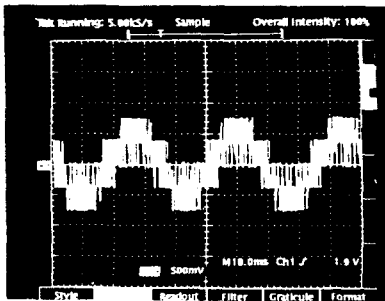
본 연구에서 개발된 DSP 제어 시스템을 7.5 KW급 BLDC 전동기에 적용하여 속도제어 실험을 수행하였다. 속도 제어를 위한 제어기로 PI 제어기 및 동기 기준속에서의 PI 제어기가 사용된다[4]. 실험 시스템의 구성은 그림 1에 나타나있다. 전동기의 사양은 표 8에 나타난다. 그림 5는 본 연구에서 개발된 시스템을 사용한 Digital PWM의 실험 파형이다. 그림 5(a)는 정현파의 기준 전압, 그림 5(b)는 변조된 상전압, 그리고 그림 5(c)는 전동기에 흐르는 상전류를 나타낸다. 그림 6은 개발된 제어기를 사용한 속도제어 실험 결과이다. 그림 6(a)는 1000 rpm의 스텝 명령에 대한 응답이며 위의 파형은 속도 응답이며 아래의 파형은 상전류를 나타낸다. 그림 6(b)는 -1000rpm에서 1000rpm으로 속도를 변화시켰을 때 속도 응답 특성 및 상전류를 나타낸다.

표8 전동기의 사양

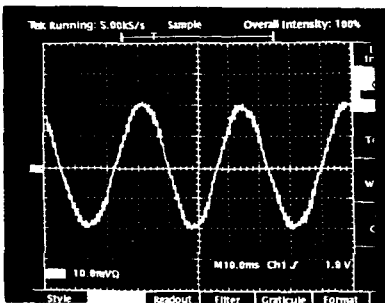
항 목	값
정격 출력	7.5 [KW]
정격 속도	4000 [RPM]
정격 토크	17.9 [Nm]
정격 전압	141 [V]
정격 전류	65 [A]
토크 경수	0.27 [Nm/A]
선간 저항	0.04 [Ohm]
관성 모멘트	0.089 [kgcms ²]



(a) 정현파 기준전압



(b) 변조된 상전압

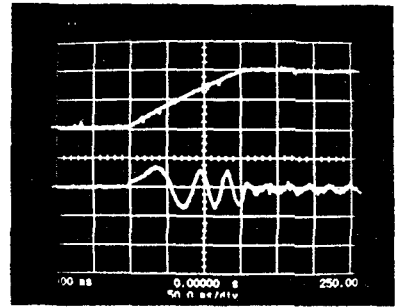


(c) 상전류

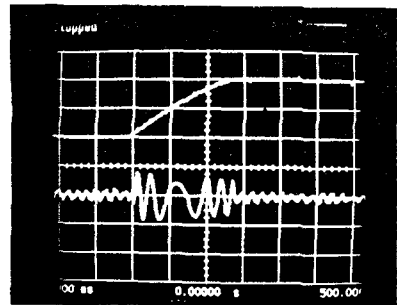
그림 5 Digital PWM의 실험 파형

5. 결론

대형 기계 구조물의 제어를 위한 대용량 BLDC 전동기의 속도 제어가 수행되었다. 제어기로는 소형이며 신뢰성이 높은 Single Unit DSP Controller를 사용하였다. 개발된 DSP 제어기는 Texas Instrument사의 DSP TMS320C30을 CPU로 사용하여 고급



(a) 속도 명령 (0 - 1000 rpm)



(b) 속도 명령 (-1000 - 1000 rpm)

그림 6 속도 제어 실험 결과

의 제어 알고리즘을 실 시간으로 구현할 수 있게하였다. 또한, BLDC 전동기 구동 시스템을 전력회로를 제외한 모든 부분을 소프트웨어로 구성하여 신뢰성 높은 시스템을 구성할 수 있게 되었다. 개발된 DSP 제어기는 BLDC 전동기의 제어는 물론 다른 교류/직류 전동기의 구동 및 제어, 고급 제어 이론에 대한 실험 등 다목적으로 사용할 수 있도록 범용성을 갖도록 설계되었으므로 향후 여러 가지 응용 분야에 적용이 기대된다. 최종적으로 제작된 DSP 제어기를 사용한 10마력 급의 BLDC 전동기 구동 시스템을 대형 기계 구조물에 적용하여 여러가지 시험을 통하여 그 성능을 확인하였다. 향후, 전력전자 및 제어기술의 발전에 따라 이러한 대용량의 기계 구조물의 구동을 위한 전기 구동 방식은 더욱 실용화될 수 있을 것이다.

참고 문헌

- [1] P. C. Krause, Analysis of Electric Machinery, New York, McGraw-Hill, 1986.
- [2] P. Pillay and R. Krishnan, "Control characteristics and controller design for a high performance permanent magnet synchronous motor drive," IEEE Trans. Ind. Elect., vol. IE-35, no. 4, pp. 516-523, 1988.
- [3] W. van der Broeck, H. C. Skudelny, and G. V. Stanke, "Analysis and realization of a pulsewidth modulator based on voltage space vectors," IEEE Trans. Industry Applications, vol. IA-24, no. 1, pp. 142-150, Jan./Feb. 1988.
- [4] D. M. Brod and D. W. Novotny, "Current control of VSI-PWM Inverters," IEEE Trans. Ind. Appl., vol. IA-21, no. 2, pp. 408-413, 1985.
- [5] TMS320C30 User Guide, Texas Instrument, 1990.
- [6] TMS320C30 Emulator User Guide, Texas Instrument, 1990.
- [7] Max+Plus II Getting Started, Altera, 1992.
- [8] Max+Plus II AHDL, Altera, 1992.
- [9] Altera Application Handbook, Altera, 1992.
- [10] Data Converter Reference Manual, Analog Devices, 1992.
- [11] Amplifier Reference Manual, Analog Devices, 1992.
- [12] GTR Module Data Book, Toshiba, 1989.