

Device Wafer의 평탄화와 AFM에 의한 평가

김 호 윤*, 정 해 도†

*부산대학교 대학원, †부산대학교 공과대학 기계공학과

Ho-Youn Kim*, Hae-Do Jeong†

ABSTRACT

Chemical mechanical polishing (CMP) has become widely accepted for the planarization of multi-interconnect structures in semiconductor manufacturing. However, perfect planarization is not so easily achieved because it depends on the pattern sensitivity, the large number of controllable process parameters, and the absence of a reliable process model, etc.

In this paper, we realized the planarization of deposited oxide layers followed by metal (W) polishing as a replacement for tungsten etchback process for via formation. Atomic force microscope (AFM) is used for the evaluation of pattern topography during CMP. As a result, AFM evaluation is very attractive compared to conventional methods for the measurement of planarity. Moreover, it will contribute to analyze planarization characteristics and establish CMP model.

Key words : CMP, Planarization, Device Wafer, Oxide, Tungsten, AFM

1. 서 론

최근 반도체 소자의 고집적화와 함께 대면적화 및 다층화에 대한 요구가 커지고 있다. 다층화는 웨이퍼 상에 디바이스를 집적한 후 스테프로 연결하여 상층의 디바이스를 반복하여 제작함에 의해, Chip의 다기능화와 연산처리속도의 향상 등을 도모할 수 있는 잇점이 있다. 현재 로직 디바이스의 경우 5~6층이 요구되고 있으나, 만약 각 층의 표면이 평탄화(planarization)가 완전히 이루어지지 않은 상태에서 다층이 될 경우, 절대 단차는 가중되어 배선단락, 시간지연 등을 유발시킬 수 있다. 한편 칩 면적의 대면적화에 따라 웨이퍼의 크기가 증가하여, 현재 300mm 직경의 웨이퍼에 대한 연구가 진행중에 있다. 웨이퍼의 크기가 증가함에 따라 상대적으로 웨이퍼 전체의 평탄화는 더욱 어렵게 되고, 이것은 웨이퍼 상의 형상·위치 정밀도를 악화시키는 결과를 낳게 된다. 이와 같이 칩 구조의 2, 3차원적 확장을 이룩하기 위해서는 먼저 디바이스 표면에 대한 평탄화가 선행되어야 하고, 평탄화를 이루기 위해서 CMP(chemical mechanical polishing)가

가장 유력한 기술로 평가되고 있다.

2. 디바이스 웨이퍼의 평탄화

디바이스 웨이퍼의 평탄화는 요철표면에서 돌출부를 선택적으로 빠르게 제거하는데 그 목적이 있다. 실제의 CMP에서는 돌출부 뿐만아니라 오목부도 동시에 제거가공되나, 돌출부의 제거속도가 오목부의 제거속도보다 빠르므로 어느 순간이후 평탄화가 이루어진다. 디바이스 웨이퍼의 평탄화 과정을 그림 1에 나타낸다.

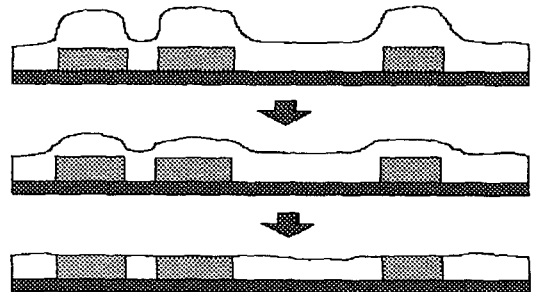


그림 1. 디바이스 웨이퍼의 평탄화 개념도

그러나 디바이스 웨이퍼 상의 전면에 걸쳐 완전하게 평탄화(perfect global planarization)를 실현하기는 매우 어려우며, 다음과 같은 여러 가지 인자에 의해 영향을 받는다. 즉,

- 디바이스 내에 존재하는 대소조밀한 패턴 형상
- 절연막으로 사용되는 SiO₂와 배선으로 사용되는 Al의 가공특성 차이
- 웨이퍼면 내의 가압력과 상대속도의 균일성
- 연마제인 슬러리의 화학기계적 제거특성의 차이
- 슬러리를 지지하는 패드의 탄성변형 및 열화
- 가공중 가공부위의 온도변화
- 슬러리의 공급량의 균일함, 웨이퍼 기관의 TTV 등에 따라 평탄도(planarity)가 좌우된다.

한편 CMP에 의해 디바이스 표면으로부터 제거되는 두께는 1 μ m전후이고, 하부의 금속배선이 표면에 노출되는 시점에서 가공을 정지시켜야만 한다. 이와 같은 평탄화 종점을 검출³하기 위해 직·간접측정법이 제시되고 있지만, 아직 10nm정도의 정확도는 얻을 수 없는 실정이다. 따라서 종점 파악은 실험을 통하여 가공시간에 따른 제거량과 표면상태를 직접 측정·관찰하여 얻은 결과를 토대로 결정하고 있다.

본 연구에서는 가공시간에 따른 디바이스의 표면상태를 AFM으로 관찰하면서, 특히 평탄화 종점 근방에서 산화막과 금속배선이 혼재된 표면의 CMP특성을 고찰하였다.

3. AFM

원자현미경의 하나인 AFM은 탐침과 시편과의 거리를 원자 반발중심내에 위치시켜 여기서 발생하는 척력을 이용하여 시편의 표면상태를 측정하는 비접촉 측정 방법이다. 반발력에 의해 탐침은 시편 표면 위를 따라 주사되면서 cantilever의 움직임을 laser로 검출하여 표면 조도를 측정한다. 그림 2는 AFM의 개략도이다.

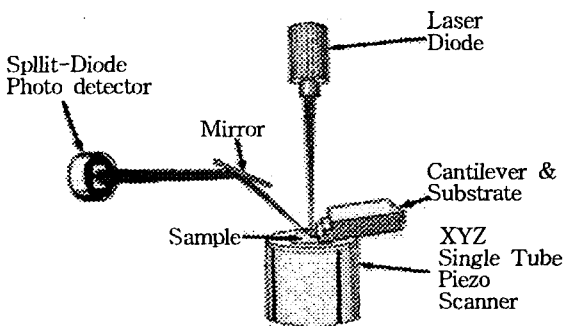
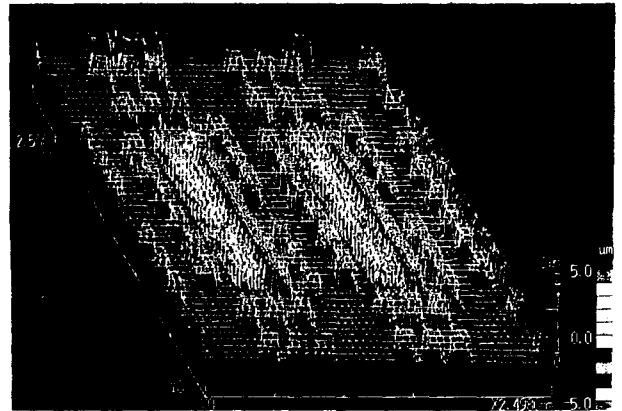


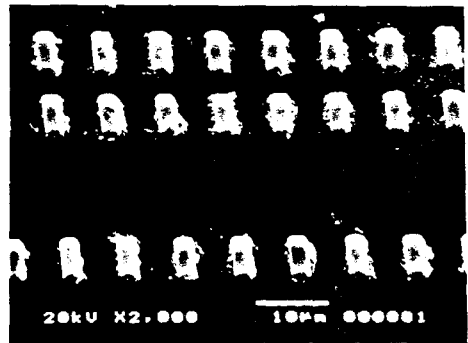
그림 2. AFM의 구조⁴

ULSI 칩은 수 나노미터 정도의 표면 정도를 가진다. 이와 같은 제품의 표면 상태는 제 1세대인 광학

현미경의 최고 수천 배(1.0 μ m), 제2 세대인 전자현미경의 최고 수십만 배(5nm)로는 관찰하기 어렵다. 또, 일반적인 stylus 형식으로 측정시에는 디바이스 웨이퍼의 동작 특성에 악영향을 미치는 scratch등이 발생하는 단점이 있고, SEM의 측정시에는 디바이스 웨이퍼의 단차등을 측정하기 위해서는 단면처리를 하여 측정하는 등 어려움이 있다. 그림 3은 AFM과 SEM의 측정결과를 비교 나타낸 것이다.



STYLUS



SEM

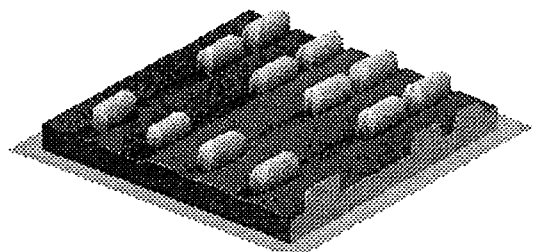


그림 3. 평탄도 측정법의 비교

4. 실험 방법 및 조건

피가공물인 디바이스는 패턴의 단차가 6000Å이고 패턴상에 SiO₂막막을 1 μ m 두께로 CVD (chemical

layer deposition) 방법으로 증착시켰다. 패턴의 형상은 그림 4와 같다.

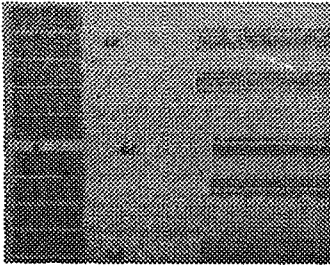


그림 4. 디바이스의 패턴 형상의 일례

그림 5는 본 실험에 이용한 CMP 장치로서 Lammaster의 LGP-381을 나타낸다. LGP-381은 1헤드 실린더로 6inch까지 back holder의 표면장력을 이용하여 장착 가능하고, 최고 40kPa의 압력, 80rpm의 spindle velocity와 plate velocity가 가능하다.

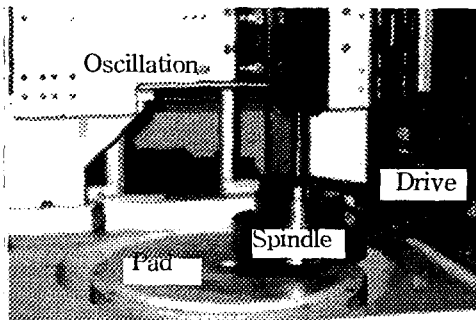


그림 5. LGP-381의 사진

웨이퍼 내부의 모든 임의의 점에서 상대속도를 같게 하기 위하여 plate와 spindle의 속도를 같게 설정하였다². Pad의 탄성변형 등에 의한 웨이퍼 중심부와 바깥부의 제거량 차이를 줄이기 위하여 pad는 격자무늬의 IC1000을 선택하여 연마재의 분포를 고르게 하였다. 연마재인 슬러리는 NH₄OH와 실리카(SiO₂)로 구성되어 있는 ILD1300(상품명)을 선택하였다. ILD1300은 SiO₂ 박막의 CMP 가공 특성이 뛰어나다. 가공조건은 표 1 같다.

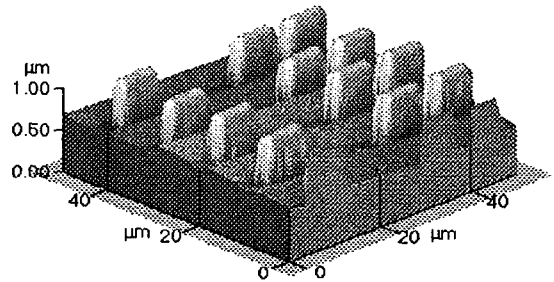
표 1. 가공 조건

Pressure	30 kPa
Plate velocity	20 rpm
Spindle velocity	20 rpm
Oscillation	40 mm
Slurry	ILD1300 (SiO ₂ + NH ₄ OH)
Pad	IC1000 / SUBA400

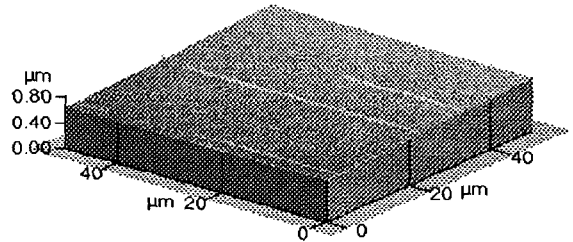
디바이스 웨이퍼의 가공은 배선이 도출되는 시점인 평탄화 중점 전후로 연마시간을 설정하였다. 배선이 도출되기 전의 디바이스 웨이퍼의 평탄화 과정과 배선이 표면에 도출된 후의 디바이스 웨이퍼의 표면 상태를 살펴보았다.

5. 실험 결과

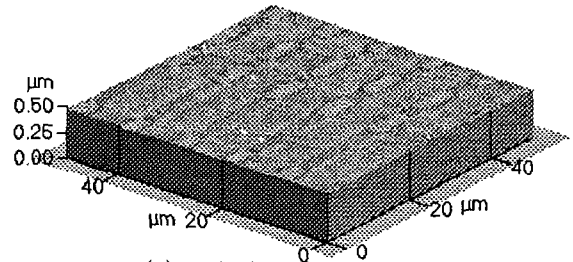
시간에 대한 패턴의 형상변화와 배선부가 표면에 도출되는 전·후의 웨이퍼의 표면 상태를 AFM으로 측정하여 그림 6에 나타내었다.



(a) polishing time : 0 min



(b) polishing time : 5 min



(c) polishing time : 15 min

그림 6. 시간에 따른 웨이퍼 표면의 형상 변화

그림 6의 (a)는 CMP 가공전의 패턴 형상을 측정된 것이다. 패턴형상이 선명하게 관찰되고 있다. (b)는 웨이퍼 표면의 돌출부의 선택적 제거에 의해 어느 정도 평탄화가 이루어졌으나 가공 중점인 배선부는 아직 도출되지 않았다. 디바이스 웨이퍼가 다층화를 이루기 위해서는 배선부가 표면에 도출되어야 하므로 평탄

화가 이루어졌지만 가공 종점이라고는 할 수 없다. R_a 는 22Å 정도이다. 배선이 표면에 도출될 때까지 가공한 상태가 (c)이다. 웨이퍼 표면에 배선부와 절연부가 명확하게 구별되고 있다. 이 상태가 디바이스 웨이퍼의 CMP 가공종점인 패턴이 도출된 상태이다. R_a 는 14Å로 (b)상태보다 평탄화가 더 양호한 것을 알 수 있다.

디바이스 웨이퍼의 CMP 가공 종점을 지나면 웨이퍼 표면에는 여러 가지 물질이 도출된다. 즉, 절연막인 SiO_2 , 배선인 Copper, Tungsten 등이 나타난다. 각 물질은 제거 속도등 물성치가 다르므로 평탄화에 어려움이 있다. 그림 7의 (a)는 웨이퍼 표면에 패턴이 도출하기 전 상태이고, (b)는 웨이퍼 표면에 패턴이 도출된 상태이다

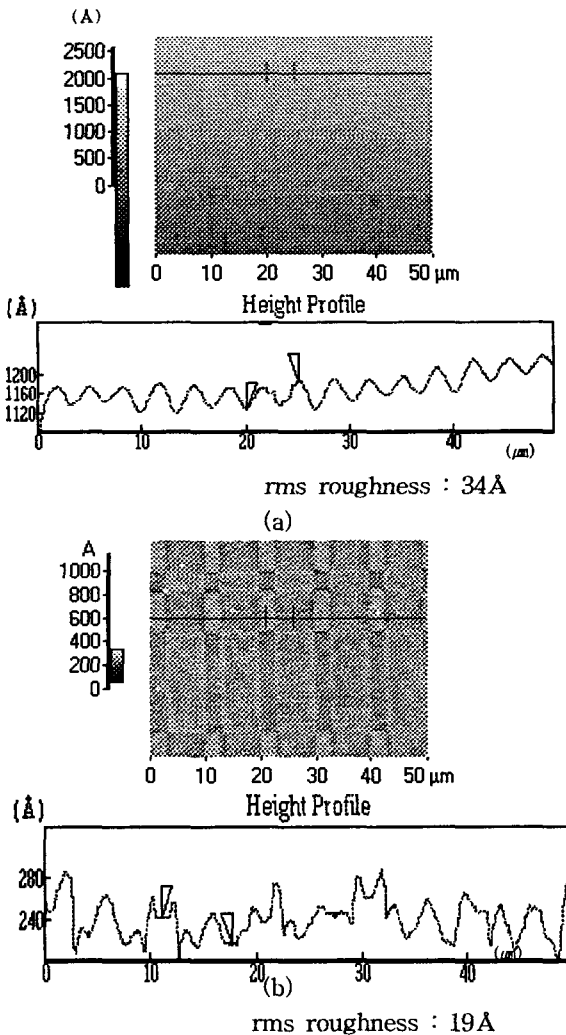


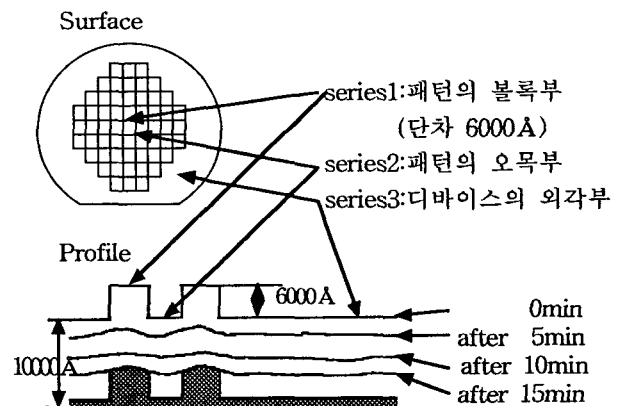
그림 7. Pattern의 표면 도출 전·후의 웨이퍼 표면 상태

디바이스 웨이퍼의 패턴의 재질은 tungsten으로서 절연막인 SiO_2 와는 전혀 다른 물질이다. 일반적으로 SiO_2 나 Si의 CMP 가공시에는 알카리 베이스의 슬러리를 사용하고, metal의 경우에는 산성 베이스의 슬러리를 사용하는 상반된 성질을 가진다. 패턴이 도출된 후의 웨이퍼 표면 상태는 전체적인 rms roughness는 더 향상(15Å)되었지만 절연막과 배선부의 단차 등은 더 증가(최고 13Å)한 것을 볼 수 있다. SiO_2 와 Tungsten의 기계적 특성 차이와 가공물에 대한 슬러리의 부적합등으로 인하여 배선인 텅스텐의 도출이 CMP 가공의 STOPPER 역할을 하는 결과를 낳게 되었다. 배선이 도출된 후에는 배선부(tungsten)보다 오목부(SiO_2)가 더 빨리 제거되는 것이다. 결국 CMP 가공시 웨이퍼 표면에 여러 가지 물질을 동시에 평탄화시키기는 어렵다는 것을 의미한다.

또, 배선부(metal)와 절연막(SiO_2)의 경계부분에 깊은 골이 형성되어있는 것을 알 수 있다. 산과 골까지의 단차가 최소 30Å에서 최고 56Å까지 평균 44Å 정도의 차이를 가지고 있다. Rms roughness 13Å에 비해 상당히 큰 값이다. 이는 입자에 의한 mechanical 제거작용보다는 베이스 액에 의한 chemical 제거작용에 의해 경계부분이 더 빨리 제거되어 골을 형성하는 것으로 보인다.

그림 6, 7에서 나타난 바와 같이 패턴이 표면에 도출된 후에도 CMP 가공이 계속되면 광역 평탄화(global planarity)는 양호해지나 국소 평탄화(local planarity)는 악화되는 것을 알 수 있다. 디바이스 웨이퍼 CMP 가공의 종점을 배선의 도출 직후로 결정하는 이유가 여기에 있다.

디바이스상의 요철부와 디바이스 외각부에서의 박막(SiO_2)의 두께를 측정하여 제거량을 그림 8에 나타내었다. 박막 두께 측정은 Nano spec으로 측정하였다.



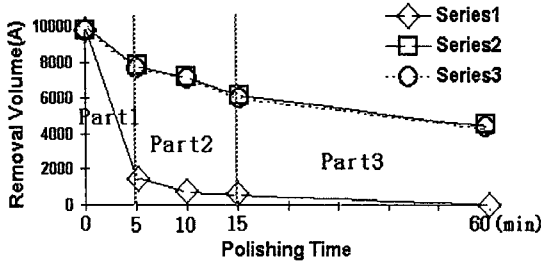


그림 8. 디바이스 웨이퍼의 형상에 따른 제거량

디바이스 상에 남아 있는 박막두께를 측정된 결과 돌출부가 오목부나 디바이스 외각부보다 훨씬 빨리 제거되는 것으로 나타났다. 디바이스 돌출부에 대한 오목부 및 외각부의 표면 요철 단차는 가공 5분후 약 10)Å, 가공 10분후와 가공 15분후 약 400Å 정도의 차이를 갖는다. 이는 패턴의 오목부도 pad의 변형등으로 인하여 같이 제거되나 돌출부의 제거 속도가 빨라 어느 순간에 평탄화가 이루어진다는 것을 보여준다

Polishing Time 15분 전후로 패턴이 웨이퍼 표면에 도출된다는 사실을 AFM 측정으로 알고 있다. 박막두께 측정 데이터상으로는 polishing time 5분(part1)까지는 급격한 경사를 그리면서 removal rate (단위시간당 제거량)가 상당히 큰 것을 볼 수 있다. 이 기간은 표면 요철에 의해 가공접촉면적이 적어 빠른 속도로 제거된다고 볼 수 있다. Polishing Time 5분에서 15분(part2)까지는 removal rate가 상당히 감소한다. 이는 요철이 점차적으로 없어짐으로서 가공접촉면적이 넓어져 상대적으로 연마속도가 줄어들기 때문이다. 15분이후(part3)는 웨이퍼 표면에 도출된 tungsten이 앞에서 설명한 바와 같이 stopper 역할을 하기 때문에 가공속도는 더욱더 느려진다.

6 결론 및 향후 방향

디바이스 웨이퍼의 평탄화를 CMP에 의해 가공하고 AFM으로 측정된 결과 상대단차가 Å이하인 완전 평탄화를 얻을 수 있었다. 그러나, 패턴이 웨이퍼 상에 도출된 후의 표면상태에는 절연막과 배선부의 CMP 특성 차이에 의해 표면단차가 발생하기 시작했다. 배선이 도출되기 전의 표면 상태를 본 실험에서 측정된 결과에는 이러한 문제점을 발견할 수 없었다.

따라서, 디바이스 웨이퍼의 광역 및 국소 평탄화가 이루어지기 위해서는 평탄화 중점이 배선이 도출된 직후가 되어야 하며, 이러한 평탄화 중점 검출(end point detection)에 대한 연구가 더욱더 이루어져야 한다고

생각된다.

7. 후 기

AFM 측정과 박막 두께 측정에 도움을 주신 RIST, 동국대 관계자 여러분께 감사의 말씀을 드립니다.

참고 문헌

- [1] 砥粒加工によるデバイスウェハのプラナリゼーションに関する研究, 1994, 丁海島
- [2] Application of Chemical Mechanical Polishing for the Fabrication of VLSI Circuit Interconnectings, William J. Patrick, William L. Guthrie, Chales L. Standely, Paul M. Schiabile
- [3] 機械的プラナリゼーション加工の加工終点検出技術の現状と今後の課題, 1996, 精密工學會誌 Vol. 62. No. 4, 猪川 洋
- [4] Scanning Probe microscopy Technology and recent innovation, 1994, Y. E. Strausser and M. G. Heatan
- [5] New Applications of Scanning Probe Microscopy and High Speed Voltage Probing of Integrated Circuits, 1996, Sang-il Park
- [6] 차세대 반도체 제조를 위한 초정밀 가공기술, 대한기계학회지 제36권 제3호, 1996, 정해도
- [7] Tungsten Chemical-Mechanical Polishing for ULSI Via Formation, 1995, Surface Volume 2. Issue 2, Dale L. Hetherington, R. D. Timan, B. L. Praper, J. F. Wang, Z. Liu, J. E. Currie, C. A. Farrcett, L. M. Cook, and J. M. Koppenbrnk