

적층형 Chip Inductor의 전자기적 특성에 미치는 제조공정의 영향

쌍용중앙연구소 신재영*,박지호,박진채,한종수,송병무

THE EFFECT OF PROCESSING FACTORS ON THE ELECTRICAL AND MAGNETIC CHARACTERISTICS OF MULTILAYER CHIP INDUCTOR

Ssangyong Research Center J. Y. Shin*,J. H. Park,J. C. Park,J. S. Hahn,B. M. Song

1. 서 론

전자기기의 개발 동향은 소형화와 고성능화로 집약되고 있으며, 전자기기내에서 수동소자로 이용되는 inductor 또한 표면실장부품(SMD)형으로 연구 개발되고 있는 추세에 있다[1]. SMD형으로 개발되어 현재 사용되고 있는 inductor의 종류는 권선형, 적층형, 박막형 등이 있으나 범용 주파수대역인 100MHz 이하에서는 권선형과 적층형이 사용가능하다. 이중 적층형 chip inductor는 cross talk가 작고 소형화하는데 장점이 있어 고밀도 실장이 요구되는 전자기기에 급속히 응용되고 있는 추세이다[1].

Ferrite green sheet를 적층하여 제조한 chip inductor의 특성은 ferrite 조성, 내부전극 pattern, 내부전극 적층수, 소결 조건 등에 크게 의존하기 때문에 소재개발 연구와 공정기술 개발이 필수적으로 요구되고 있으나 이와 관련된 연구 발표는 미비한 실정이다. 본 연구에서는 chip inductor의 제조공정인자로 내부전극 적층수, 소결 조건을 선정하여 이들의 변화에 따른 inductor의 inductance, impedance, Q값 등의 전자기적 특성을 고찰하였다.

2. 실험방법

일반적인 세라믹 제조공정에 의하여 ferrite green sheet를 제조한 후, via-hole 형성, 내부전극 인쇄, 적층, 절단, 소결, 외부전극 형성 등의 chip 제조공정에 의하여 3216size(장축:3.2mm, 단축:1.6mm)인 적층형 chip inductor를 제조하였으며, inductor의 내부전극은 자체적으로 설계한 고유 pattern 및 100% Ag paste을 사용하였고 소결온도는 900℃로 하였다. 이때 내부전극 층수 변화와 소결시간 변화에 따른 chip inductor 시편을 제조하고 impedance analyzer에 의하여 inductance, impedance, Q값

등의 전자기적 물성을 측정하였다.

3. 실험결과 및 고찰

소결시간 변화에 따른 chip inductor의 Q값 및 inductance 변화를 Fig. 1에 나타내었다. Fig. 1에 나타난 시편은 투자율:170인 조성을 사용하였고, 내부전극 층수는 3층형으로 제조한 것이다. 소결 시간이 감소함에 따라서 Q값이 증가하는 경향이 있으며 소결시간 30분~1시간일 때 Q값은 63~65 정도의 높은 값을 얻을 수 있었다. 이와같은 현상은 소결시간이 감소함에 따라서 내부전극의 비저항이 감소하고 이와 반비례 관계에 있는 Q값이 증가하기 때문이라고 판단된다. 이때 소결시간 변화에 따른 inductance는 큰 변화가 없어 저손실 chip inductor를 제조하기 위해서는 ferrite와 Ag 전극간의 동시소성 조건이 중요함을 알 수 있었다. 또한 내부전극 층수 변화에 따른 chip inductor의 inductance, impedance, Q값 변화를 고찰하였으며, 이러한 결과를 내부전극 turn수와 연관지어 고찰하였다

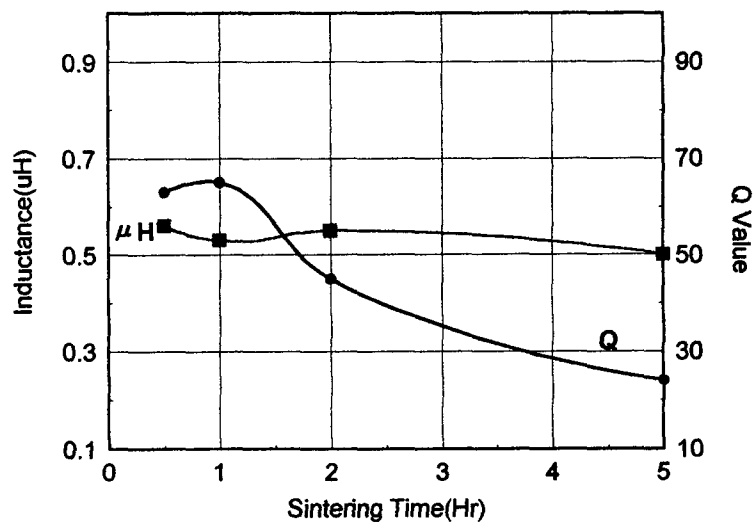


Fig. 1 Sintering time dependence on the Q_{max} and inductance value of multilayer chip inductor.

4. 참고문헌

- [1] T. Nomura and A. Nakano, ICF6, 1198~1200(1992).