B9

칩비드의 전기적 특성 분포에 미치는 절단 위치 오차의 영향

쌍용중앙연구소 최현석*, 박진채, 박지호, 한종수, 송병무

THE EFFECT OF VARIATION IN CUT POSITION OF CHIP BEAD ON THE DISTRIBUTION OF ELECTRICAL CHARACTERISTICS

Ssanyong Research Center H. S. Choi*, J. C. Park, J. H. Park, J. S. Hahn, B. M. Song

1. 서 론

각종 전자기기의 디지탈화 가속에 따라 고주파 노이즈에 의한 기기의 오동작 등 전자파장애(EMI) 문제가 심각해져 이에 대한 대책도 지속적으로 진행되어 왔다. EMI에 대한 대책부품은 크게 벌크형과 칩형으로 나눠지는데 최근 SMD화의 경향에 따라 칩형부품이 수요가 급격히 늘어났다.

본연구는 칩형부품의 일종인 칩비드의 전기적특성 분포에 대한 것인데, 칩비드 모델들에 대해 전자기장 해석을 실시하여, 칩비드의 전기적 특성분포가 정규분포를 벗어나 특성치가 높은 쪽으로 치우치는 현상(Fig. 1)을 규명하였다.

2. 실험방법

칩비드의 제조공정은 분말합성, 그린시트제작, 전극인쇄, 시트적층, 절단, 소결, 외부전극 형성으로 이루어지는데 칩비드의 전기적 특성분포가 정규분포를 벗어나는 현상과 관련이 될것으로 추정되는 공정은 내부전극위치를 변화시킬 수 있는 절단 공정으로 판단된다. 일반적으로 칩비드의 절단은 자동 cutter에 의해 일정간격으로 이루어지는데, 이때 약간씩 절단위치에 오차가 발생하여 절단후 칩의 크기와 내부전극 위치가 일정하지 않다. 그런데 절단위치 변동을 오차에 기인하는 것으로 절단위치별 시편수는 정규분포를 이룬다고 추정할수 있다. (Fig. 2참조)

3. 실험결과

칩비드 모델들을 전자장 해석한 결과 칩비드의 크기가 클수록, 칩비드의 내부전극이 칩중심에 가까울수록 인덕턴스값이 큰 것을 알 수 있었다.(Fig. 3)

이 결과를 그림 2의 칩비드의 절단위치별 돗수분포와 조합하여 칩비드의 인덕턴스분포를 시뮬레이션 해 본 결과(Fig. 4) 측정치와 유사함을 알 수 있었다.

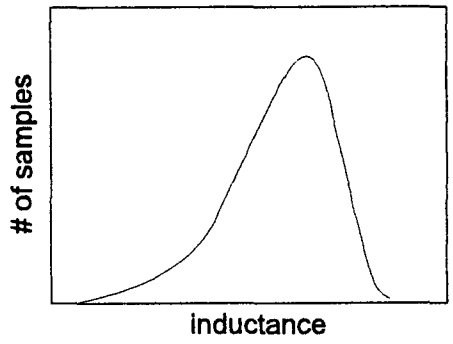

Fig. 1. Inductance distribution of chip bead

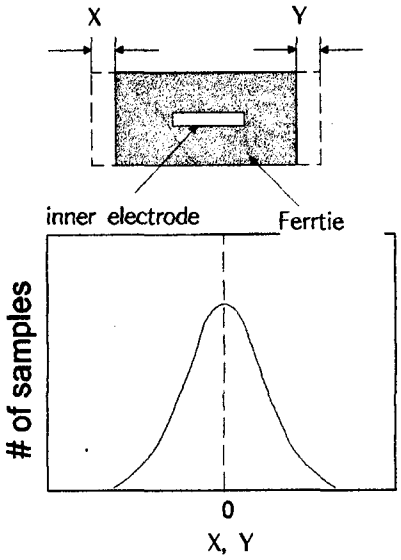

Fig. 2. Cut position of chip bead

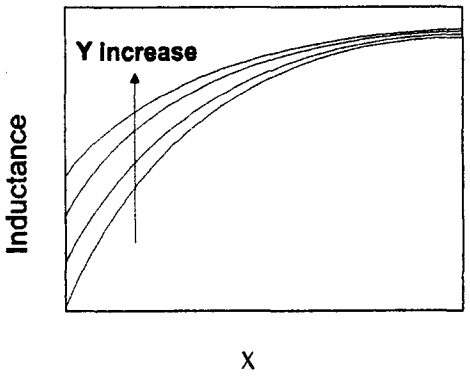

Fig. 3. Inductance of chip bead(calculated)

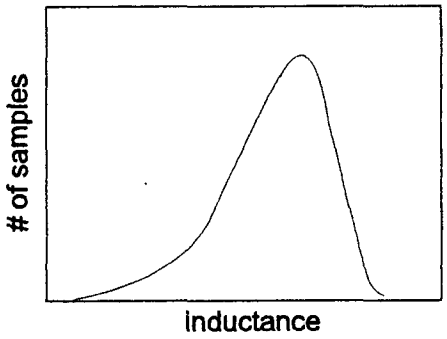

Fig. 4. Inductance distribution of chip bead(simulated)