

**Ni/Pd 이중금속유도측면결정화에 의한 저온(400℃) 다결정 실리콘
트랜지스터 제작에 관한 연구**
**Fabrication of Low Temperature Poly-Si TFT by Ni/Pd
DMILC(Double-Metal Induced Lateral Crystallization) at 400℃**

김광호, 이병일, 신진욱, 안평수, 정원철, 주승기
 서울대학교 공과대학 재료공학부
 TEL : (02)880-7442, 875-2311 FAX : (02)886-4156, 875-2310

서론

대면적 능동영역 액정표시소자(Active Matrix Liquid Crystal Display Device)를 위해 값싼 유리기판에 다결정 실리콘 박막 트랜지스터(TFT ; Thin Film Transistor)를 제작하려면 비정질 실리콘의 결정화 온도와 도판 활성화 온도를 500℃ 이하로 유지시켜야 한다. 그러나, 기존의 금속유도결정화(MIC ; Metal Induced ystallization)는 금속오염에 의한 누설전류로 인해 적용시킬수 없고 Ni 박막을 이용한 금속유도측면결정화 (etal Induced Lateral Crystallization)는 500℃에서는 가능하나 값싼유리의 대면적화에 적용시키기에는 400에서 측면결정화 발생이 어려워 제작이 불가능 하다. 이에 본 연구에서는 Ni/Pd 이중박막에 의해 Pd 실리콘이드가 전진하면서 체적변화로 발생하는 스트레스에 의해 결정화가 촉진되어 400℃에서도 측면결정화가 발하는 것(DMILC ; Double-MILC)을 이용하여 저온 다결정 실리콘 트랜지스터를 제작하였다.

실험방법

ECR PECVD 장치를 이용하여 SiH₄와 O₂를 혼합하여 플라즈마를 형성시켜 2000Å의 산화막(Buffer side)을 형성시키고 저압화학증기증착법에 의해 480℃에서 active는 1000Å, gate는 2000Å의 비정질 실리콘을 착하였다. 게이트 산화막은 ECR PECVD장치를 이용해 기판가열 없이 oxidation 300Å, oxide 증착 700Å으로 두단계로 나누어 진행하였다.도핑은 이온질량주입기(IMDS ; Ion Mass Doping System)에 의해 phosphorus ion doping하였다. Ni박막은 마스크 없이 50Å을 증착하였고 Pd 박막은 마스크를 사용해 shift하 증착하였다. 그리고 열처리는 H₂ 분위기에서 35시간에서 45시간까지 수행하였다.

실험결과

Shift된 거리에 따라 0.0μm는 Pd-MILC의 I-V 특성을 나타내었고 2.5μm shift TFT는 전계이동도 38cm²/Vs, /off 전류비가 10⁶ 을 보였다. 5.0μm shift TFT는 열처리를 45시간해서야 소자특성을 보였고 5.5μm shift TFT는 55시간만에 2.5μm shift TFT와 유사한 특성을 보였다.

참고문헌

- 1)Y.Kawazu, H.kudo, S.Onari, and T.Arai, Jpn. J. Appl. Phys., 29,2968,1990
- 2)Seok-Woon Lee and Seung-Ki Joo, IEEE Electron Device Letters. vol.17, no.4,160, 1996