

**핵생성 계면 제어된 LPCVD 비정질 실리콘 박막의 고상결정화를
이용한 다결정 실리콘 박막 트랜지스터 제조**

(Fabrication and Characterization of Poly-Si TFT's using Solid Phase Crystallization of
LPCVD Amorphous Si Films by Nucleation-Interface-Control)

홍익대학교 금속·재료공학과 황의훈, 정세진, 노재상

1. 서론 : 액정표시소자(LCD)용 다결정 실리콘 박막 트랜지스터(Poly-TFT's)제조에 사용되는 실리콘 박막의 결정립 크기를 조대화 하려는 연구가 광범위하게 진행되고 있다. 이를 위하여 핵생성을 억제하고 입자성장을 상대적으로 증진시키는 공정조건이 필요하다. 본 연구에서는 다층 비정질 실리콘 박막의 고상결정화 거동을 관찰함으로써 핵생성 계면 제어된 조대한 결정립을 갖는 다결정 실리콘 박막을 제조하였다. 또한 이를 이용하여 다결정 실리콘 박막 트랜지스터를 제조하여 그 전기적 특성을 평가하였다.

2. 실험방법 : 1000Å 열산화막(SiO_2)위에 저압화학증착(LPCVD)법으로 Si_2H_6 가스를 사용하여 비정질 혹은 다결정 실리콘 박막을 증착하였다. 480°C, 0.35 Torr의 증착조건으로 950Å 증착시킨 비정질 실리콘 박막의 계면(a-Si/ SiO_2)에 핵생성을 억제하기 위하여 상대적으로 매우 얇은 혼합상 혹은 비정질 실리콘층을 증착하여 1000Å의 다층 실리콘 박막을 제조하였다. 다층 실리콘 박막의 고상결정화 거동은 480°C, 0.35 Torr에서 1000Å 증착한 단층 비정질 실리콘 박막과 비교·분석되었다. 핵생성 계면 제어된 다결정 실리콘 NMOS-TFT를 제조하기 위하여 ECR-CVD로 게이트 산화막을 1000Å, 그 위에 저압화학증착기로 게이트 실리콘 2000Å을 각각 증착하였다. 소오스, 드레인 영역을 정의하기 위하여 P⁺이온주입하여 600°C에서 활성화시켰다. 제조된 NMOS-TFT의 전기적 특성은 HP4140A probe station을 사용하여 측정하였다.

3. 결과 및 고찰 : 600°C 고상 결정화처리시 핵생성 계면(a-Si/ SiO_2) 제어된 다층 비정질 실리콘 박막의 경우 단층의 1000Å 비정질 실리콘에 비해 핵생성의 잠복기 및 최종결정립 크기가 매우 증가하는 것을 관찰할 수 있었다. TEM 관찰 결과 핵생성 계면 제어된 다결정 실리콘 박막의 경우 약 4 μm 이상의 조대한 결정립을 얻을 수 있었다. 또한 소자의 전기적인 특성에 영향을 미치는 다결정 실리콘의 표면 거칠기를 측정한 결과 440°C, 0.35 Torr의 비정질 실리콘층으로 핵생성 계면 제어한 박막이 550°C, 0.03 Torr의 혼합상 실리콘층으로 핵생성 계면 제어한 박막의 경우보다 매우 향상되는 것을 관찰할 수 있었다. 핵생성 계면 제어된 다결정 실리콘을 사용한 NMOS-TFT 경우 매우 높은 소자의 전자 이동도와 낮은 문턱전압을 나타내었다. 이는 핵생성 계면제어에 의해 조대해진 다결정립이 소자 구동 영역에서의 결정립계에 의한 전자 산란 효과를 최소화시킨 결과라 판단된다.

4. 결론 : 핵생성 계면(a-Si/ SiO_2)제어된 다결정 실리콘을 사용하여 NMOS-TFT를 제조하였을 경우 소자의 전기적인 특성이 매우 향상되었다.