

두께감소에 따른 BST 박막의 전기적, 미세구조적 성질  
**Electrical and Microstructural Properties of BST Thin Films  
 with Decreasing Thickness**

원진희, 백수현, 이공수, 마재평\*  
 한양대학교 재료공학과  
 호남대학교 전자공학과

### 1. 서론

1 Giga 급이상의 반도체 DRAM의 capacitor에 적용을 목적으로 Ta<sub>2</sub>O<sub>5</sub> 또는 SiO<sub>2</sub>를 대체할 수 있는 고유전율 (Ba,Sr)TiO<sub>3</sub> [BST]박막에 대한 연구가 활발히 진행되고 있다. (Ba,Sr)TiO<sub>3</sub> 박막은 비교적 낮은 누설전류를 나타내고 Ba/Sr 비를 조절함으로써 상유전성을 가지는 박막을 얻으므로써 PZT 박막등에서 문제가 되는 fatigue 등의 문제를 배제시킬 수 있다는 장점을 지니고 있다. 하지만 고집적화가 요구되는 Giga 급 DRAM 이상에 적용을 위해서는 storage node 간의 매우 작은 간격으로 인해 BST 박막의 두께를 50nm 이하로 감소시켜야한다. 이 과정에서 두께감소에 따라 박막의 누설전류가 급격히 증가하고 유전상수도 감소하는 경향을 나타내고 있다. 특히 BST 박막과 Pt 전극사이의 계면상태가 박막의 전기적 성질에 미치는 영향에 대한 연구는 거의 없다. 이로인해 BST 박막의 두께 변화에 따른 전기적 특성을 고찰하고 그 원인을 규명하는 것이 요구된다.

본 연구에서는 RF magnetron sputtering에 의해 증착된 BST 박막의 두께에 따른 누설전류와 유전상수의 변화를 고찰하였다. 또한 BST 박막의 미세구조를 조사하므로써 두께변화에 따른 물성저하의 원인을 규명하고자 하였다.

### 2. 실험방법

(Ba,Sr)TiO<sub>3</sub> 박막을 Pt/Ti/SiO<sub>2</sub>/Si(100) 기판상에 RF magnetron sputtering 방법을 이용하여 증착하였다. 이때 증착온도와 plasma 내의 Ar/O<sub>2</sub>의 비는 이전의 연구과정에서 얻은 최적의 조건으로 유지시킨후 BST 박막의 두께를 300 ~ 35nm로 변화시키면서 박막을 증착하였다. 증착된 박막의 상형성을 확인하고 미세구조를 고찰하기 위하여 XRD, SEM, HRTEM을 이용하였고 BST 박막의 전기적 특성은 HP4280A CV meter와 HP4145B Semiconductor Parameter Analyzer를 이용하여 측정하였다.

### 3. 실험결과

(Ba,Sr)TiO<sub>3</sub> 박막의 누설전류는 두께가 50nm 이하에서 급격히 증가하는 경향을 나타냈으며 이때의 유전상수 또한 급격히 저하되었다. 이는 박막의 두께가 감소할수록 grain size가 감소하는데 원인이 있다고 생각된다. 또한 HRTEM으로 확인한 결과 BST/Pt 계면에 존재하는 interfacial layer는 BST 박막의 두께가 감소하여도 일정한 두께를 나타내어 이 interfacial layer가 박막의 물성저하의 원인이 되는 것으로 생각되어진다.

### 참고문헌

1. T.Horikawa, N.Mikami, T.Makita, J.Tanimura, M.Kataoka, K.Sato and M.nunoshita, Jpn. J. Appl. Phys. 32, 4126(1993)
2. J.H.Won, S.H.Paek, Y.S.Hwang, K.K.Kim, Y.S.Cho, J. Mat. Sci. : Materials in Electronics, 6, 161-164 (1995)
3. S.H.Paek, J.H.Won, J.E.Jang, Proceedings of the 3rd IUMRS-ICA edited by S.W.Kim, S.J.Park Vol.2 1051-1056 (1995)