

고저항 실리콘 기판을 이용한 마이크로 웨이브 인덕터의 제작

Fabrication of Si monolithic inductors using high resistivity substrate

박 민*, 현영철, 김천수,
유현규, 구진근, 남기수
이성현

한국전자통신연구소 반도체연구단

한국의국어대학교 전자공학과

Min Park*, Yeong Cheol Hyeon,
Choon Soo Kim, Hyun Kyu Yu,
Jin Gun Koo, Kee Soo Nam
Seonghearn Lee

Semiconductor Technology Division,
Electronics and Telecommunications
Research Institute

Department of Electronic Engineering,
Hankuk University of Foreign Studies

ABSTRACT

We present the experimental results of high quality factor (Q) inductors fabricated on high-resistivity silicon wafer using standard CMOS process without any modifications such as thick gold layer or multilayer interconnection. This demonstrates the possibility of building high Q inductors using lower cost technologies, compared with previous results using complicated process. The comparative analysis is carried out to find the optimized inductor shape for the maximum performance by varying the thickness of metal and number of turns with rectangular shape.

1. 서 론

무선 통신 시장의 급속한 성장에 따라, 실리콘 기판을 이용한 RF-IC (radio frequency integrated circuit) 기술은 적은 비용, 높은 집적도, 그리고 현재의 공정 기술을 적용할 수 있는 가능성 등 유리한 점이 많이 있기 때문에 앞으로 각광 받는 반도체 기술로 인식되어 가고 있다 [1]. RF-IC 응용 분야에 있어서, 실리콘 기판 위에서 높은 Q (quality factor) 값을 얻는 것은 매우 중요한 과제이다. 그러나, 실리콘 기판이 갈륨 비소 기판에 비해 substrate loss 가 크기 때문에 microwave 영역에서 주파수 특성이 저하되는 문제를 해결하는 것은 결코 쉽지는 않다 [2]. 실제로 실리콘 기판을 이용한 인덕터의 개발에 있어서도 높은 Q 값을 얻는 것이 어렵기 때문에 단지 몇몇의 연구 결과만이 발표될 뿐이었다 [3]. 최근에 AT&T Bell Laboratories의 Ashby 등은 금속 배선으로 두께가 두꺼운 금 (gold)을 사용하고 고저항 실리콘 기판

(150 ~ 200 Ω -cm)을 이용한 실리콘 바이폴라 (Si bipolar) 공정에서 동작 주파수가 3.3 GHz 일 때 Q 가 12.1 이고 인덕턴스값이 2.88 nH 인 인덕터를 발표하였다 [4]. 이와 비슷한 시기에 IBM의 Burghartz 등은 BiCMOS 공정에 다층 금속 배선 공정을 적용하여 주파수가 4 GHz 일 때 Q 값이 9.3 이고 인덕턴스값이 1.95 nH 인 인덕터를 발표하였다. 그러나 이러한 공정들은 기존의 Si CMOS 공정에 적용하기에는 어려울 뿐만 아니라 가격 측면에서 불리한 면이 있다. 따라서 기존의 CMOS 공정 기술을 적용하여 substrate loss 를 줄이고 microwave 영역에서 보다 좋은 특성을 갖는 인덕터의 개발이 필수적이다.

본 논문에서는 기존의 Si CMOS 공정에 고저항을 갖는 실리콘 기판을 사용하여 정방형 (rectangular) 모양의 평면 나선형 인덕터 (spiral inductor)를 제작하였으며, 인덕터의 크기 및 나선의 회전수에 따른 특성 변화를 분석하였다. 복잡하고 다른 부가적인 공정을

하지 않고 종래의 Si CMOS 공정을 적용하여 제작한 인덕터의 Q 특성은 기존에 발표된 것과 필적할 만큼 좋은 특성을 나타냈다.

2. 인덕터 제조 공정

정방형 모양의 평면 나선형 인덕터를 제작하기 위하여 TiW/Al-1%Si/TiW의 금속 배선을 사용한 CMOS 공정 기술을 적용하였다. 평면 나선형 인덕터는 1차 금속 배선 공정에서 나선의 중심까지 배선이 정의되고, PECVD Oxide/SOG (Spin-On Glass)/PECVD Oxide의 층간 절연막의 구조를 이용한 2층 금속 배선 공정을 이용하였다. 이들 평면 나선형 인덕터의 경우, 나선을 구성하는 금속의 선폭과 선간간격, 나선의 회전수(N), 나선의 내경 (inner diameter) 등에 의해서 인덕턴스값이 정해진다. 또한 이들 각각의 변수값을 변화시킴으로써 여러가지 형태의 인덕터를 설계할 수 있다.

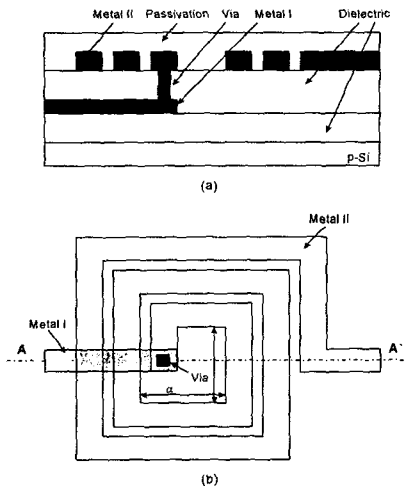


그림 1. 인덕터의 단면도 및 layout.

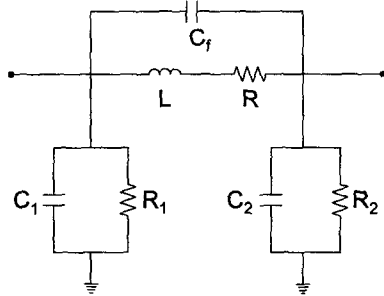


그림 2. 인덕터의 등가회로.

(그림 1)의 (a)는 정방형 모양의 평면 나선형 인덕터의 단면도를 나타낸 것이며, (b)는 제작된 인덕터의 평면 layout 이다. 그림 (b)에서 α 는 인덕터의 내경을 나타낸다. 본 연구를 위해 제작된 인덕터의 금속 배선의 선폭 및 선간 간격은 각각 $10 \mu\text{m}$, $2 \mu\text{m}$ 이며, 나선의 회전수 변화에 따른 특성 변화를 알아보기 위하여 나선수를 4 ~ 12 로 변화시켰다. 인덕턴스에 영향을 주는 2nd metal 은 TiW(75 nm)/Al-1%Si(800 nm)/TiW(220 nm) 구조로 두께는 $\sim 1.1 \mu\text{m}$ 정도이다 [5]. 따라서 기존의 발표된 논문의 경우에 비해 두께가 작으며 실제 인덕터의 저항은 크게 나타났다 [2, 4]. 금속 배선간의 층간 절연막은 전체 두께가 800 nm 로 PECVD-oxide/SOG/PECVD-oxide의 샌드위치 구조를 사용하였다. 인덕터가 형성되는 부분의 1차 금속 배선 밑의 절연막은 종래의 CMOS 공정에서 형성된 field 산화막 및 소자 격리 산화막 등으로 두께는 $\sim 1.2 \mu\text{m}$ 정도이며, CMOS 소자 제작을 위해 형성되는 절연막과 동일한 공정을 사용하여 전체적인 소자 제작에 있어서 수동 및 능동 소자의 제작 공정이 동일하도록 하였다. Microwave 영역에서 기판의 loss를 줄이기 위해 resistivity가 $2 \text{ K}\Omega\text{-cm}$ 인 고저항 p-type 실리콘 기판을 사용하였다. 측정하기 위한 ground pad 부분은 기판과의 접지를 위해 sub-contact을 하였다. 또한 금속 배선의 저항을 줄이고자 2차 금속 배선 공정을 2회 수행하여 금속층의 두께가 $2 \mu\text{m}$ 정도인 인덕터도 함께 제작하였다.

3. 결과 및 논의

제작된 인덕터는 HP8510B network analyzer 및 Cascade Microtech RF probes를 사용하여 2 port S-parameter를 측정하였으며, 측정된 결과로부터 pad 부분의 기생 성분을 제거하기 위하여 인덕터를 제외한 “open” pad pattern 을 사용한 정확한 pad 보정을 수행하였다 [6]. 인덕터의 unloaded Q 값은 측정된 2 port S-parameter로부터 변환시킨 1 port 입력 임피던스 (input impedance) 값의 imaginary 성분과 real 성분비로 결정하였다.

(그림 2)는 제작된 인덕터의 등가회로를 나타낸 것이다. L 과 R 은 각각 인덕터의 인덕턴스 값과 저항을 나타낸다. 그리고 C_f 는 금속 배선 사이의 캐패시턴스값을 나타낸 것이다. C_1 , C_2 는 각각 1차 금속 배선과 2차 금속 배선 사이 및 기판과의 캐패시턴스 값을 나타낸 것이다. 또한 R_1 , R_2 는 기판에서의 loss 성분과 관련한 저항을 나타낸 것이다. 이러한 모델 변수는 측정된 S-parameter를 HP-EEsof LIBRA를 사용하여 등가 회로상의 변수 와 측정치를 fitting 함으로써 추출한 것이다. 이들 소자 시뮬레이션 (simulation) 결과 및

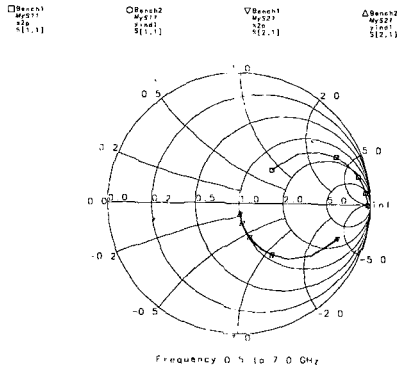


그림 3. 내경이 100 μm 이고 금속 배선의 선폭 및 선간 간격이 각각 10, 2 μm 인 정방형 모양의 평면 나선형 인덕터의 loaded S-parameter 측정치.

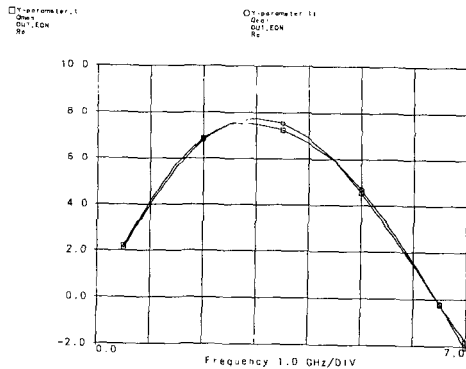


그림 4. 내경이 100 μm 이고 금속 배선의 선폭 및 선간 간격이 각각 10, 2 μm 인 정방형 모양의 평면 나선형 인덕터의 Q 의 측정치 및 최적화된 등가회로의 계산치 비교.

측정치에 대해서는 (표 1)에 자세히 정리 하였다. (표 1)에서 인덕터의 나선의 회전수는 N , 최대 Q 값은 Q_{max} , Q 가 최대값 일 때의 주파수는 f_{max} , 그리고 공진 주파수는 f_{res} 로 각각 표시하였다.

(그림 3)은 2-port measurement 로 측정한 대표적인 인덕터의 loaded S-parameter 를 나타낸 것이다. 인덕터의 나선 회전수는 8회이고, 금속 배선의 폭과 간격은 각각 10 과 2 μm 이다. 또한 인덕터의 내경은 100 μm 이며 전체 인덕터의 크기는 276 x 276 μm^2 이다. (그림 2)의 등가회로를 사용하여 curve-fit 최적화 (optimization) 한 결과 인덕턴스 (L)은 13.1 nH 이고 인덕터의 저항은 19.4

Ω 를 얻었으며, 기판과의 캐패시턴스값 C_1 , C_2 는 각각 20.9 및 37.1 fF으로 나타났다. 본 그림의 S-parameter는 2-port 측정시 50 Ω 의 load가 포함된 결과이다.

(그림 4)는 (그림 3)에서 사용된 나선형 인덕터의 Q 의 측정치 및 최적화된 등가회로의 계산치를 비교한 것이다. 그림에서 알 수 있는 바와 같이 fitting 된 등가회로의 Q 값이 실제로 측정된 값과 일치함을 나타낸다. Curve-fit 최적화에서 얻은 인덕터의 특성은 동작 주파수가 3.0 GHz에서 Q 는 6.9을 얻었다. 이 때의 공진주파수는 f_{res} 은 6.3 GHz 이다.

(그림 5)는 위에서 언급한 인덕터와 같은 모양이지만 금속 배선의 저항을 줄이고자 금속 배선의 두께를 2 μm 로 하였을 때의 인덕터의 측정 Q 값 및 모델된 등가회로의 계산치를 비교한 것이다. (그림 4)와 마찬가지로 등가회로의 Q 값 및 실제 측정치가 일치함을 알 수 있으며, 금속 배선의 두께를 증가시켜 저항을 감소시킬 경우 측정된 Q 값은 동작 주파수가 3.0 GHz에서 11.5를 얻었다.

(표 1)에 나타나 있는 나선의 회전수의 변화에 따른 Q_{max} , f_{max} , 그리고 f_{res} 의 변화 및 등가회로에서 추출한

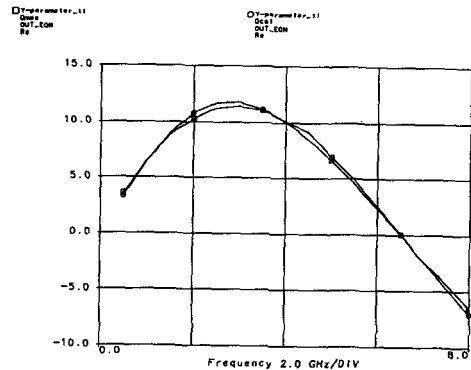


그림 5. 두께가 2 μm 인 정방형 모양의 평면 나선형 인덕터의 Q 의 측정치 및 최적화된 등가회로의 계산치 비교.

N	Q_{max}	f_{max} (GHz)	f_{res} (GHz)	L (nH)	R (Ω)	C_r (fF)	C_1 (fF)	C_2 (fF)	R_1 (K Ω)	R_2 (K Ω)
12	4.7	1.5	3.0	34.03	32.49	35.3	40.3	82.4	3.71	1.84
10	5.7	2.0	4.6	22.05	26.31	31.4	26.2	52.7	5.49	3.26
8	6.9	3.0	6.3	13.10	19.26	25.6	20.9	37.1	7.11	5.97
6	7.9	4.0	10.2	6.84	13.06	18.0	15.5	23.0	6.63	5.57
4	13.3	10.5	14.5	2.85	7.87	9.0	12.6	14.8	12.26	18.78

표 1. 제작된 인덕터의 특성 변수 및 등가회로에서 추출한 변수의 요약.

모델 변수로부터 다음과 같은 중요한 정보를 얻을 수 있다. 나선의 회전수 (N)가 증가함에 따라 금속 배선이 길어지기 때문에 L 과 R 은 증가한다. 그러나 Q_{max} , f_{max} , 그리고 f_{res} 의 경우에는 N 이 증가함에 따라 전체적인 인덕터의 면적이 커지고 C_1 , C_f 등 기생 성분이 증가하므로 Q 는 감소한다. 따라서 이와 같은 정보는 고주파 무선 통신용 실리콘 RF-IC의 제작에 있어서 원하는 동작 주파수에서 최대의 특성을 얻을 수 있는 인덕터를 설계할 때 유용하게 사용될 것으로 생각된다.

4. 결 론

고저항 실리콘 기판 위에 높은 Q 값을 갖는 정방형 모양의 평면 나선형 인덕터를 제작하였으며, 실리콘 기판에서 Si CMOS 2층 금속 배선 공정 기술을 이용한 고성능 인덕터의 제작이 가능함을 보여준다. 종래의 CMOS 공정만을 이용해서 금속 배선 TiW/Al₁₀₀%Si의 두께가 2 μ m인 정방형 모양의 나선형 인덕터에서 Q 값은 약 12 정도로 종래의 복잡한 공정 및 금속 배선으로 사용한 경우와 거의 동등할 만큼 좋은 특성을 나타냈다. S-parameter 최적화로 얻어진 모델된 등가 회로의 계산된 Q 값이 측정된 값과 일치한 결과를 얻었다.

◆ 본 연구는 정보통신부의 지원에 의한 것임.

참 고 문 헌

- [1] N. Camiller, J. Costa, D. Lovelace, and D. Ngo, "Silicon MOSFETs, the microwave device technology for the 90s," *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 545-548, 1993.
- [2] J.N. Burghartz, M. Soyuer, and K.A. Jenkins, "Microwave inductors and capacitors in standard multilevel interconnect silicon technology," *IEEE Trans. Microwave Theory Tech.*, vol. 44, pp. 100-104, Jan. 1996.
- [3] N.M. Nguyen and R.G. Meyer, "Si IC-compatible inductors and LC passive filters," *IEEE J. Solid-State Circuits*, vol. 25, No. 4, pp. 1028-1031, Aug. 1990.
- [4] K.B. Ashby, I.A. Koullias, W.C. Finley, J.J. Bastek, and S. Moinian, "High Q inductors for wireless applications in a complementary silicon bipolar process," *IEEE J. Solid-State Circuits*, vol. 31, No. 1, pp. 4-9, Jan. 1996.
- [5] M. Park, G.H. Kim, J.M. Park, S.G. Kim, Y.C. Hyeon, J.G. Koo, and K.S. Nam, "Multilevel interconnection technology using new pillar formation method and CMP planarization," *Proc. of IEEE CMP-MIC Conference, Santa Clara*, pp. 291-298, 1996.
- [6] P.J. van Wijnen, H.R. Claessen, and E.A. Wolsheimer, "A new straightforward calibration and correction procedure for "on wafer" high-frequency S-parameter measurements (45 MHz-18 GHz)," *IEEE Bipolar Circuits and Technol. Meet.*, pp. 70-73, 1987.