

## 저온제작 Poly-Si TFT 's의 누설전류

### Leakage Current Low-Temperature Processed Poly-Si TFT's

진 교원*	수원대학교 공과대학 전자재료공학과
이 진민	수원대학교 공과대학 전자재료공학과
김 동진	유한공업전문대학 전자과
김 영호	수원대학교 공과대학 전자재료공학과

G. W. Chin*	The University of Suwon
J. M. Lee	The University of Suwon
D. J. Kim	Yu Han Junior College
Y. H. Kim	The University of Suwon

#### Abstract

The conduction mechanisms of the off-current in low temperature ( $\leq 600^\circ\text{C}$ ) processed polycrystalline silicon thin film transistors (LTP poly-Si TFT's) has been systematically studied. Especially, the temperature and bias dependence of the off-current between unpassivated and passivated poly-Si TFT's was investigated and compared.

The off-current of unpassivated poly-Si TFT's is due to a resistive current at low gate and drain voltage, thermal emission current at high gate, low drain voltage, and field enhanced thermal emission current in the depletion region near the drain at high gate and drain voltage. After hydrogenation, it was observed that the off-currents were remarkably reduced by plasma-hydrogenation. It was also observed that the off-currents of the passivated poly-Si TFT's are more critically dependent on temperature rather than electric field.

#### 1. 서론

다결정 실리콘 박막 트랜지스터 (polycrystalline silicon thin film transistors, poly-Si TFT's)는 활성층으로 사용되는 다결정 박막내의 비교적 높은 트랩밀도로 인하여 발생하는 off-current가 크기 때문에 AMLCD용 pixel 소자로 사용하기에는 많은 제한요소를 갖고 있다.<sup>(1)</sup>

Off-current는 TFT-LCD의 제조표시, contrast, flicker 등의 display 품질을 결정하는 중요한 특성이며 실용화하기 위해서는 최소한 off-current가  $1 \text{ pA}/\mu\text{m}$  이하를 갖는 poly-Si TFT's를 제작하여야 한다.<sup>(2)</sup> 이와 같이 poly-Si TFT's의 off-current 특성은 매우 중요한 과제이기 때문에 그 메카니즘의 해석과 소자 특성의 예측 관점에서 off-current의 원인을 해석하고자 resistive current, thermal emission<sup>(6)</sup>, field emission, Poole-Frenkel emission<sup>(7)</sup> 등의 많은 이론이 제시되고 있지만, off-current의 메카니즘을 정확히 해석할 수 있는 통일된 이론은 확립되어 있지 않다.<sup>(3)(4)(5)</sup>

따라서 본 연구에서는 저온( $\leq 600^\circ\text{C}$ )공정으로 제작한 poly-Si TFT's의 off-current 전도 메카니즘에 대한 체계적인 분석과 수소화 공정을 이용한 트랩밀도의 감소현상을 통해 off-current

특성 향상의 메카니즘을 규명하고자 한다.

## 2. 실험 방법

소자의 제작은 p-type Si wafer(4 inch, 100) 위에 APCVD 방법으로 480°C에서 5000Å의 두께의 SiO<sub>2</sub>를 증착한 후 LPCVD 방법으로 560°C에서 1000Å의 실리콘 박막을 증착하여 활성 영역층으로 사용하였다. 활성 영역층을 결정화하기 위하여 600°C 질소 분위기에서 36 시간 저온 열처리하여 활성 영역을 정의한 후 건식 식각 방법으로 다결정 실리콘 박막을 식각 하였으며 게이트의 SiO<sub>2</sub> 박막은 APCVD 방법으로 480°C에서 1000Å 성장시켰다. 다결정 실리콘 게이트 전극으로는 LPCVD 방법을 사용하여 560°C에서 1500Å 두께로 증착한 후 게이트 영역층을 정의 하였다. 소스, 드레인 형성을 위해 자기 정렬 방법으로 P<sup>+</sup> 이온 ( $5 \times 10^{15} / \text{cm}^2$ , 40 KeV)을 주입시켰으며 APCVD 방법으로 SiO<sub>2</sub> 막을 480°C에서 3000Å 두께로 증착하였다. 주입된 이온들을 활성화시키기 위하여 600°C 질소 분위기에서 24 시간 동안 열처리하였다. 소스, 드레인, 게이트 접촉점을 정의한 후 실리콘이 1% 함유된 알루미늄을 DC magnetron sputtering 하여 전극을 증착한 후 금속 마스크를 사용하여 전극을 형성하고 450°C에서 1 시간 동안 열처리하여 다결정 실리콘 박막 트랜지스터를 제작하였다. 수소화 공정은 PECVD장비를 사용한 RF plasma 수소화 방법으로 수행하였다. 수소화 공정시 실험조건은 다음과 같다. RF plasma 조건으로 H<sub>2</sub> flow rate는 100 sccm, 기판온도는 300°C, 초기 진공도는  $1 \times 10^{-7}$  mmHg, power density는 0.25 W/cm<sup>2</sup>, frequency는 13.65 MHz이며 수소화 공정 수행시 chamber내부의 압력은 1 Torr이다.

## 3. 결과 및 고찰

저온 제작 LPCVD 다결정 실리콘 박막 트랜지스터의 off-current 특성의 분석 결과는 다음과 같다.

Fig.1은 off-current의 채널길이에 대한 의존성을 나타낸 그림이다. (-)게이트 전압이 큰 영역에서의 off-current는 채널길이에 무관한 것으로 나타났으며 이는 소자전류가 주로 접합저항에 의해 이루어지는 것으로 생각할 수 있다. Flat bottom영역에서의 off-current는 채널길이

에 크게 의존하는 것으로 나타났으며 이 사실은 이 영역에서의 전류가 소자의 채널 활성영역으로 사용된 다결정 실리콘 박막 저항 성분에 의해 결정되는 것으로 밝혀졌다.

Fig.2는 V<sub>DS</sub>=3V일 때 1/L에 대한 off-current의 의존성을 나타낸 것이다.

V<sub>DS</sub>≤3V이하의 낮은 드레인 전압과 -7V≤V<sub>GS</sub>≤0V 영역에서 off-current가 1/L에 선형적으로 증가하는 것으로 나타났으나 V<sub>DS</sub>>3V이상의 영역에서는 선형적인 특성을 발견할 수 없었다. 따라서 낮은 드레인 전압, 낮은 게이트 전압 영역에서만 off-current가 채널 저항성분에 의한 저항 전류성분으로 이루어지고 있으며 낮은 게이트 전압에서도 드레인 전압이 V<sub>DS</sub>>3V이상이 되면 전계의 영향을 받는 것으로 생각된다.

Fig.3은 다결정 실리콘 박막 트랜지스터의 활성화 에너지(activation energy, E<sub>a</sub>)를 나타낸 그림으로 off-current 특성을 결정하는 중요한 factor 이다. 드레인 전압이 0.1V 일 때 -7V≤V<sub>GS</sub>≤-1V 영역에서는 E<sub>a</sub> 값이 0.6 eV로 일정하며 off-current가 채널 저항 성분에 의해 조절되는 것으로 나타났다. 또한, (-)게이트 전압을 증가시키면 포화되는 영역이 나타난다. 이러한 결과는 off-current가 thermal emission current로 이루어 지는 것을 나타내는 것이며 높은 드레인 전압영역 (V<sub>DS</sub> ≥ 3V)에서 드레인 전압이 증가함에 따라 V<sub>GS</sub> ≤ -7V 영역에서 E<sub>a</sub>는 Poole-Frenkel 효과에 의해 감소됨을 알 수 있었다.

Fig.4는 -20V≤V<sub>GS</sub>≤-7V 영역에서 off-current가 Poole-Frenkel emission에 의한 것임을 나타내는 그림이다. 높은 게이트 전압과 높은 드레인 전압 영역 (-20 V≤V<sub>GS</sub>≤-7 V, V<sub>DS</sub> ≥ 3V)에서 이론에 의한 값과 실험에 의한 값이 일치하므로 off-current가 Poole-Frenkel emission에 의하여 나타난 것임을 알 수 있었다.

Fig.5는 수소화전 off-current의 온도 의존성을 나타낸 그림이다.

온도 25°C~95°C 범위에서 10°C씩 온도를 증가시키면서 off-current를 측정한 결과이며 E<sub>a</sub> 값은 Arrhenius plot에서 얻었다. V<sub>DS</sub>=0.1V일때 25°C~95°C 온도범위에서 게이트 전압이 증가함에 따라 off-current의 증가는 일정하게 나타났으며 이 영역에서는 off-current가 온도에 의존하는 것으로 밝혀졌다. V<sub>DS</sub>=10V 일때 25°C에서 off-current는 게이트 전압에 의한 의존성이 매

우 크게 나타났으나 온도가 95°C로 증가함에 따라 off-current의 증가폭이 약간 감소되는 것으로 나타났다. 따라서 이 영역에서의 off-current는 온도보다는 전계에 의존하는 것으로 밝혀졌다. 낮은 드레인 전압( $V_{DS}=0.1V$ )에서  $E_a$  값이  $V_{GS}=0V$  일때 0.59 eV,  $V_{GS}=-20V$  일때 0.53 eV로 게이트 전압에 관계없이 거의 일정하게 나타났으며 이는 off-current가 진성 캐리어 농도  $n_i \propto \exp(-E_g/2k_B T)$  관계에 의해  $E_a$  값이  $E_g/2$  값과 비슷한 결과를 얻게 된다. 따라서 off-current가 pure thermal generation 전류에 의해 이루어지는 것을 알 수 있었다. 그러나 높은 드레인 전압( $V_{DS}=10V$ )에서는 게이트 전압이 0V에서 -20V로 증가함에 따라  $E_a$  값이 0.51 eV에서 0.35 eV로 감소하는 것으로 나타났다. 이 사실은 off-current가 thermionic field emission 전류에 기인하는 것으로 생각할 수 있으며  $V_{GS}=-20V$  일때  $E_a=0.35$  eV인 것을 감안하면 tunneling에 의한 전류성분은 무시할 수 있었다.

Fig.6은 수소화 공정 처리후 off-current의 온도 의존성을 나타낸 그림이다.

수소화 전 소자와는 달리 드레인 전압에 관계없이 게이트 전압이 증가함에 따라 off-current의 증가폭이 일정하게 나타났다. 이 사실은 수소화 처리된 소자의 off-current는 전계보다는 온도에 영향을 받는 것을 의미하며 소자의 활성층 채널 영역으로 사용된 다결정 실리콘 박막의 결정입계에 존재하는 트랩상태밀도가 감소하였기 때문으로 생각된다. 또한  $V_{DS}=0.1V$ 일 때  $E_a$  값은 게이트 전압이 증가함에 따라 0.60 eV~0.56 eV로  $V_{DS}=10V$ 일 때 0.52 eV에서 0.42 eV로 감소폭이 수소화 전 소자보다 훨씬 줄었고 전계에 의한 영향을 덜 받는 것으로 나타났다. 수소화 후 소자의 off-current는 thermionic field emission 전류보다는 thermal generation 전류가 우세한 것으로 밝혀졌다.

#### 4. 결론

다결정 실리콘 박막 트랜지스터의 누설전류의 전도 메카니즘은 resistive current, thermal emission current, Poole-Frenkel emission current 등으로 나타났다. Resistive current 영역에서는 채널 길이가 증가할수록 비례적으로 누설전류는 감소하였고 온도의 영향도 크게 받는 것으로 나타났다. Thermal emission current

영역과 Poole-Frenkel emission current의 영역에서는 채널 길이와 온도에 대하여 독립적이고 전계에 크게 의존하는 것으로 나타났다.

특히, 누설전류는 수소화 공정 전에 비하여 현저히 감소하였고 드레인 전압과 게이트 전압에 의한 전계 의존성보다는 온도에 의존하는 전류 특성을 나타냄을 알 수 있었다.

#### 참고 문헌

- (1) J. G. Fossum et al, IEEE Trans. Electron Device, Vol. ED-32, pp 1878. Sept. 1985.
- (2) A. Chiang et al SSDM, pp 586, 1991.
- (3) T. Serikawa et al, IEEE Electron Devices, Vol. 36, pp 1929, 1989.
- (4) Angel Rodriguez, E. G. Moreno, H. Pattyn, J. F. Mijs and R. Mertens, "Modern for the Anomalous Off-Current of Poly-Si Thin-Film Transistors and Diodes.", IEEE Trans. Electron Devices., Vol. 40, No. 5, pp. 983-934, 1993.
- (5) J. Fossum, A. Corde, H. Shichijo, S. Banerjee, "Anomalous leakage current on LPCVD polysilicon MOSFET's.", IEEE Trans. Electron Devices., Vol. ED-32, pp. 1878, 1985.
- (6) S. M. Sze, T. Kamiy, "Resistivity of chemically deposited poly crystalline silicon films.", Solid-State Electron., Vol. 15, pp. 355-358, 1982.
- (7) H. C. de Graaff, M. Hubris and J. G. De Groot, "Grain boundary states and the Characteristics of lateral Polysilicon Diodes.", Solid-State Electron., Vol. 25, pp. 67-71, Jan. 1982.

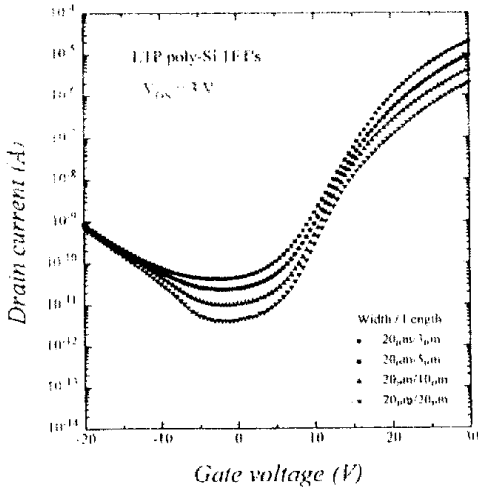


Fig.1. Dependence of off-current on gate bias at  $V_{DS} = 3V$  for LTP poly-Si TFT's with channel length as a parameter

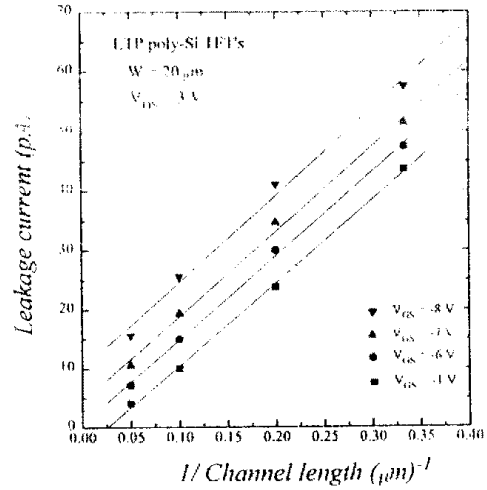


Fig.2. Dependence of off-current on the inverse of channel length at  $V_{DS} = 3V$  for LPCVD poly-Si TFT's with  $W = 20\mu m$

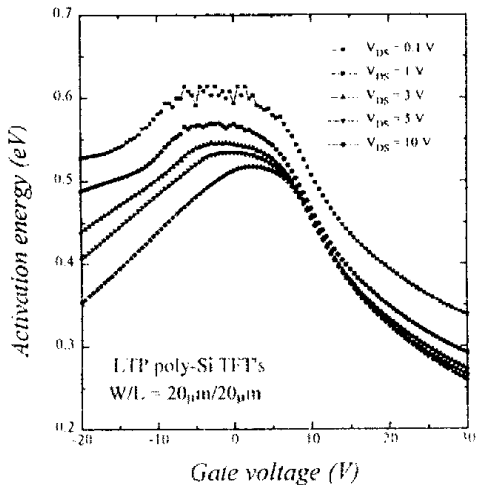


Fig.3. Dependence of activation energy on gate bias with drain bias at 0.1V, 1V, 3V, 5V and 10V for LPCVD poly-Si TFT's

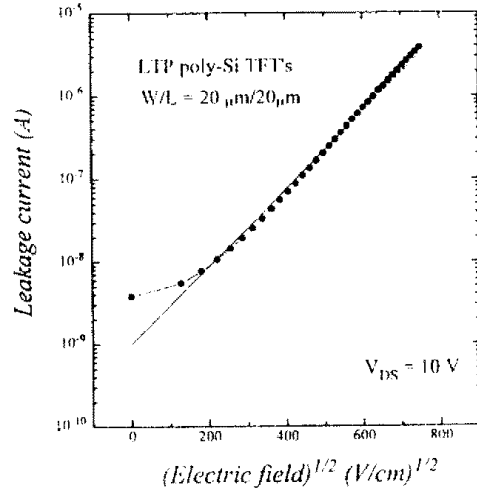


Fig.4. Measured  $\log I_L$  versus  $\sqrt{E_{PK}}$  at  $V_{DS} = 10V$  on a semilog scale for LPCVD poly-Si TFT's

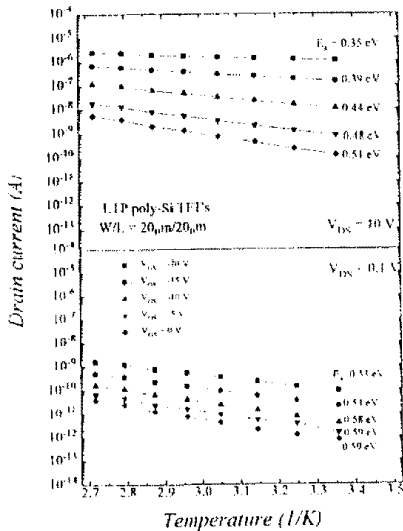


Fig.5. Dependence of off-current on the inverse of temperature at  $V_{DS} = 0.1V$  and 10V for LPCVD poly-Si TFT's

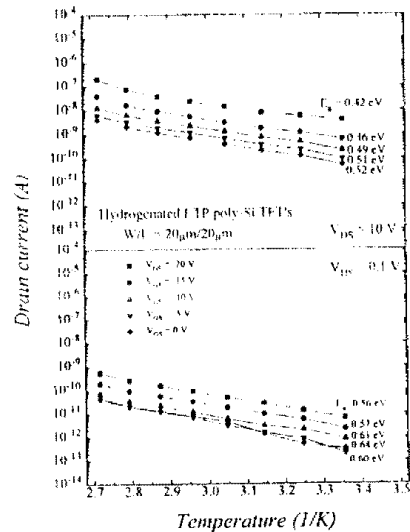


Fig.6. Dependence of off-current on the inverse of temperature at  $V_{DS} = 0.1V$  and 10V for hydrogenated LPCVD poly-Si TFT's