

# 인버티드 스테거형 TFT 캐패시턴스의 온도변화 특성

## Temperature Variation Capacitance Characteristics of Inverted Staggered TFT

정용호\*  
이우선, 김남오

Yong-Ho Chung\*  
Woo-Sun Lee, Nam-Oh Kim

\*서강전문대  
조선대학교 전기공학과

\* Seo-Kang Junior College  
Cho-Sun University

### Abstract

The fabrication and analytical expression for the temperature dependent capacitance characteristics of inverted staggered hydrogenated amorphous silicon thin film transistors(a-si :H TFT) from 303K to 363K were presented. The results show that the experimental capacitance-voltage characteristics at several temperatures are easily measured. Capacitance increased exponentially by gate voltage increase and decreased by temperature increase. C/C(max) ratio decreased at higher temperature, C/C(min) ratio increased at higher temperature.

### 1. 서론

비정질 실리콘 TFT 제조공정상 중요한 것은 플라즈마 CVD를 사용하여 진공 상태에서 계속적으로 게이트 절연막과 비정질 실리콘을 증착하는 공정이며 저온상태에서 수행하므로 아주 양호한 계면을 얻을 수 있다. TFT의 구동방식은 단순 매트릭스와 능동 매트릭스가 있는데 단순 매트릭스 방식은 주로 액정 재료와 외부의 구동 IC 로서 표시기능을 하고 능동 매트릭스 방식은 스위칭 소자를 액정재료와 조합하여 그 역할을 분담시키므로 고화질의 표시가 가능하고 여러 소자를 포함시켜서 제조하므로 구조 및 제조 방법이 복잡하고 제조 단가가 높으나 TFT-LCD는 스위칭 소자로서 가장 특성이 좋은 트랜지스터를 사용하므로서 제조 공정이 복잡하지만 좋은 화질을

얻을 수 있다<sup>[1]</sup>. a-Si:H 공정기술은 현재 쓰이고 있는 단결정 실리콘 IC 공정기술과 호환성이 있어 공정온도가 비정질 물질의 단결정화를 막을 수 있는 낮은 온도를 유지 하지 않아도 되는 장점이 있다. 수소화 비정질 실리콘은 이동도가 낮은 국부적인 상태 밀도를 가질 수 있고 a-Si:H의 전자적인 특성을 제어 할 수있도록 n형 혹은 p형으로 도핑할 수 있기 때문에 디바이스 개발 연구대상이 되어왔다. A-Si:H TFT에서는 MOSFET에서와는 반대로 반도체표면에 반전층이 생기지않는대신 증가형 채널이 생성되며 게이트 전압이 플랫폼전압보다 적을 때 채널에서는 공핍층이 형성되고 플랫폼전압보다 커지면 활성화 전자가 생성되며 더욱더 증가되어 문턱전압보다 커지게 되면 완전한 증가형 도전채널이 형성되어 TFT의 캐패시턴스를 측정 할 수있게 된다<sup>[2,3]</sup>. 최근에는 TFT 논리회로가 개발되어 상업화 과정에 있으며 TFT의 스위칭 매트릭스(matrix)는 대규모 평판표시기의 신뢰도를 향상시키고 가격이 저렴하게 되어 a-Si:H TFT는 평판표시기용 논리회로에 이용하게 되었고 이용의 증가가 예상되고 있다. TFT의 동적 특성은 채널길이 및 드레인, 소오스 간의 캐패시턴스에 의해서 결정되며 이 캐패시턴스는 TFT의 과도 특성곡선을 결정하는 기본적인 변수가 되고 인가전압과 온도변화의 함수로 된다.

따라서 본 논문에서는 채널길이가 서로 다른 인버티드 스테거형 TFT를 PECVD 에 의하여 공정설계하

여 제작하고, 온도영역 303-363K 범위에서 캐패시턴스 특성을 실험적으로 측정 하고 분석 하고자 하였다.

### 2. TFT의 제작 및 측정 방법

A-Si의 증착은 N-Type(100) 방향 실리콘 웨이퍼 위에 PECVD 증착실(chamber)에서 진행 하였으며 전력은  $81.6 \text{ mW/cm}^2$  이고 챔버 내의 압력은 613 mTorr 이다. 매몰된 크롬 게이트(buried gate)는 1000Å인데 RF스퍼터링에 의하여 증착하였으며 스퍼터에 의한 크롬 금속화공정은 200°C의 dry nitrogen/hydrogen 분위기에서 30분간 어닐링 한후에 진행하였다. 증착된 a-Si의 두께는 1500Å이고 260°C의 온도로 증착 하였으며 flow rate는 50 SCCM 이다. 음의 콘택 마스크를 이용하여 음의 콘택을 깊게 파고 40 KeV energy 로  $1 \times 10^{16} \text{ ion/cm}^2$  의 인(P) 이온을 주입하여 드레인 소오스 음의 콘택을 형성하였다. TFT 캐패시턴스의 온도변화 실험을 하기위해서 위와 같이 제작된 웨이퍼를 Device Die Saw를 이용하여 자른 다음 각각의 디바이스를 패키징(packaging) 하여서 온도를 303-363 K 범위로 제어 할 수 있는 전기 오븐 속에 패키징된 디바이스를 넣고 알루멜-크로멜(alumel-chromel) 열전대를 디바이스에 연결하고 다시 이 열전대선을 외부로 연결하여서 computerized thermocouple meter (MH51) 을 이용하여 디바이스 자체온도를 측정 하였다.

### 3. 캐패시턴스 특성의 실험 결과

게이트전압 -10V~20V 일때 각 온도 증가에 따른 C/C(min) 값과 C/C(max) 값을 각각 그림1에 나타낸

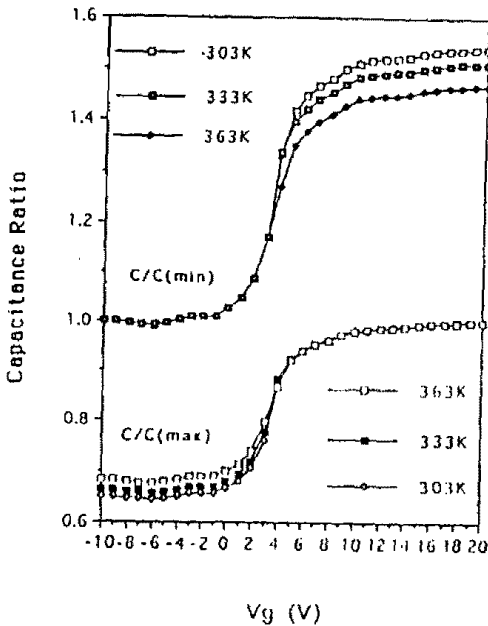


그림.1 온도 증가에 따른 캐패시턴스 최소값과 최대값의 비  
Fig. 1 C/C<sub>(min)</sub> and C/C<sub>(max)</sub> by temperature increase.

다. C/C(min) 값은 게이트전압 3~20V 범위에서 나타나게 되고 온도가 증가함에 따라서 C<sub>GSD</sub> 값은 감소하게 되었다. C/C(max) 값은 게이트전압 -10V~20 V 범위에서 나타나게 되고 온도가 303 K ~ 363 K 로 증가함에 따라서 증가하게 됨을 보였다. 게이트전압이 높고 온도가 증가될수록 C<sub>GSD</sub> 값이 감소한 것은 고온에서의 전자의 터널링으로 인한 것으로 생각된다.

그림2는 게이트전압 -10V~20V 범위에서 303 K 일때의 캐패시턴스값을 기준으로 하여 333 K 와 363 K 일때의 캐패시턴스값의 차이를 나타낸다. 온도 증가에 의한 캐패시턴스값의 차이는 363 K 의 경우가 333 K 의 경우보다 약 2 배 크게 되었다. 이는 온도 증가로 인한 채널내 활성화 전자의 증가에 기인하기 때문이라 생각된다.

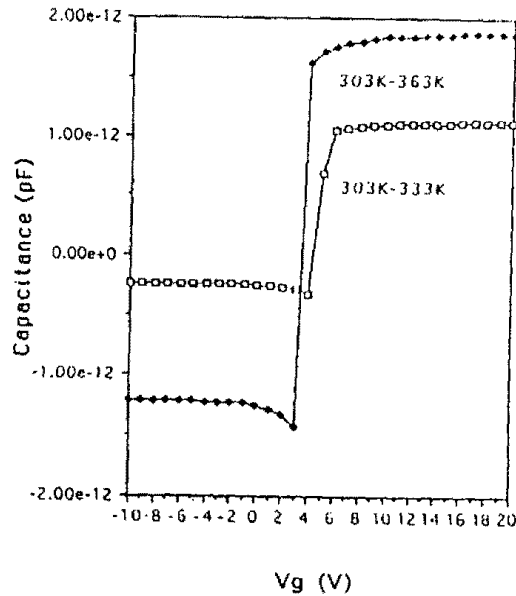


그림.2 온도증가에 따른 캐패시턴스값의 증가 차이  
Fig. 2 Increase difference of capacitance by temperature increase.

그림3은 채널길이가 증가함에 따른 C<sub>GSD</sub> 의 최소값과 최대값을 온도범위 303 K ~ 363 K 에서 나타낸다. C<sub>GSD</sub> 의 최소값은 채널 증가에 따라서 일정한 경향을 보였고 최대값은 증가하는 경향을 보였으나 온도가 증가함에 따라서 최소, 최대값 모두 증가함을 나타내었고 캐패시턴스값의 차이도 더 크게 되었다. 그림4는 채널길이 25μm ~ 150μm 로 증가함에 따른 C<sub>GSD</sub> 최대값과 C<sub>GSD</sub> 최소값의 차이로서 되는 캐패시턴스값을 나타내는데 이들 값은 채널이 증가함에 따라서 캐패시턴스값은 더욱 커짐을 보였다.

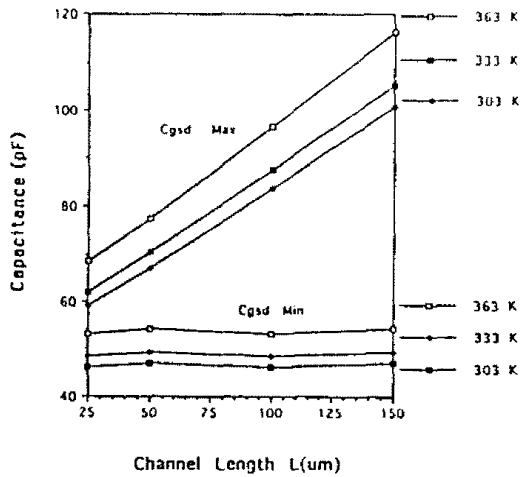


그림.3 온도와 채널길이 증가에 따른 캐패시턴스값의 최소값과 최대값

Fig. 3 Comparison of  $C_{(min)}$  and  $C_{(max)}$  by channel length and temperature increase.

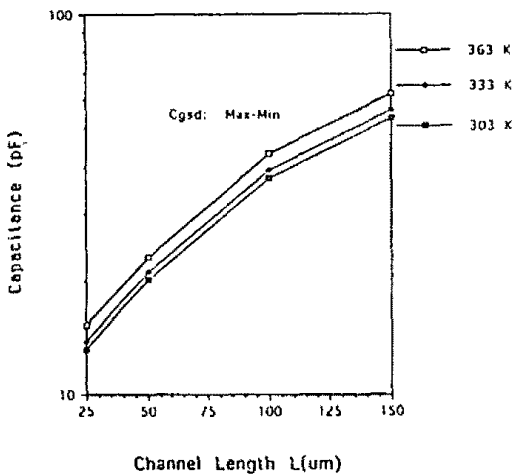


그림.4 온도 증가에 따른  $C_{GSD}(Max - Min)$ 값의 비교

Fig. 4 Comparison of  $C_{GSD}(max-min)$  by temperature increase.

## 5. 결론

본 연구에서는 인버티드 스텝퍼형 비정질 실리콘 박막트랜지스터를 제작하고 캐패시턴스 특성의 온도 변화특성을 실험한 주요 결과는 다음과 같다.

1. TFT의 캐패시턴스 값은 게이트전압이 증가함에 따라서 지수함수적으로 증가 하였으며 온도가 증가에 따라서 더 큰 증가를 보였다. 캐패시턴스 값은 온도가 증가 함에따라서 낮은 게이트 전압에서 상승폭이 증가 하였고 높은 게이트 전압에서 감소 하였다.

2.  $C/C(max)$ 값은 높은 게이트 전압에서 나타났고 온도 증가에 따라서  $C/C(max)$  값은 감소 하였으며  $C/C(max)$ 값은 낮은 게이트 전압에서 나타났는데 온도증가에 따라서  $C/C(max)$  값은 증가함을 보였다.

3. 높은 온도에서 캐패시턴스 값의 차이는 낮은 온도 일때 보다 약 2배 크게 되었으며 채널의 길이가 증가 할수록 캐패시턴스 값은 증가 되었고 온도가 증가 함에 따라서 캐패시턴스 값의 상승폭은 더 크게 나타났다.

4. 캐패시턴스 값의 최소값과 최대값은 온도 증가에 따라서 모두 증가함을 보였으며 캐패시턴스 값의 차이도 더 크게 되었다.

## 참고문헌

- [1] G.W.Neudeck,A.K.Malhotra,"An amorphous silicon thin film transistor: Theory and experiment,"Solid State Electronics,vol.19,pp 721-729,1976.
- [2] Y.Naara,Y.Kudou and M. Matsumura, Application of amorphous field effect transistor in 3-dimensional integrated circuits,"Japanese Journal of Applied Physics,vol.22,no.6, pp L370-L372,June 1983.
- [3] F.OKumura and S. Kaneko,"Amorphous Si:H linear image sensor operated by a-Si:H TFT array," Proc.Materiaals Res. Society Symposium,vol.33,M.J. Thompson Ed. New York:North Holland,pp 275-280,1984.