

표면 채널 모스 소자에서 유효 이동도의 열화

The Degradations of Effective Mobility in Surface Channel MOS Devices

°이 용재, 배 지철

동의대학교 전자공학과

614-714 부산시 진구 가야동 산24

Yong Jae Lee Ji Chel Bea

Dept. of Electronics Eng., Dong-Eui University

San24 Kaya-dong, Jin-gu, Pusan city 614-714, Korea

Abstract

This paper reports the studies of the inversion layer mobility in p-channel Si MOSFET's under hot-carrier degraded condition. The validity of relationship of hot carrier degradations between the surface effective mobility and field effect mobility and are examined. The effective mobility(μ_{eff}) is derived from the channel conductances, while the field-effect mobility(μ_{FE}) is obtained from the transconductance. The characteristics of mobility curves can be divided into the 3 parts of curves. It was reported that the mobility degradation is due to phonon scattering, coulombic scattering and surface roughness. We are measured the mobility slope in curves with DC-stress [$V_g = -3.1V$]. It was found that the mobility(μ_{eff} and μ_{FE}) of p-MOSFET's was increased by increasing stress time and decreasing channel length. Because of the increasing stress time and increasing V_g is changed oxide reliability and increased vertical field.

I. 서론

초고직접회로의 개별 소자가 깊은 서브마이크론 수준으로 소자가 미세화로 인해 전기적 특성과 소자의 신뢰성의 문제들이 대두되고 있다.^[1,2] 그 중에서 게이트 산화막 특성 문제로 인해 발생하는 핫캐리어가 소자의 파라미터값을 변화시키고, 미세화로 얇아진 산화막에 의해 전계가 커지면서 산화막 속으로 핫 전자와 정공의 주입으로 인한 산화막과 계면영역에 많은 문제가 발생^[3,4]이 된다.

본 논문은 소자의 채널의 폭/길이(W/L)의 변화는 각각 15/1.8 μm , 15/1.5 μm , 15/1.2 μm 와 15/9 μm 이며, 스트레스는 최대 게이트 누설 전류발생시의 게이트 전압을 측정하여 소오스-드레인 간 전압의 변화에 따라 게이트 전압을 드레인과 소오스에 인가하며, 시간에 대하여 누적적으로 스트레스를 인가한 소자를 전류-전압 특성을 측정하였다. 이 결과로 부터 소자의 게이트 산화막 계면상태 전하밀도의 생성과 강한 전계, 산화막 내부에 고정된 전하는 전자와 정공의 이동도에 영향을 미치게 되는데, 핫 캐리어에 의한 소자의 유효이동도와 전계효과 이동도의 열화 정도와 상관 관계를 측정.분석 하였다.

II. 실험

연구에 사용된 소자는 쌍둥이 우물 기술과 기존의 n+다결정실리콘 게이트 전극을 이용한 (100) p-형, 비저항 1-2 Ω-cm 인 실리콘 웨이퍼를 사용하였으며, 주요 공정으로는 활성화 영역 정의 후 단계에서 초박막 게이트 산화막은 급속

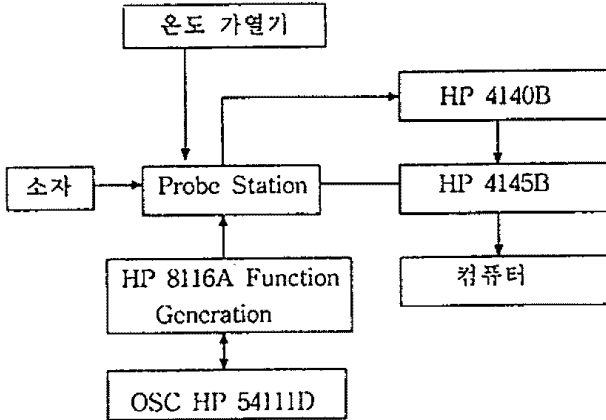


Fig 1. Construction of Measurement Instrument

열처리 공정-화학 기상증착(RTP-CVD) 장치로 산소 분위기에서 성장시켰으며, 격리는 진보된 LOCOS 산화막 공정과 동작은 증가형이며, 그림 1은 실험을 위한 장치를 도식화 한 것이다.

p-MOSFET의 게이트 채널 폭/길이(W/L)를 각각 변화 시킨 소자에 스트레스 조건은 게이트 전압($V_g \leq V_d/2$)을 인가하여 전류-전압 특성을 측정하였다. 동작상태 스트레스에 의한 이동도의 열화 특성을 위한 스트레스는 시간과 게이트 전압을 일정하게 고정하고, 드레인 소오스 전압을 각각 -5V에서 -2V간격으로 -19V까지 증가시키면서 각 드레인 소오스간 전압에 대하여 순차적인 증가 방법으로 각 전압마다 100초 동안 누진하여 인가한 각 조건의 채널 길이/폭이 변화된 소자를 각각 스트레스 인가 전·후에 소자의 소오스와 드레인간의 전압을 50mV로 인가하여 유효 이동도와 전계효과 이동도를 측정 추출하였다.

III. 이동도의 열화

측정과 분석을 위해 사용된 식으로 전계 효과 이동도^[3,5]는

$$G_m = \left(\frac{\partial I_d}{\partial V_g} \right) = \frac{W}{L} C_{ox} V_d \mu_{FE} \quad \text{-----}(1)$$

$$\mu_{FE} = \frac{L/W}{C_{ox} \omega \cdot V_d} \cdot G_m \quad \text{-----}(2)$$

유효 이동도^[4,5]는 드레인 전류와 드레인 전압에 의한 채널 컨덕턴스에 의존하는데, 식3,4,5에 의해서 유효 이동도를 구할수 있다.

$$G_d = \frac{dI_d}{dV_d} = \frac{W}{L} \cdot \mu_{eff} \cdot C_{ox} \cdot (V_g - V_t) \quad \text{-----}(3)$$

$$\mu_{eff} = \frac{\frac{I_d}{V_d}}{\frac{W}{L} \cdot C_{ox} \cdot (V_g - V_t)} \quad \text{-----}(4)$$

$$I_d = W \cdot Q_i \cdot \mu_{FE} \cdot E_{eff} \quad \text{-----}(5)$$

여기에서, V_d 는 드레인 전압, V_t 는 임계전압, V_g 는 게이트 전압, W과 L는 채널의 폭과 길이, I_d 는 드레인 전류이다.

이동도의 열화는 일반적으로 3가지의 원인으로 분석되고 있는데 양자 산란, 산화막 고정 전하에 의한 쿨롱 산란과 강한 전계의 생성에 의한 수직 전계의 생성과 그에 따른 계면 상태 전하밀도의 생성에 의한 거칠음에 의한 표면산란 등으로 나눌 수 있다.^[3,4,5] 그림2는 게이트 전압- 임계 전압의 차와 이동도를 구간별로 나누어 산란의 영역을 표시한 것이다.

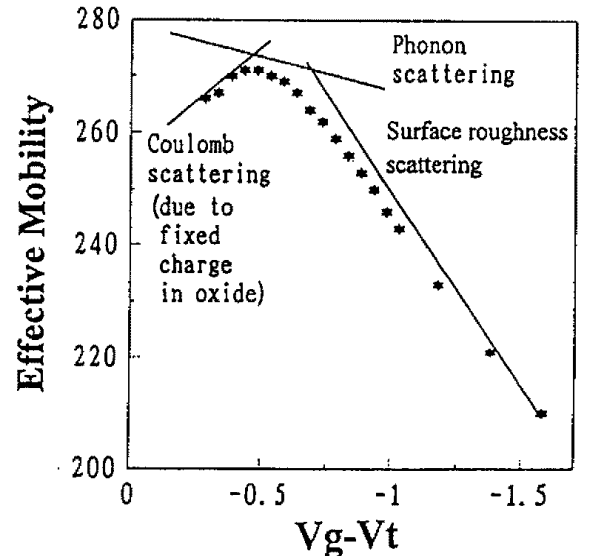


Fig. 2. Schematic diagram of ($V_g - V_t$) dependence of effective mobility

IV. 결과 및 고찰

그림3은 측정 결과로 부터 실험식에 의해 추출한 유효 이동도와 전계효과 이동도인데, $V_{gs} - V_t$ 의 차가 증가하면 전계 효과 이동도는 큰 기울기를

가지고 감소하며, 유효 이동도는 그보다 낮은 기울기로 감소하는 결과이다.

전계효과 이동도(μ_{eff})를 측정할 파형은 크게 3부분으로 나눌수 있는데, 낮은 게이트 전압에서는 채널 반전층의 형성이 약하여 정공의 밀도가 낮고, 운동에너지도 작아서 계면 상태의 고정 전하에 의한 산란이 발생하여 이동도가 저하된다. 최고점의 존재는 역반전층의 증가와 함께 정공의 밀도가 증가하고, 계면 상태에 대한 불순물의 역할이 감소되면서 이동도가 빨라진다. 마지막 부분은 게이트 전압의 증가와 더불어 수직 전계가 높게 중인가되면서 이동도가 느려진다. 유효 이동도는 그림2에서 보여진 파형과 동일한 결과로 높은 게이트 전압영역에서 나타나는 기울기를 다음 식6으로 θ 는 곡선의 기울기로 소자의 이동도 저하 곡선의 정도인데, 이는 유효 이동도(μ_{eff}), 표면 이동도(μ_0)에 대해 ($V_g - V_t$)의 관계 결과이다.

$$\mu_{eff} = \mu_0 / [1 + \theta(V_g - V_t)] \quad \text{-----}(6)$$

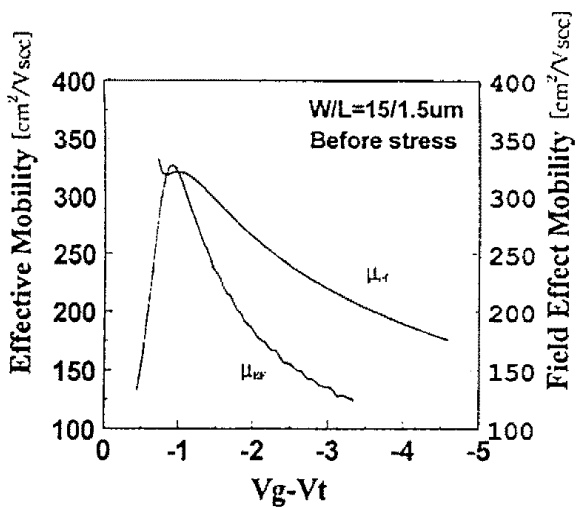


Fig. 3 Mobility vs $V_{gs} - V_{th}$. Relationship between Effective Mobility(μ_{eff}) and Field-effect Mobility (μ_{FE}).

그림4는 채널 길이가 0.9 μ m, 1.2 μ m, 1.5 μ m, 1.8 μ m 인 소자의 유효 이동도와 전계 효과 이동도의 추출 결과이다. 최대 이동도는 채널의 길이 감소에 따라 증가 하였으며, θ 값의 증가로 게이트 전압이 증가함에 따라 큰 폭의 이동도 감소가 나타났다. 이는 게이트 전압의 증가에 산화막 계면 상태 밀도의 생성과 강한 전계의 생성에 의해 표면 거칠음 산란이 많이 일어나기 때문인 것으로

보고^[3,45] 되고 있다.

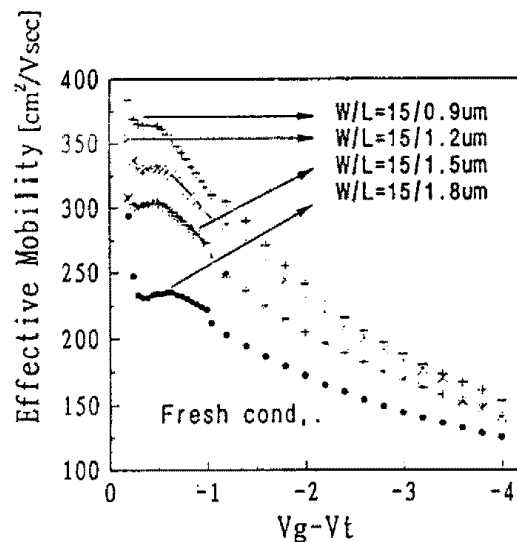


Fig. 4 Effective Mobility vs. $V_g - V_t$.

그림5는 채널의 길이의 변화에 대한 스트레스 인가 전의 최대 유효 이동도와 최대 전계효과 이동도를 나타낸 것이다. 앞의 실험 수식과 일치하는 결과가 나타났다.

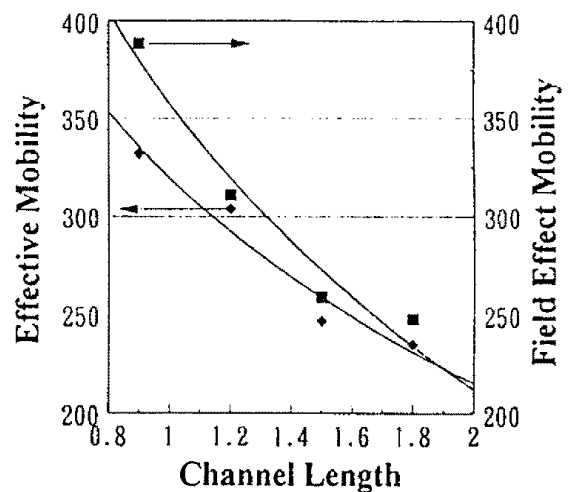


Fig.5 Mobility(μ_{eff} and μ_{FE}) vs. channel length.

그림6.7은 스트레스 인가에 따른 유효 이동도의 감소와 전계효과 이동도 감소의 결과로 p-MOSFET는 스트레스의 증가에 따른 유효 이동도와 전계 효과 이동도가 증가되었지만, 높은 게이트 전압의 경우에는 이동도의 변화가 작은 것으로 나타났다.

이는 스트레스 인가에 의해 산화막 계면 상태 전하밀도의 생성에 의한 그리고 산화막 속으로 전자 주입에 의한 채널의 유기 정공으로 인하여 유효 채널 길이가 감소되기 때문이다.

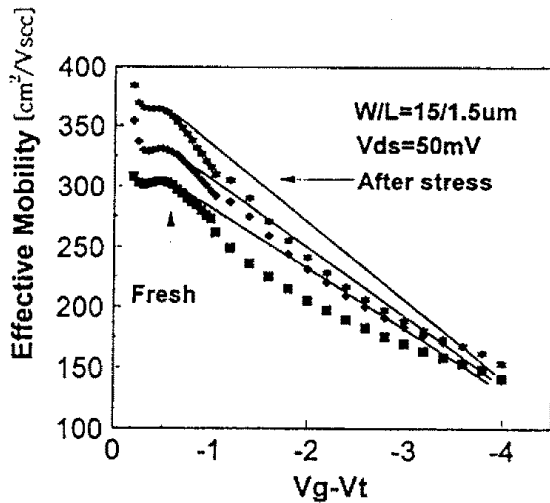


Fig. 6 Effective Mobility vs. $V_g - V_t$. Maximum mobility was increased by stress.

전계 효과 이동도는 게이트 전압이 최대점을 지난 영역에서 기판전류의 생성과 게이트 전류의 생성이 발생되

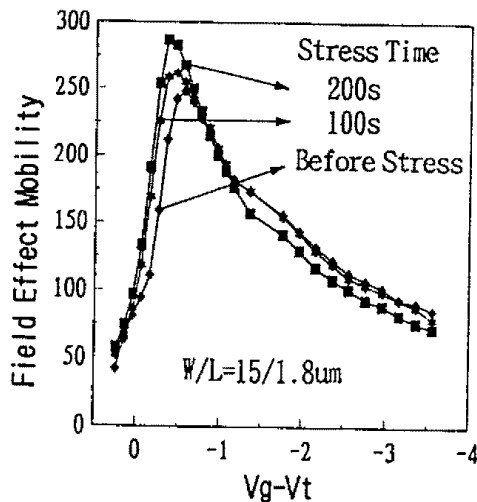


Fig. 7 Field-effect Mobility vs. $V_g - V_t$. Maximum mobility was increased by stress.

고 있다. 기울기 θ 값의 변화는 앞의 그림3의 측정 결과와 비교해 볼 때 채널의 길이 감소와 유사하게 기울기가 증가 한다는 것을 나타낸다.

V. 결론

피-형 모스 트랜지스터에서 게이트 산화막 속의 핫 캐리어 현상에 의한 유효 이동도와 전계 효과 이동도의 열화를 각각 측정 분석한 결과 전계 효과 이동도와 유효 이동도는 각각 드레인 전압과 게이트 전압에 의존하고, 전계 효과 이동도는 게이트 산화막의 전계의 변화에 주로

기인하며, 유효 이동도는 드레인 전압에 의해 반전층을 통해 이동하는 정공의 이동도를 추출할 수 있었다. 스트레스를 인가 하지 않은 경우 유효 이동도와 전계 효과 이동도의 최대값은 거의 일치하였으며, 나머지 영역에서는 유효 이동도가 전계 효과 이동도 보다 훨씬 큰 값을 가지고 있는 것으로 추정되었다. 소자의 채널의 길이가 짧을 수록 유효 이동도와 전계 효과 이동도는 증가 하였으며, 스트레스의 영향도 인가 시간에 따라 증가 하였는데, 이는 핫 캐리어 열화에 의해 산화막 내에 포획된 전자에 의해 채널을 좁게 만드는 현상에 의해 이동도는 증가한 결과였다. 소자 파라메타의 분석으로 기울기 θ 값의 증가는 전체적인 이동도의 개선을 의미하며, 이 값의 증가를 위해 게이트 산화막의 질을 향상시키는 것으로 연구가 요구된다.

참고 문헌

- [1] Cheng-Liang Huang, Johe V. Faricelli, Narain D. Arora, "A New Technique for Measuring MOSFET Inversion Layer Mobility", IEEE Trans. on Electron Devices, Vol. 40, No. 6, pp.1134-1139, June 1993
- [2] Y. S. Jeong, J. C. Bae, Y. J. Lee "The Mobility Degradation by Hot-Carriers under AC/DC stress in Very Thin Dielectric MOS Transistor" JTC-CSCC '95 pp. 358-361, July 1995
- [3] A.F.M. Anwar and Kuo-Wei Liu. "A Noise Model for High Electron Mobility Transistors" IEEE Tran. on Electron Devices, Vol. 41, No. 11, November 1994.
- [4] Shin-ich Takagi, Akira Toriumi, Masao Iwase, and Hiroyuki Tango. " On the Universality of Inversion Layer Mobility in Si MOSFET's: Part II-Effect of Surface Orientation" IEEE Tran. on Electron Devices, Vol. 41, No. 12 Dec 1994.
- [5] Shin-ich Takagi. " On the Universality of Inversion Layer Mobility in Si MOSFET's: Part I-Effect of Substrate Impurity Concentration IEEE Tran. on Electron Devices, Vol. 41, No. 12 Dec 1994.