

0.1 μm MOSFET를 위한 스케일링 방법에 관한 연구

The Study on Scaling Methodology for 0.1 μm MOSFET's

신희갑*, 류찬형*, 김환준*, 이철인*, 최현식**, 김태형***, 서용진****, 김창일****, 장의구*

* 중앙대학교 전기공학과, ** 주성전문대 전기과, *** 여주전문대 전기과,

**** 대불대학교 전기전자공학과, ***** 안양대학교 전기공학과

Abstract

In this work, a scaling methodology to scale down to or below 0.1 μm is presented, considering a current process technology. 0.12 μm nMOSFET's with both good performance and reliability is desinged by this methodology

1. 서론

소자의 성능과 집적도를 향상시키면서 0.1 μm 까지 MOSFET을 스케일다운하는 데는 Subthreshold Current, TDDb, 핫캐리어 효과, 그리고 DIBL이나 펀치스투와 같은 short channel 효과 등의 한계가 존재한다. 이러한 문제점을 극복하면서 좋은 성능의 소자를 제작하기 위해서는 TDDb에 저항력을 갖는 매우 얇은 게이트 산화막과 SCE를 극복하기 위한 매우 낮은 소스와 드레인 접합, 그리고 낮아진 접합이나 LDD영역으로 인한 구동력 감소를 개선할 수 있는 직렬저항의 감소 등과 같은 것들이 이루어져야 한다 [1][2]. 그렇지만 본 연구에서는 아직 공정이 개발중이어서 확실하게 이용되고 있지않은 위와 같은 개선방향을 따르기 보다는 현재 널리 이용되고 있는 공정기술을 이용하여 높은 성능을 갖는 0.1 μm 급 소자를 설계하기 위해서 노력하였다.

본 논문은 소자를 Deep Submicron으로 스케일하는데 가장 중요한 이슈가 누설전류라는 점에 초점을 맞춰 실제소자 크기가 거의 0.1 μm 에 이르는 실리콘 벌크 MOSFET을 설계하기 위한 스케일링 방법으로 소자의 누설전류를 소자 스케일의 기본 조건으로 설정하여 그 조건을 만족하는 공정변수들을 추출한후, 그 밖의 중요한 소자 시뮬레이션을 통하여 최종적으로 최적화된 소자를 설계하고자 하였다.

본 연구에 사용된 시뮬레이션 툴은 2차원 공정시뮬레이터인 TSUPREM4와 2차원 소자시뮬레이터인 MEDICI를 이용하였다.

최종적으로 본 연구를 통하여 기존의 Si LDD MOSFET의 구조를 유지하면서도 만족스런 동작을 하는 0.1 μm 급 nMOSFET 소자를 설계하고, 또한 소자의 여러 특성이 다양한 공정변수와 조건들에 어떤 경향으로 영향을 받는지를 고찰하고자 하였다.

2. 스케일링 방법

MOS소자의 크기가 축소됨에 따라 DIBL이나 펀치스투와 같은 짧은 채널효과에 의해 누설전류가 크게 증가하게 된다. 이러한 누설전류는 DRAM cell의 경우는 storage charge를 방전시키고 그 밖의 low voltage용 주변소자에서는 빔테리를 방전시키는 등의 심각한 문제를 야기시킨다. 그러므로 기준치 이하의 누설전류를 갖도록 소자를 디자인하는 것이 필요하다. 소자를 스케일링하는 방법으로 최근에 off-current scaling이 발표되었다[3]. 하지만 이방법은 누설전류와 문턱전압의 스케일링 파라미터로써 문

턱전압을 조절하기 위한 이온주입 도즈와 그 깊이, 그리고 기판 농도를 설정하고 있다. 하지만 소자가 0.5 μm 이하 0.1 μm 에 달할수록 짧은채널효과와 더불어 소자의 사이즈가 매우 작아져 문턱전압 조절을 위한 채널의 이온주입 이외에도 채널의 도핑 프로파일에 공정변수는 아주 다양하게 된다. 또한 그 밖의 DIBL, 펀치스투, 드레인 포화전류, 문턱전압, 핫캐리어 효과 등의 특성도 소자의 성능과 신뢰성을 고려할 때 소자의 크기를 스케일링하는데 관심사가 아닐수 없다.

그러므로 본 논문은 deep-submicron nMOSFET을 제작하는데 필요한 다양한 공정변수와 조건 중 기준치이하의 누설전류를 갖는 공정조건을 고려하여 초기 조건들을 추출한 후, 성능과 신뢰성 측면에서 그 밖의 소자특성과 추출된 조건을 분석하여 최적의 공정조건을 추출하는 방법에 대하여 연구하였다. 그림 1은 그 순서를 보여준다.

먼저, 이 방법은 게이트 길이를 0.12 μm 으로 공급전압(V_{DD})은 2.0V로 하였으며 게이트 산화막두께(T_{ox})는 TDDb를 고려하여 50 \AA 으로 고정시킨 상태에서 시작한다. 누설전류의 기준치는 특정 시스템이나 회로의 사양에 맞추어야 하겠지만 본 논문에서는 $V_{DS}=2.0\text{V}$ 이고 $V_{GS}=0\text{V}$ 일 때, $1 \times 10^{-11} \text{ A}/\mu\text{m}$ 이하가 되도록 하였다. 참고로 문턱전압은 $V_{DS}=0.05\text{V}$ 일경우에, 드레인 전류가 $10^{-7} \text{ A}/\mu\text{m}$ 가 되는 V_{GS} 값으로 정의하였다. 그 다음은 그림 1의 최적화 순서에서 보듯이 다양한 공정파라미터(Well I/I, Channel I/I, LDD I/I, Spacer Length, Halo I/I, S/D I/I ...)에 관해서 공정시뮬레이션을 수행한 후, MEDICI를 이용하여 누설전류를 측정하고 기준치 이하를 만족하는 조건들을 추출하였다. 그리고 이공정조건들이 그 밖의 전기적인 특성 즉 DIBL, 펀치스투전압, 드레인포화전류, 문턱전압, 기판전류 등에 어떻게 영향을 미치는지를 고려하였고, 각 특성의 허용치를 만족하면서 실제 소자제작에 적용가능한 조건을 추출하였다.

3. 시뮬레이션 결과

본 시뮬레이션은 LDD구조를 소자의 기본구조로 사용하여 우선은 펀치스투를 억제하기 위하여 기존에 발표된 깊은 이온주입 방법(Deep Implant)과 할로이온주입(Halo Implant) 방법 중 0.1 μm 급 트랜지스터에서는 어느 것이 더 효율적인지를 결정하기 위하여 시뮬레이션 하였으며, Well 이온주입조건(도즈), 채널이온주입조건(도즈, 에너지), LDD 이온주입조건(도즈, 에너지), 펀치스투방지 이온주입조건(도즈, 에너지, 이온주입각도), 스페이서 길이 등을 주요 공정변수로 하여 시뮬레이션을 하였다.

그림 2는 본시뮬레이션에서 모든 공정 변수 스플릿(split)의 기본 공정조건으로 TSUPREM4 시뮬레이션을 수행한 소자 구조이다. 이때의 공정조건은 표 1과 같다. 표 2는 공정 스플릿(split) 조건이다.

그림 3은 펀치스투를 억제하기 위하여 행하는 심층채널 이온

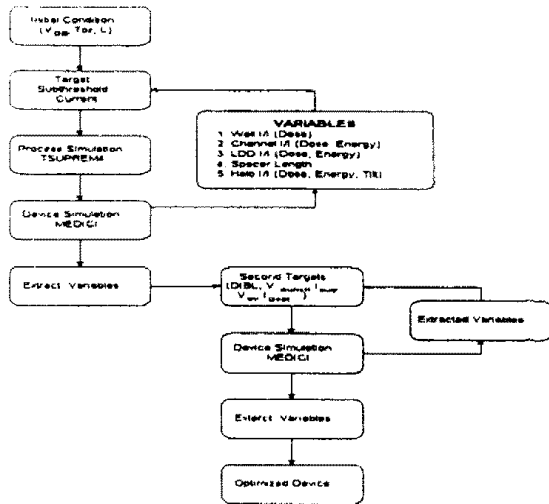


그림 1. 시뮬레이션 순서 및 Optimization 수행 순서

표 1. 기본 공정조건

Process	Process Condition
Well Imp.	4.0×10^{12} , 100 keV
Channel Imp.	6.0×10^{12} , 40 keV
Gate Ox.	850°C, 10 min.
Halo Imp.	9.0×10^{12} , 75 keV, -30°
LDD Imp.	1.0×10^{13} , 50 keV
Space Length	700 Å
S/D Imp.	5.0×10^{13} , 30 keV

표 3. 공정 스플릿(split) 조건

Process	dopant	Split Condition
p-Well I/I	B	Dose(cm^{-2}): 9×10^{11} , 2×10^{12} , 4×10^{12} , 6×10^{12} , 8×10^{12}
Vth adj. I/I	BF ₂	Dose(cm^{-2}): 2×10^{14} , 4×10^{14} , 6×10^{14} , 8×10^{14} , 1×10^{15} Energy(keV): 20, 30, 40, 50, 60
Halo I/I	BF ₂	Dose(cm^{-2}): 5×10^{14} , 7×10^{14} , 9×10^{14} , 1.1×10^{15} , 1.3×10^{15} Energy(keV): 45, 60, 75, 90, 100 Tilt($^\circ$): 0, 10, 20, 30, 40, 50
LDD I/I	P	Dose(cm^{-2}): 4×10^{14} , 6×10^{14} , 8×10^{14} , 1×10^{15} , 1.2×10^{15} , 1.4×10^{15} Energy(keV): 20, 30, 40, 50, 60, 70
Spacer		500, 700, 900, 1100 (Å)
Punch. I/I Method	BF ₂	Deep Imp.: 1.1×10^{15} , 85keV Halo Imp.: 9×10^{12} , 75keV, 30°

주입(Dep Channel Implant)와 할로 이온주입(Halo Implant)의 드레인 도핑 프로파일과 채널의 프로파일을 나타낸 것이다. 이 그림에서 심층채널 이온주입 방법의 경우에는 소스/드레인과 기판 사이의 pn접합이 고농도 접합이 되는 것을 볼 수 있다.

그림 4는 문턱전압 조절을 위한 채널이온주입 조건에 따른 채널의 도핑 프로파일을 대표적으로 나타낸 것이다. 긴 채널 MOSFET에서는 채널 이온주입을 제외하고는 채널의 도핑 프로파일에 큰 영향을 주지 않지만 짧은 채널 MOS소자 특히 채널길이 0.1 μm 급으로 감소함에 따라 소자제작에 필요한 대부분의 공정조건들이 채널의 프로파일에 직접적으로 영향을 주게 된다. 그 결과 이러한 채널의 도핑 프로파일의 변화는 누설전류와 문턱전압 그리고 그 밖의 다른 소자특성에도 변화를 초래한다.

좀더 자세히 살펴보면 채널의 도핑 프로파일은 여러 공정조건에 따라 다양하게 변하는 것을 볼 수 있다. 채널과 할로 이온주입 도즈에 비례하여 채널 도핑 프로파일의 피크농도가 증가하지

만 LDD 이온주입 도즈의 경우에는 반대가 되며 Well 이온주입 도즈에 대해서는 채널 피크 농도 측면에서는 좀 불규칙하지만 기판의 농도가 증가하는 것을 볼 수 있다. 그리고 또한 할로 이온주입 에너지 그리고 이온주입 각도에 대해서도 비례하여 증가하는 것을 볼 수 있으며, 반면 LDD 이온주입에너지에서는 20, 30, 40keV에서는 일반적인 예상처럼 감소하다가 50, 60, 70 keV는 피크 반대로 증가하면서 이온주입 깊이가 감소하면서 불규칙한 분포를 갖는 것을 볼 수 있다. 그 밖에 스페이스 길이에 따른 농도변화는 다른 조건들에 비해서 작게 나타나는 것을 볼 수 있다.

본 연구에서는 0.12 μm nMOS 소자의 구조를 핫캐리어 효과를 고려하여 LDD 구조로 설정하였다. 하지만 매우 짧은 서브마이크론에서는 펀치스루 또한 심각한 관심사가 된다. 이러한 펀치스루를 개선하기 위해서 다양한 방법들이 발표되어 왔는데[4] 그중 대표적인 방법이 심층채널이온주입 방법(Dep Channel Implant)

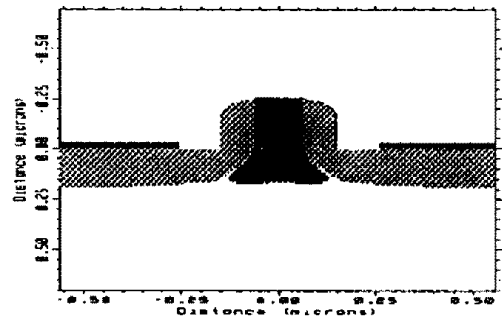


그림 2. 공정시뮬레이션된 소자구조

과 할로 이온주입(Halo Implant)방법이다. 본 논문에서는 LDD 구조를 기본구조로 하면서 펀치스루를 개선하기 위한 방법을 택하기 위하여 위 두가지 구조에 대하여 몇가지 성능을 비교하였다. 일반적으로 많은 논문들이 할로 이온주입방법이 매우 짧은 서브마이크론 MOSFET에 효과적인 것으로 발표하고 있지만 본 논문의 0.12 μm 소자에 두 가지 방법을 적용하여 포화전류, 누설전류, 펀치스루 전압, DIBL 등의 소자들들을 비교하여 보았다. 비교의 공정성을 갖도록 하기 위해서 문턱전압이 거의 같은 값을 갖도록 하였다. 그 결과 할로 이온주입 방법이 DIBL 특성 측면에서 좀 우수하며, Hori et al.이 발표하였던 것처럼 그림 3에서 드레인과 기판의 접합에서 기판의 농도가 더 낮게 되는데 이것은 소자의 구동속도에 영향을 미치는 접합 커패시턴스가 심층채널 이온주입 방법보다 더 작게 되도록 한다[4].

이러한 두가지 우수성으로 본 논문에서 펀치스루를 개선하기 위한 방법으로 할로 이온주입 방법을 선택하였다.

$V_{GS}=0V$, $V_{DS}=2.0V$ 에서 드레인 누설전류의 목표를 10pA/ μm 로 설정한 후 그림 1의 시뮬레이션 및 최적화 순서에 따라 표 2의 공정스플릿을 TSUPREM4를 이용하여 공정 시뮬레이션한 값을 MEDICI를 이용하여 위의 바이어스 조건에서 누설전류를 구하였다. 그림 6은 채널이온주입 조건(도즈와 에너지)에 따른 subthreshold 특성을 대표적으로 나타내었다. 그림 4와 같은 채널도핑 프로파일과 그림 6과 같은 subthreshold 특성을 비교하여 보면 누설전류는 채널영역에서 피크농도의 크기와 피크치의 위치 그리고 표면농도와 피크농도의 차이가 얼마나 되는가에 따라 결정되고 LDD영역에서는 드레인 전압을 얼마나 전압강하를 시키는지에 따라 결정된다. 채널도핑 프로파일에 영향을 미치는 파라미터들은 대부분의 공정파라미터들 특히 이온주입 파라미터들이지만 LDD영역의 경우에는 LDD이온주입 조건과 스페이스의 길이에 의해 좌우된다. 최적화 순서에 따라 스플릿을 한 각 공정파라미터들 중 subthreshold 전류 특성을 만족하는 공정파라미터를 추출하였다.

그리고 그 파라미터들을 다시 MEDICI를 사용하여 이용가능한 실제 소자에 적합한 성능을 갖도록 문턱전압, 펀치스루 전압,

포화전류, 기관전류 등을 분석하기 위하여 소자시뮬레이션을 수행하였다. 참고로 여러 소자파라미터의 목표값을 다음과 같이 정리하였다.

요구되는 deep submicron(0.12 μm) 소자 특성

- I_{leak} : 10 pA/ μm (V_{DS} = V_{DD}, V_{GS}=0V)
- V_{th} : 0.3 ~ 0.5 V
- V_{DD} : 1.5 ~ 2.5 V
- S.S : < 110 mV/dec.
- BV_{dss} : > 6 V (V_{GS} = 0 V)
- I_{dsat} : 0.25 mA/ μm
- ΔV_{th} (L_g = 0.12 \pm 0.07 μm) \leq 50 mV
- ΔV_{th} (V_D = 0.05 ~ 2V) \leq 30 mV (DIBL)
- I_{sub} \leq 50 ~ 200 nA/ μm (10년 수명)

누설전류의 기준치를 만족하는 공정조건을 대상으로 소자시뮬레이션을 수행한 결과는 표 4에 정리되었다.

스플릿한 자 공정파라미터들이 소자의 특성에 어떻게 영향을 미치는지를 살펴본다.

먼저, 문턱전압에 미치는 영향을 보면, 채널이온주입 도즈와 에너지, 할로 이온주입 도즈와 tilt 그리고 스페이서 길이에 따라서는 그 크기가 증가할수록 문턱전압의 크기도 증가하는 것을 알 수 있다. 하지만 LDD 이온주입 에너지와 할로 이온주입 에너지, Well 이온주입 도즈에 대해서는 다른 경향이 나타나는 것을 볼 수 있다. LDD 이온주입에너지에서는 20, 30, 40keV일 경우에 채널의 도핑농도는 낮아지지만 문턱전압이 증가하는 것을 볼 수 있다. 이것은 LDD 영역이 확대되어 그영역에서 드레인 전압이 더 큰 전압강하를 일으켜서 나타나는 현상으로 사료된다. 하지만 60, 70keV에서의 매우 큰 누설전류와 매우 낮은 문턱전압은 그림?의 채널 도핑 프로파일에 보는 것처럼 채널의 보론 농도가 기관 농도보다 훨씬 낮아지는 것을 볼 수 있는데 바로 이 영역에서 많은 누설전류가 흐르기 때문인 것으로 사료된다. 또한 할로이온주입 에너지의 경우에도 채널의 도핑농도가 75keV가 60keV보다 높지만 반대로 문턱전압은 60keV에서 큰 것을 볼 수 있는데 이것은 60keV 이온주입의 경우에 채널의 한가운데 도핑농도는 75keV보다 낮지만 LDD영역주변의 채널 도핑농도가 75keV보다 높기 때문에 나타나는 것으로 사료된다. 그리고 Well 이온주입 도즈에 의한 결과를 살펴보면 본 논문에서 Well 이온주입 도즈는 펀치스루 전압에만 영향을 미칠뿐 다른 소자특성에는 큰 영향을 미치지 않는 것으로 나타났다. 하지만 CMOS소자에서는 Well의 농도는 래치업 측면에서 중요한 파라미터가 된다.

일반적으로 문턱전압은 누설전류와 드레인 포화전류에 일정한 경향으로 직접적인 영향을 미치는데 즉 문턱전압의 크기가 증가할수록 누설전류와 드레인 포화전류는 감소하게 된다. 하지만 그 변화의 정도는 각 공정파라미터 마다 다르게 나타난다. 그림 5는 채널깊이에 따른 문턱전압의 변화를 나타낸 것이다.

본 연구에서는 공급전압을 2.0V로 설정하였기 때문에 문턱전압의 한계를 0.3<V_T<0.5으로 제한하였다. 그렇기 때문에 LDD이온주입도즈 4 \times 10¹², 6 \times 10¹²cm⁻²와 할로 이온주입도즈 1.3 \times 10¹³cm⁻², 이온주입각도 40, 50° 는 최종변수에서 제외되어야 할 수 있다.

두 번째 소자특성으로 펀치스루에 관하여 살펴보면, 그림 4와 같은 채널도핑 프로파일과 표 4의 펀치스루전압의 관계를 분석하여 보면 채널 보론의 농도와 그 깊이에 크게 좌우 됨을 알 수 있다. 특히 이 깊이가 다를경우는 보론 농도의 깊이에 더 크게 좌우됨을 볼 수 있다. LDD 이온주입 에너지, 할로 이온주입 에너지와 이온주입각도 그리고 Well 이온주입 도즈를 제외하고는 예상했던 것과 같이 문턱전압이 증가함에 따라 펀치스루전압도 증가함을 볼 수 있지만 위와 같은 조건들은 그와는 다른 경향을 나타냄을 알 수 있다. 즉 채널 보론농도의 도즈와 그 깊이가 감소하면 당연히 펀치스루 전압도 감소하지만 채널의 보론 농도는 약간 증가하고 그 깊이는 감소하는 경우에도 펀치스루 전압이

감소함을 알 수 있다.

본 연구에서는 V_{GS}=0 V에서 드레인 전류가 1 \times 10⁻¹⁰ A/ μm 가 되는 드레인 전압을 펀치스루 전압으로 정의하였으며 그 목표값은 6.0V로 하였을 때, LDD 이온주입 에너지 40, 50keV와 Well 이온주입 도즈 9 \times 10¹¹cm⁻² 그리고 할로 이온주입에너지 60keV를 제외하고는 대부분 목표값을 만족하는 것을 볼 수 있다.

셋째는 DIBL 측면을 고려하였다. 표 4에서 보는 것처럼 누설전류의 목표값을 만족하면 DIBL 특성 또한 전반적으로 만족스러운 것을 볼 수 있다. DIBL은 문턱전압과 채널의 도핑농도에 의해서 많이 좌우되고 $\Delta V_{th}/\Delta V_{DS}$ 으로 그 특성을 측정한다. 일반적으로 채널의 도핑 농도가 높아질수록 DIBL은 낮아지는 경향을 갖는데, 본 연구에서도 표 4에서처럼 작은 이탈을 제외하고는 전반적으로는 일반적인 경향을 따르는 것을 관찰할 수 있다. 채널 이온주입 도즈 8 \times 10¹²cm⁻²와 에너지 50keV의 약간의 이탈은 채널 도핑 프로파일의 변화에 의해서 나타나는 것으로 생각된다. 그리고 스페이서 길이의 변화에 의해서 DIBL이 뚜렷하게 감소하는 것을 볼 수 있는데 이는 채널의 작은 농도차이외에도 스페이서 길이에 의해서 짧은 채널 효과가 현저하게 감소하기 때문인 것으로 추측된다.

채널 이온주입 도즈 8 \times 10¹²cm⁻²와 에너지 50keV, LDD 이온주입 에너지 40keV, Well 이온주입 도즈 9 \times 10¹¹cm⁻², 할로 이온주입에너지 60keV를 제외하고는 DIBL의 목표값인 30mV/V를 만족하는 것을 볼 수 있다.

넷째는 드레인 포화전류 측면을 분석하였다. 드레인 포화전류는 소자의 성능을 좌우하는 중요한 요소이다. 즉 소자의 스위칭속도를 결정하기 때문이다. 그렇기 때문에 드레인 포화전류는 가능한 크게 유지하여야만 한다. 표 4에서 보듯이 문턱전압이 증가할수록 예외없이 드레인 포화전류는 감소하는 것을 볼 수 있다. 그렇지만 서로 다른 공정파라미터의 문턱전압이 같다 하더라도 드레인 포화전류는 차이가 있는 것을 볼 수 있다. 본 논문에서는 드레인 포화전류의 목표값을 2.5 \times 10⁻⁴A/ μm 으로 설정하였으며, 표 4에서 많은 공정파라미터들이 최종적인 변수에서 제외됨을 볼 수 있다.

다섯째는 소자의 lifetime과 핫캐리어 효과를 예측하기 위한 도구로 사용되는 기관전류에 미치는 영향을 분석하였다. 그림 ?은 게이트 바이어스에 따른 기관전류를 나타낸다. 모든 공정파라미터들이 기관전류의 목표값을 만족하고 있는 것을 볼 수 있다. 일반적으로 예상하였던 것과 같이 LDD 이온주입 조건과 스페이서 길이의 변화를 제외하고는 기관전류에 거의 영향을 미치지 않는 것을 볼 수 있다.

이와 같은 소자의 전기적 한계들을 고려하여 최종적으로 표 ?과 같은 공정조건들을 추출하였다.

표 3. 최종적으로 추출된 공정조건

Process	Well I/I	Vth I/I	Halo I/I	LDD I/I	Spacer
Condition	4 \times 10 ¹² cm ⁻²	6 \times 10 ¹² cm ⁻² 40,50keV	9 \times 10 ¹¹ , 1.1 \times 10 ¹² cm ⁻² 75keV 30°	8 \times 10 ¹¹ , 1 \times 10 ¹² cm ⁻² 20,30keV	700 Å

4. 결론

본 연구를 통하여 만족스런 동작을 하는 0.1 μm 급 nMOSFET 소자를 설계할 수 있었으며, 또한 소자의 여러 특성이 다양한 공정변수와 조건들에 어떤 경향으로 영향을 받는지를 고찰할 수 있었다.

참고문헌

1. Y. Mui, S. Rishton et al., IEEE Trans. Electron Devices ED-15, p. 28 (1994).
2. C. Fiegna, H. Iwai et al., IEEE Trans. Electron Devices ED-41, p. 941 (1994).

3. S. Wolf, Silicon Processing for the VLSI Era Volume 3, p. 279
4. A. Hori, A. Hiroki, H. Nakaoka, M. Segawa, and T. Hori, IEEE Trans. Electron Devices ED-42, p. 78 (1995).

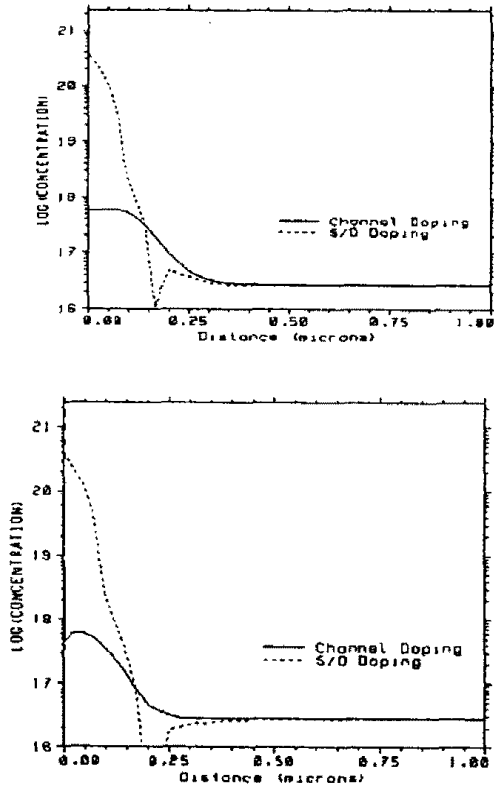


그림 3. 심층채널 이온주입과 할로 이온주입의 채널과 S/D 불순물 분포

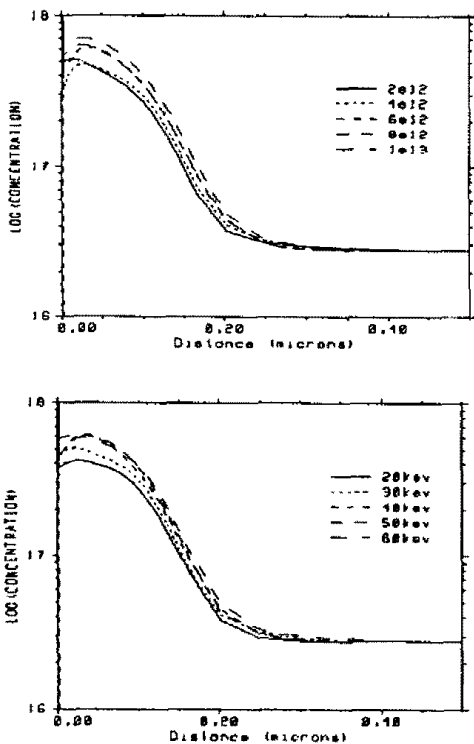


그림 4. 문턱전압 조절을 위한 채널의 이온주입 조건에 따른 채널의 불순물 분포

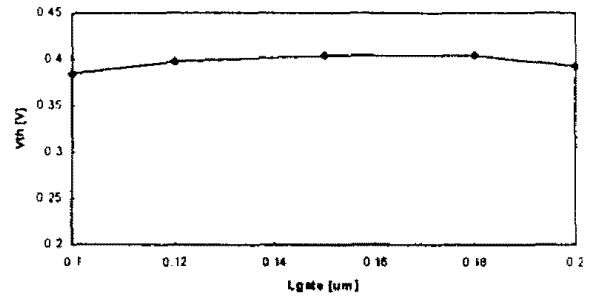


그림 5. 채널길에 따른 문턱전압의 변화

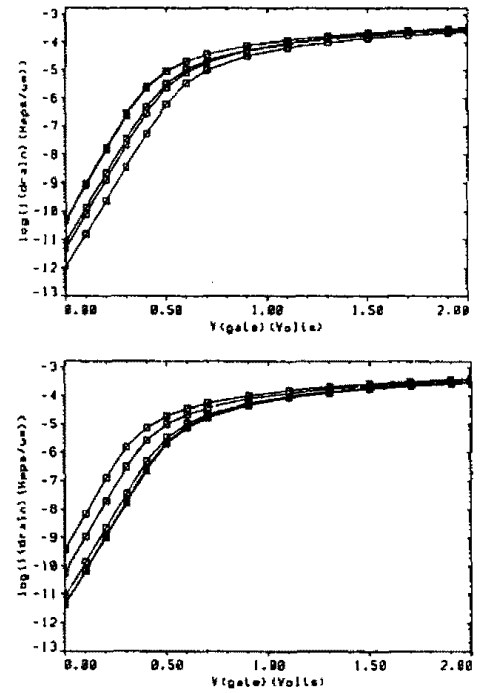


그림 6. 채널 이온주입 조건에 따른 Subthreshold 특성

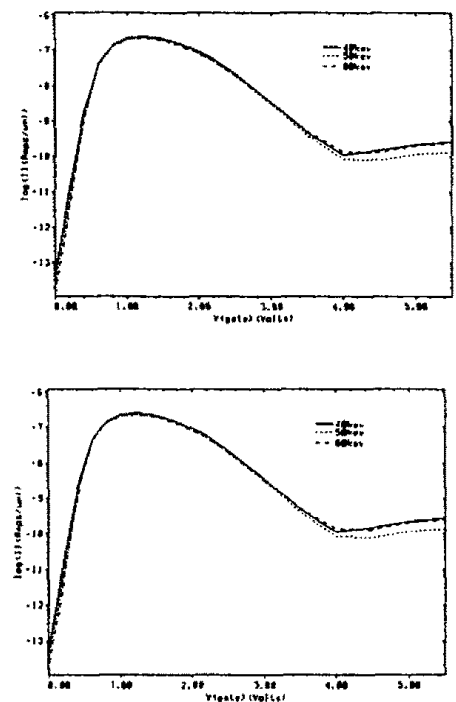


그림 7. 채널 이온주입 조건에 따른 기판전류

표 4. 공정조건에 따른 소자특성

채널이온주입

공정변수 소자특성	Dose [cm^{-2}]			Energy [keV]		
	6×10^{12}	8×10^{12}	1×10^{13}	40	50	60
Vth (V)	0.3973	0.42	0.477	0.3973	0.4237	0.4219
S.S (mv/dec)	84.14	84.29	86.45	84.14	84	84.36
$I_{\text{DSAT}} (\times 10^{-4} \text{ A}/\mu\text{m})$	3.06	2.89	2.44	3.06	2.94	2.80
V_{punch} (V)	6.484	6.850	9.705	6.484	7.057	8.530
DIBL (V/V)	0.0296	0.0647	0.0263	0.0296	0.0431	0.028

LDD 이온주입

공정변수 소자특성	Dose [cm^{-2}]				Energy [keV]			
	4×10^{12}	6×10^{12}	8×10^{12}	1×10^{13}	20	30	40	50
Vth (V)	0.5494	0.5008	0.4683	0.3973	0.3940	0.3973	0.4157	0.5106
S.S (mv/dec)	89.36	87.29	86.65	84.14	84.87	84.14	83.48	86.09
$I_{\text{DSAT}} (\times 10^{-4} \text{ A}/\mu\text{m})$	1.66	1.99	2.50	3.06	3.09	3.06	2.86	1.95
V_{punch} (V)	>10	>10	9.832	6.484	6.917	6.484	5.907	2.540
DIBL (V/V)	0.0228	0.0216	0.0264	0.0296	0.0285	0.0296	0.0315	0.029

할로이온주입

공정변수 소자특성	Dose [cm^{-2}]			Energy[keV]		Tilt [°]		
	9×10^{12}	1.1×10^{13}	1.3×10^{13}	60	75	30	40	50
Vth (V)	0.3973	0.4445	0.5355	0.4181	0.3973	0.3973	0.5725	0.6171
S.S (mv/dec)	84.14	85.89	88.60	83.39	84.14	84.14	88.97	90.00
$I_{\text{DSAT}} (\times 10^{-4} \text{ A}/\mu\text{m})$	3.06	2.60	2.16	2.94	3.06	3.06	2.12	1.98
V_{punch} (V)	6.484	9.527	>10	4.967	6.484	6.484	7.269	6.341
DIBL (V/V)	0.0296	0.0272	0.0237	0.0336	0.0296	0.0296	0.0269	0.025

Well 이온주입과 스페이서 길이

공정변수 소자특성	Spacer Length [Å]			Well Dose/ cm^{-2}	
	700 Å	900 Å	1100 Å	9×10^{11}	4×10^{12}
Vth (V)	0.3973	0.4153	0.4262	0.4136	0.3973
S.S (mv/dec)	84.14	84.28	84.64	83.71	84.14
$I_{\text{DSAT}} (\times 10^{-4} \text{ A}/\mu\text{m})$	3.06	2.23	1.75	3.01	3.06
V_{punch} (V)	6.484	9.613	>10	3.459	6.484
DIBL (V/V)	0.0296	0.0246	0.0222	0.032	0.029